

产品特性

- 双通道数模转换器
- 高动态范围
- 低噪声、低谐波、互调失真
82 dBc @ 20Mhz , 250MSPS
- 支持高奈奎斯特频域频率电流输出能力
- 双路并行或单路交织数据输入接口
- 8.6mA到31.7mA可编程差分输出电流
- 10bit辅助DAC支持外部失调调整能力
- 内部集成1.25V基准源
- 三线或四线SPI接口配置
- 1.8V/3.3V电源供电
- 低功耗 340mW (250MSPS)
- 大于85dB的通道隔离度
- 与AD9743/AD9745/AD9746/AD9747引脚兼容

应用

- 无线通信系统
- 宽带通信
- 仪器仪表
- 工业应用

产品描述

BL1031是一款具有高动态范围、16位 250 MSPS、双通道数模转换器(DAC)。该产品具有针对直接变频传输应用优化的特性,包括增益补偿和偏置补偿,并且可与模拟正交调制器无缝接口(如ADL5370)。

该产品集成串行外设接口(SPI),允许对内部参数进行编程。此外,针对一些没有控制器的应用场景,该产品可通过一些具有可编程功能的引脚改变内部参数。

BL1031采用72引脚QFN封装。额定工作温度范围为-55℃至+125℃。

框图

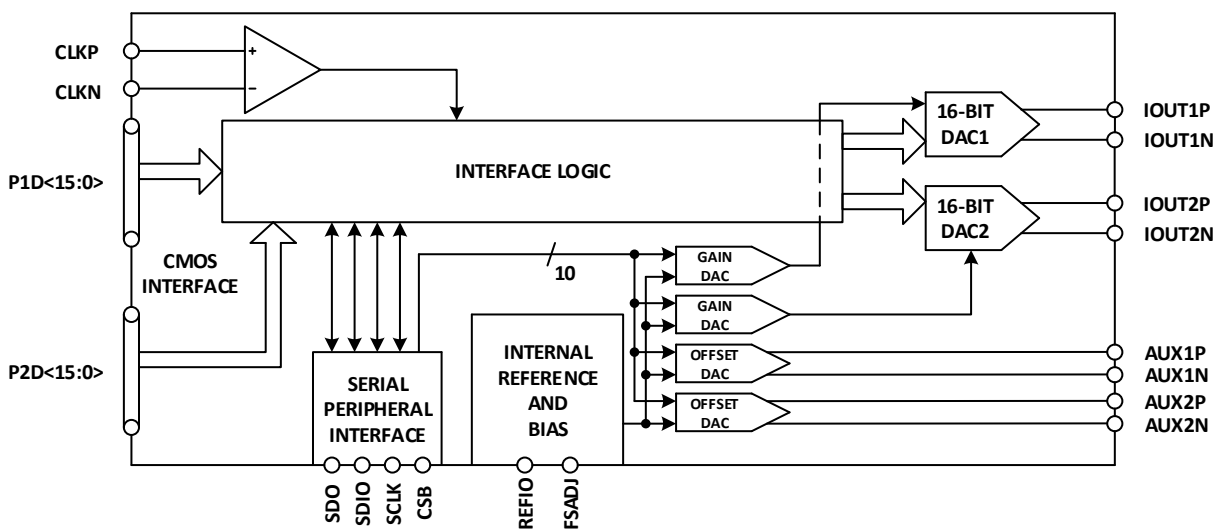


图1 功能框图

目录

产品特性.....	1	SPI接口的引脚描述.....	11
应用.....	1	SPI寄存器表.....	12
产品描述.....	1	SPI寄存器功能.....	13
框图.....	1	数字输入和输出.....	15
目录.....	2	数据输入时序.....	15
修订历史.....	2	双路模式时序.....	15
技术规格.....	3	单路模式时序.....	15
直流规格.....	3	SPI引脚, 复位和引脚模式.....	15
交流规格.....	4	DAC时钟.....	15
数字规格.....	5	输出电流配置.....	16
绝对最大额定值.....	6	DAC传递函数.....	16
热特性.....	6	输出模式配置.....	17
引脚配置和功能描述.....	7	辅助DAC.....	17
典型工作特性.....	9	功耗.....	17
工作原理.....	10	外形尺寸.....	18
SPI接口.....	10		
SPI接口通用操作.....	10		
指令字节.....	10		
MSB/LSB传输.....	10		

修订历史

2022年1月: 正式版 V1.0版本

技术规格

直流规格

除非另有说明，AVDD33=3.3V、DVDD33=3.3V、DVDD18 =1.8V、CVDD18 =1.8V， $I_{FS}=20\text{mA}$ ，满量程数字输入，最大采样速率。

表1

参数	BL1031			单位
	最小值	典型值	最大值	
分辨率		16		位
精度				
微分非线性(DNL)		± 2.0		LSB
积分非线性(INL)		± 4.0		LSB
主DAC				
失调误差		± 0.001		%FSR
增益误差		± 2.0		%FSR
增益匹配(DAC1和DAC2)		± 1.0		%FSR
满量程输出电流	8.6		31.7	mA
输出电压范围	-1		+1	V
辅助DAC				
分辨率		10		位
满量程输出电流	-2.0		+2.0	mA
输出电压范围(灌电流)	0.8		1.6	V
输出电压范围(拉电流)	0		1.6	V
单调性	10			位
基准电压输入/输出				
输出电压		1.25		V
外部输入电压范围	1.15		1.3	V
供电电压				
AVDD33,DVDD33	3.13		3.47	V
CVDD18,DVDD18	1.7		1.9	V
供电电流				
I_{AVDD33}		53		mA
I_{DVDD33}		20		mA
I_{CVDD18}		30		mA
I_{DVDD18}		23		mA
功耗				
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$		340		mW
POWER DOWN功耗		3		mW
工作温度	-55		+125	°C

交流规格

除非另有说明，AVDD33=3.3V、DVDD33=3.3V、DVDD18=1.8V、CVDD18=1.8V，IFS=20mA，满量程数字输入，最大采样速率。

表2

参数	BL1031			单位
	最小值	典型值	最大值	
无杂散动态范围(SFDR)				
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$		82		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=70\text{MHz}$		68		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=180\text{MHz}^1$		56		dBc
交调失真(IMD)				
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$		85		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=70\text{MHz}$		74		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=180\text{MHz}^1$		70		dBc
串扰				
$f_{DAC}=250\text{MSPS}, f_{OUT}=20\text{MHz}$		85		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=70\text{MHz}$		85		dBc
$f_{DAC}=250\text{MSPS}, f_{OUT}=180\text{MHz}^1$		82		dBc
邻道泄漏比(ACLR)				
$f_{DAC}=245.76\text{MSPS}, f_{OUT}=15.36\text{MHz}$		81		dBc
$f_{DAC}=245.76\text{MSPS}, f_{OUT}=61.44\text{MHz}$		79		dBc
$f_{DAC}=245.76\text{MSPS}, f_{OUT}=184.32\text{MHz}^1$		73		dBc
噪声谱密度(NSD)				
$f_{DAC}=245.76\text{MSPS}, f_{OUT}=15.36\text{MHz}$		-163		dBm/Hz
$f_{DAC}=245.76\text{MSPS}, f_{OUT}=61.44\text{MHz}$		-160		dBm/Hz
$f_{DAC}=245.76\text{MSPS}, f_{OUT}=184.32\text{MHz}^1$		-156		dBm/Hz

¹Mix mode.

数字规格

除非另有说明，AVDD33=3.3V、DVDD33=3.3V、DVDD18=1.8V、CVDD18=1.8V，IFS=20mA，满量程数字输入，最大采样速率。

表3

参数	最小值	典型值	最大值	单位
DAC时钟输入(CLKP, CLKN)				
差分峰峰值	400	800	1600	mV
单端峰峰值			800	mV
共模电压	300	400	500	mV
输入电流			1	μA
输入频率			250	MHz
数据时钟输出(DCO)				
高电平输出电压	2.0			V
低电平输出电压			0.4	V
输出电流			10	mA
DAC时钟到数据时钟输出延迟(t_{DCO})	2.0	2.4	2.8	ns
数据端口输入				
高电平输入电压	2.0			V
低电平输入电压			0.8	V
输入电流			1	μA
数据到DAC时钟建立时间(t_{DBS} 双路模式)	400			ps
数据到DAC时钟保持时间(t_{DBH} 双路模式)	1200			ps
DAC时钟到模拟输出延迟(双路模式)	5.5			Cycles
数据或IQSEL输入到DAC时钟建立时间(t_{DBS} 单路模式)	400			ps
数据或IQSEL输入到DAC时钟保持时间(t_{DBH} 单路模式)	1200			ps
DAC时钟到模拟输出延迟(单路模式)	6.5			Cycles
串行外设接口				
SCLK频率(f_{SCLK})			40	MHz
SCLK高电平脉宽(t_{PWH})	10			ns
SCLK低电平脉宽(t_{PWL})	10			ns
CSB到SCLK建立时间(t_S)	1			ns
CSB到SCLK保持时间(t_H)	1			ns
SDIO到SCLK建立时间(t_{DS})	1			ns
SDIO到SCLK保持时间(t_{DH})	1			ns
SCLK到SDIO/SDO有效数据时间(t_{DV})			7	ns
RESET高电平脉宽	20			ns
输出延迟				
DAC时钟到模拟输出延迟(双路模式)	5.5			Cycles
DAC时钟到模拟输出延迟(单路模式)	6.5			Cycles

绝对最大额定值

表4

参数	额定值
电气参数	
AVDD33,DVDD33	-0.3V至+3.6V
DVDD18,CVDD18	-0.3V至+1.98V
AVSS	-0.3V至+0.3V
DVSS	-0.3V至+0.3V
CVSS	-0.3V至+0.3V
REFIO	-0.3V至 AVDD33+0.3V
IOUT1P,IOUT1N,IOUT2P,IOUT2N, AUX1P,AUX1N,AUX2P,AUX2N	-1.0V至 AVDD33+0.3V
P1D15到P1D0,P2D15到P2D0	-0.3V至 DVDD33+0.3V
CLKP,CLKN	-0.3V至 CVDD18+0.3V
RESET,CSB,SCLK,SDIO,SDO	-0.3V至 DVDD33+0.3V
环境参数	
结温	125°C
存储温度范围（环境温度）	-65°C至150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

表5

封装类型	气流速度(m/s)	θ_{JA}	单位
72引脚QFN	0	25	°C/W

引脚配置和功能描述

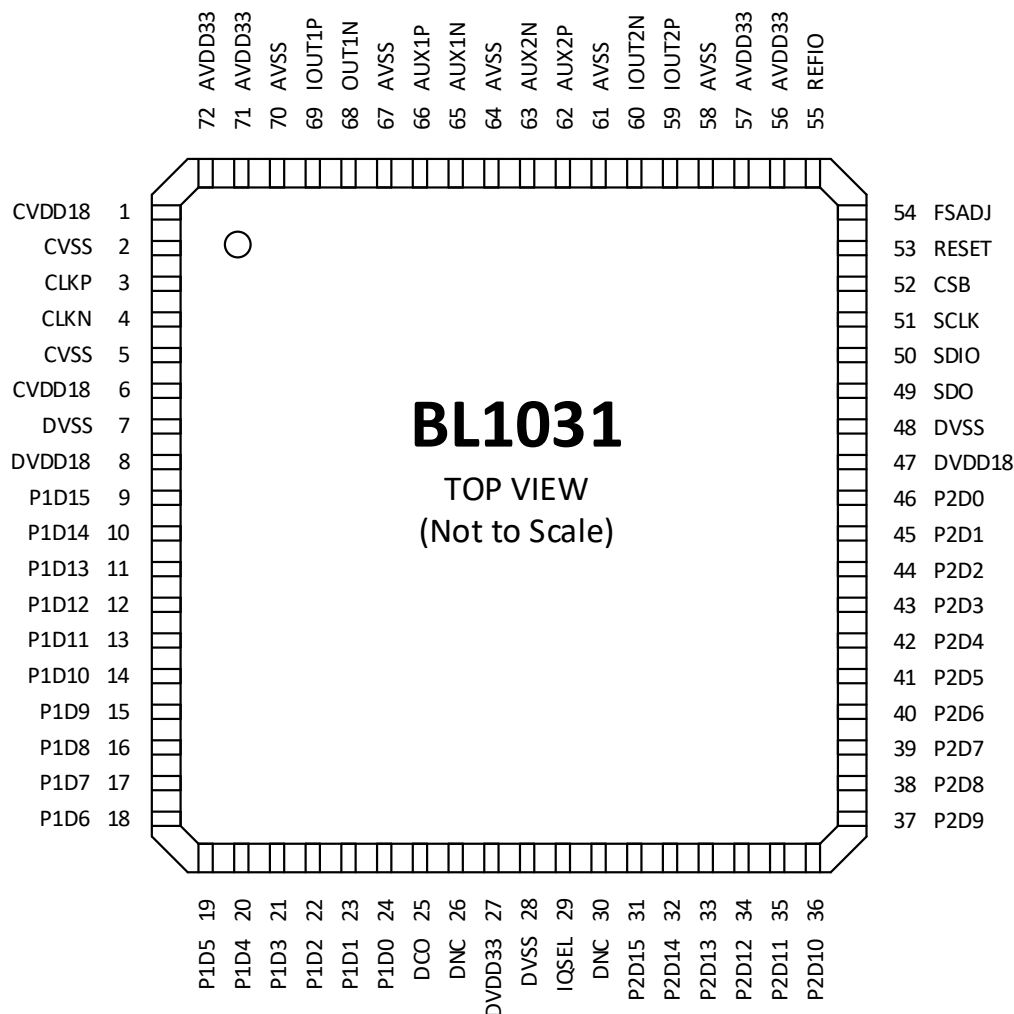


图2. BL1031 引脚配置 (顶视图)

表6 引脚功能描述

引脚编号	引脚名称	描述
1,6	CVDD18	时钟电源(1.8V)
2,5	CVSS	时钟地(0V)
3	CLKP	差分DAC时钟输入
4	CLKN	互补差分DAC时钟输入
7,28,48	DVSS	数字地
8,47	DVDD18	数字电源(1.8V)
9到24	P1D15, P1D14 P1D13, P1D12 P1D11, P1D10 P1D9, P1D8 P1D7, P1D6 P1D5, P1D4 P1D3, P1D2 P1D1, P1D0	通道1数据输入

引脚编号	引脚名称	描述
25	DCO	数据时钟输出，用于数据输入时钟源
26,30	DNC	不连接，不要连接这些引脚
27	DVDD33	数字IO电源(3.3V)
29	IQSEL	I/Q信号，用于配置单路模式
31到46	P2D15, P2D14 P2D13, P2D12 P2D11, P2D10 P2D9, P2D8 P2D7, P2D6 P2D5, P2D4 P2D3, P2D2 P2D1, P2D0	通道2数据输入
49	SDO	串行外设接口数据输出
50	SDIO	串行外设接口数据输入和可编程数据输出
51	SCLK	串行外设接口时钟输入
52	CSB	串行外设接口片选信号输入，低电平有效
53	RESET	硬件复位，高电平有效
54	FSADJ	满量程电流输出调节，连接10kΩ电阻到模拟地
55	REFIO	基准电压输入/输出，连接0.1μF电容到模拟地
56,57,71,72	AVDD33	模拟电源(3.3V)
58,61,64,67,70	AVSS	模拟地
59	IOUT2P	DAC2电流输出，数据输入全为1时输出满量程电流
60	IOUT2N	互补DAC2电流输出，数据输入全为0时输出满量程电流
62	AUX2P	辅助DAC2默认电流输出引脚
63	AUX2N	辅助DAC2可编程输出引脚，通过SPI控制
65	AUX1N	辅助DAC1可编程输出引脚，通过SPI控制
66	AUX1P	辅助DAC1默认电流输出引脚
68	IOUT1N	互补DAC1电流输出，数据输入全为0时输出满量程电流
69	IOUT1P	DAC1电流输出，数据输入全为1时输出满量程电流
	EPAD	裸露散热焊盘，该焊盘必须连接到地以改善性能

典型工作特性

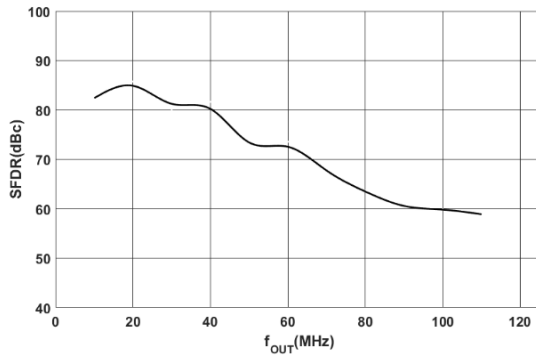


图3. BL1031 SFDR vs. f_{out} , Normal Mode, 250MSPS

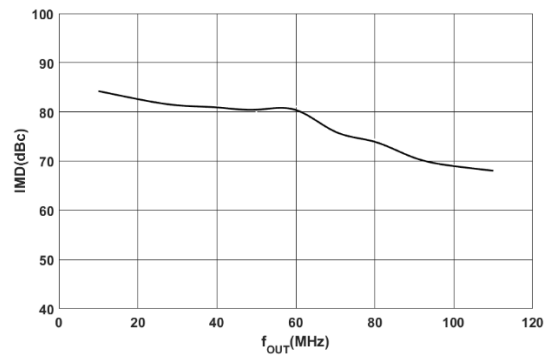


图4. BL1031 IMD vs. f_{out} , Normal Mode, 250MSPS

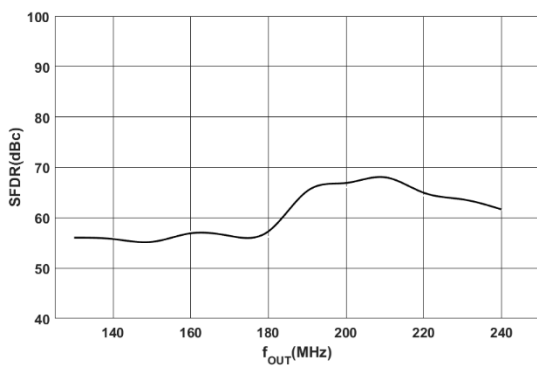


图5. BL1031 SFDR vs. f_{out} , MIX Mode, 250MSPS

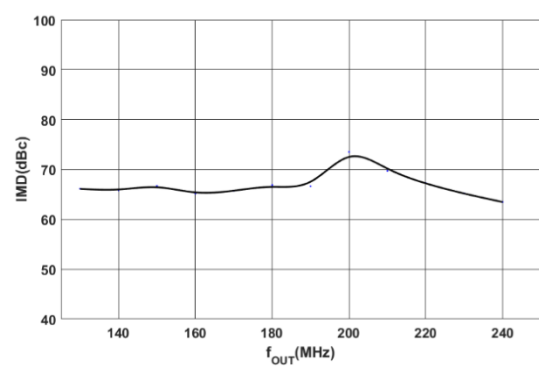


图6. BL1031 IMD vs. f_{out} , MIX Mode, 250MSPS

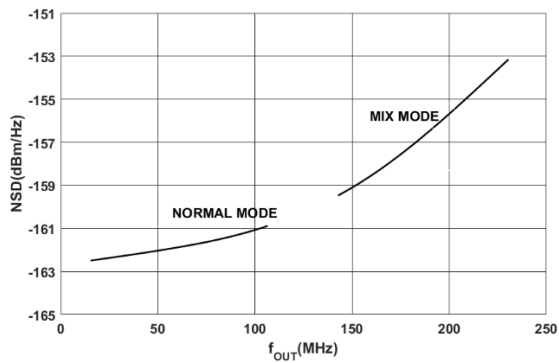


图7. BL1031 NSD vs. f_{out} , Single Carrier W-CDMA, 245.76MSPS

工作原理

BL1031是一款十分适合有线和无线通信系统设计的产品。双通道DAC架构使其与正交调制器接口简单，十分适合单边带发射机的设计。

BL1031所有功能都可以通过SPI接口软件配置。

SPI接口

SPI接口是一个灵活的同步串行通讯端口，可以方便地与多种工业标准的微处理器/微控制器接口。该接口兼容大多数同步传输格式，包括Motorola SPI和Intel SSR协议。

该接口可进行读写操作，配置BL1031所有寄存器。支持单字节和多字节传输，以及MSB优先和LSB优先传输格式。通过单个双向引脚(SDIO)或两个单向引脚(SDIO/SDO)，实现串行数据输入/输出。

SPI接口配置由寄存器0x00位[7:6]位控制。注意，对SPI接口的任何配置，都是在写入该字节的最后一位时立即生效的。因此，可以使用多字节传输写入此寄存器，并在通信周期进行中更改配置。必须注意，对于当前通信周期的剩余字节，要使用新的配置。

更改SPI接口配置时，建议使用单字节传输，以免器件通讯错误。

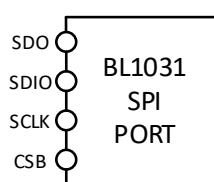


图8. SPI接口

SPI接口通用操作

BL1031的通信周期分为两个阶段。第一阶段是指令周期，在该周期内将一个指令字节写入器件，这个字节向SPI接口控制器提供了数据传输周期第二阶段的信息。

第一阶段的指令字节定义了即将到来的数据传输是读操作还是写操作，数据传输有多少字节，以及数据传输的第一个字节的起始寄存器地址是什么。通过将CSB从高电平拉到低电平可以将SPI接口重置为指令周期的初始状态。从这个状态开始，接下来的8个SCLK的上升沿定义了当前通信周期指令字节的8位。

其余SCLK上升沿用于通信周期的第二阶段，第二阶段用于SPI接口和微处理器/微控制器之间的数据传输。根据第一阶段指令字节的信息，第二阶段可以支持1、2、3或4个字节数据传输。通常首选多字节传输，而当寄存器配置只需一个字节是，单字节数据传输有助于降低CPU的开销。

所有SPI接口数据传输都是通过SCLK引脚同步的，输入数据总是在SCLK的上升沿锁存，而输出数据总是在SCLK的下降沿有效。在写入各传输字节的最后一位时，寄存器的值立即改变。

当同步丢失时，只要CSB引脚从低电平拉回高电平，器件能够异步终止输入/输出操作。如果输入/输出操作中止，任何未写入的寄存器的值都将丢失。将CSB从高电平拉到低电平拉将重置SPI接口并启动新的通讯周期。

指令字节

指令字节包含的信息如下表7。

表7 SPI接口指令字节

MSB				LSB			
B7	B6	B5	B4	B3	B2	B1	B0
R/ \bar{W}	N1	N0	A4	A3	A2	A1	A0

位[7], R/ \bar{W} 决定了这个指令字节后的传输字节是读还是写操作。逻辑高表示读操作，逻辑低表示写操作。

位[6:5], N1和N0，决定了在数据传输周期中要传输的字节数。如下表。

表8 SPI接口字节传输数

N1	N0	描述
0	0	传输一个字节
0	1	传输两个字节
1	0	传输三个字节
1	1	传输四个字节

位[4:0], A4, A3, A2, A1和A0决定数据传输期间访问的是哪个寄存器。对于多字节传输，取决于当前的数据传输格式，这个地址是一个起始地址或结束地址。对于MSB-FIRST格式，指定的地址是当前周期的结束地址或最高数据字节地址。SPI接口控制器发送的剩余的寄存器地址是指定的寄存器地址递减。对于LSB-FIRST格式，指定的地址是当前周期中的起始地址或是最低数据字节地址。SPI接口控制器发送的剩余的寄存器地址是指定的寄存器地址递增。

MSB/LSB传输

SPI接口支持MSB-FIRST和LSB-FIRST两种数据格式，此功能通过寄存器0x00位6控制。默认情况是低电平，表示MSB-FIRST格式。

当使用MSB-FIRST格式(LSB-FIRST=0)时，指令和数据位必须按照从MSB到LSB的顺序写入。采用MSB-FIRST格式进行多字节数据传输时，以一个指令字节开始传输，该字节包括最高数据字节的寄存器地址，后续数据字节应按照从高地址到低地址顺序传输。在MSB-FIRST格式中，多字节通信周期每传输一个数据字节，SPI接口内部字节地址控制器便递减1。

当使用LSB-FIRST格式(LSB-FIRST=1)时，指令和数据位必须按照从LSB到MSB的顺序写入。采用LSB-FIRST格式进行多字节数据传输时，以一个指令字节开始传输，该字节包括最低数据字节的寄存器地址，后续数据字节应按照从低地址到高地址顺序传输。在LSB-FIRST格式中，多字节通信周期

每传输一个数据字节，SPI接口内部字节地址控制器便递增1。

当改变SPI接口的数据传输格式时，使用单字节传输可以避免器件出错。

SPI接口的引脚描述

片选(CSB)

当片选信号拉低时启动并且选通一个通信周期。它允许在一条串行通信线路上使用多个器件。CSB必须在整个通信周期中保持低电平，可以将CSB拉高来终止不完整的数据传输。当CSB为高电平时，SDO和SDIO引脚为高阻态。

串行时钟(SCLK)

串行时钟用于同步器件发送/接收的数据并控制内部状态机。SCLK的最大频率为30MHz。所有数据的输入都在SCLK的上升沿上有效，所有的数据输出都在SCLK的下降沿有效。

串行数据输入/输出(SDIO)

数据总是通过此引脚写入器件。SDIO也可以用作双向数据线。寄存器0x00的位7控制该引脚的配置。默认值为低电平，将SDIO引脚配置为单向数据线。

串行数据输出(SDO)

使用不同数据线传输数据时，从该引脚读取数据。寄存器0x00的位7控制该引脚的配置。如果该位是高电平，则SDO引脚不输出数据，并保持高阻抗状态。

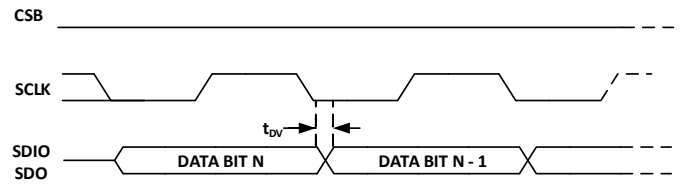


图12. SPI寄存器读时序

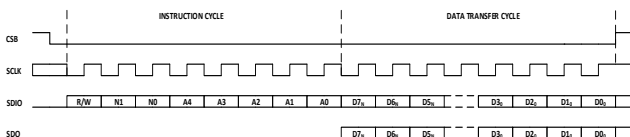


图9. 串行寄存器接口时序——MSB

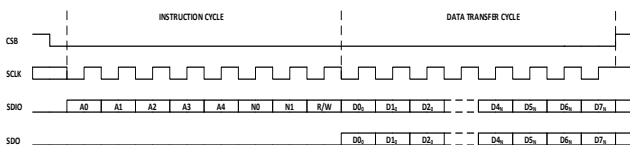


图10. 串行寄存器接口时序——LSB

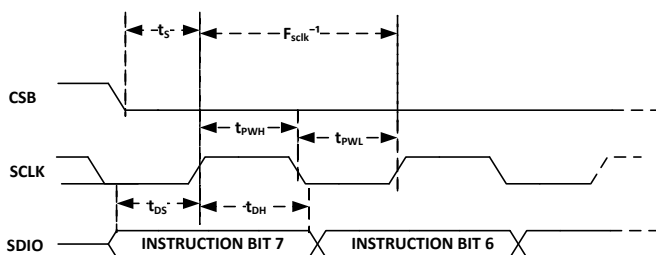


图11. SPI寄存器写时序

SPI寄存器表

除非另有说明，否则读取任何寄存器将返回所有已定义寄存器的先前写入值。仅在单字节模式更改 SPI 接口配置或软件重置以器件出错。

表 9

寄存器名	地址	默认值	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPI 控制	0x00	0x00	SDIODIR	LSBFIRST	SWRESET					
数据控制	0x02	0x00	DATYPE	ONEPORT		INVDCO				
POWER DOWN	0x03	0x00	PD_DCO		PD_AUX2	PD_AUX1	PD_BIAS	PC_CLK	PD_DAC2	PD_DAC1
DAC 模式选择	0x0A	0x00					DAC1MOD[1:0]		DAC2MOD[1:0]	
DAC1 增益 LSB	0x0B	0xF9	DAC1FSC[7:0]							
DAC1 增益 MSB	0x0C	0x01							DAC1FSC[9:8]	
辅助 DAC1 LSB	0x0D	0x00	AUXDAC1[7:0]							
辅助 DAC1 MSB	0x0E	0x00	AUX1PIN	AUX1DIR					AUXDAC1[9:8]	
DAC2 增益 LSB	0x0F	0xF9	DAC2FSC[7:0]							
DAC2 增益 MSB	0x10	0x01							DAC2FSC[9:8]	
辅助 DAC2 LSB	0x11	0x00	AUXDAC2[7:0]							
辅助 DAC2 MSB	0x12	0x00	AUX2PIN	AUX2DIR					AUXDAC2[9:8]	

SPI寄存器功能

表10

寄存器	地址	Bit	名称	功能
SPI控制	0x00	7	SDIODIR	0=4线SPI, SDIO仅用作输入 1=3线SPI, SDIO配置为双向输入输出线
		6	LSBFIRST	0=LSBFIRST格式关闭, SPI串行数据传输从MSB到LSB 1=LSBFIRST格式开启, SPI串行数据传输从LSB到MSB
		5	SWRESET	0=软件复位后恢复正常操作 1=软件复位; 将默认值加载到所有寄存器 (寄存器0x00除外)
数据控制	0x02	7	DATYPE	0=DAC输入数据是二进制补码 1= DAC输入数据是无符号二进制码
		6	ONEPORT	0=双路模式 1=单路模式, 仅在端口1上接收交织输入数据
		4	INVDCO	1=数据时钟输出反向
Power Down	0x03	7	PD_DCO	1=数据时钟输出powerdown
		5	PD_AUX2	1=辅助DAC2 powerdown
		4	PD_AUX1	1=辅助DAC1 powerdown
		3	PD_BIAS	1=偏置电路power down
		2	PD_CLK	1=DAC时钟输入电路powerdown
		1	PD_DAC2	1=DAC2模拟输出powerdown
		0	PD_DAC1	1=DAC1模拟输出powerdown
DAC模式选择	0x0A	3:2	DAC1MOD[1:0]	00=normal mode,DAC1 01=mix mode,DAC1 10=return to zero mode,DAC1
		1:0	DAC2MOD[1:0]	00=normal mode,DAC2 01=mix mode,DAC2 10=return to zero mode,DAC2
DAC1增益	0x0B	7:0	DAC1FSC[7:0]	DAC1增益的10位满量程输出电流调节码
	0x0C	1:0	DAC1FSC[9:8]	0x03FF=设置满量程输出电流为最大值31.66mA 0x01F9=设置满量程输出电流为默认值20.0mA 0x0000=设置满量程输出电流为最小值8.64mA
辅助DAC1	0x0D	7:0	AUXDAC1[7:0]	辅助DAC1的10位输出电流调整码
		1:0	AUXDAC1[9:8]	0x03FF=设置输出电流幅度为2.0mA 0x01F9=设置输出电流幅度为1.0mA 0x0000=设置输出电流幅度为0.0mA
	7	AUX1PIN	1=AUX1P输出 0=AUX1N输出	
	6	AUX1DIR	0=将AUX1DAC输出配置为拉电流 1=将AUX1DAC输出配置为灌电流	
DAC2增益	0x0F	7:0	DAC2FSC[7:0]	DAC2增益的10位满量程输出电流调节码
	0x10	1:0	DAC2FSC[9:8]	0x03FF=设置满量程输出电流为最大值31.66mA

				0x01F9=设置满量程输出电流为默认值20.0mA 0x0000=设置满量程输出电流为最小值8.64mA
辅助DAC2	0x11	7:0	AUXDAC2[7:0]	辅助DAC1的10位输出电流调整码
	0x12	1:0	AUXDAC2[9:8]	0x03FF=设置输出电流幅度为2.0mA 0x01F9=设置输出电流幅度为1.0mA 0x0000=设置输出电流幅度为0.0mA
		7	AUX2PIN	1=AUX2P输出 0=AUX2N输出
		6	AUX2DIR	0=将AUX2DAC输出配置为拉电流 1=将AUX2DAC输出配置为灌电流

数字输入和输出

BL1031可以配置两种数据输入模式：双路模式和单路模式。对于默认的双路模式(ONEPORT=0)来说，DAC1和DAC2分别通过通道1和通道2接收输入数据。在单路模式中(ONEPORT=1)，DAC1和DAC2都通过通道1接收输入数据，DAC1和DAC2的输入数据是交织的，通过IQSEL信号将输入数据导向相应的DAC。

在单路模式中，当IQSEL输入为高电平时，通道1的输入数据将被送至DAC1，当IQSEL输入为低电平时，通道1的输入数据将被送至DAC2。IQSEL信号必须与输入数据对齐，并且与输入数据时序要求一致。在单路模式中，最小建立和保持时间不仅适用于输入数据，也适用于IQSEL信号。在双路模式中，IQSEL信号无效，可以忽略。

在双路模式中，必须以采样速率(最高250MSPS)发送输入数据。在单路模式中，数据速率是采样速率的两倍。因为数据速率最高支持250MSPS，所以在单路模式中，DAC时钟最高支持125MHz。

不论在哪种模式下，数据时钟输出(DCO)都可以当做FPGA的外部时钟信号用来生成数据。该输出信号频率与采样速率一致，并且可以通过SPI接口配置寄存器INVDCO位来反向DCO。

数据输入时序

对于大多数DAC，信噪比(SNR)是时钟沿与输入数据变化时间点之间关系的函数。BL1031是上升沿触发的，因此当输入数据越接近上升沿变化时，SNR变化越明显。

本手册规定的最小的建立时间和保持时间在每个输入数据周期内定义了一个时间窗口，在该时间窗口中，输入数据可以被正确采样。以DAC时钟沿为参考，用户必须合理设计输入数据时序，保证其大于最小建立时间和最小保持时间。

双路模式时序

图13为双路模式的时序示意图。

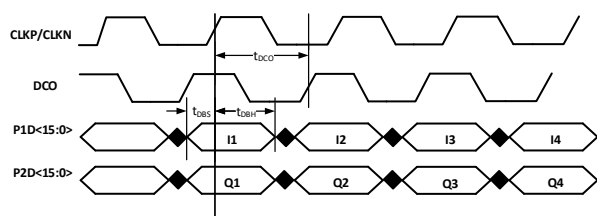


图13. 数据接口时序，双路模式

在图13中，DAC1的输入数据为I_x，DAC2的输入数据为Q_x，DAC差分时钟输入为CLKP/CLKN。数据时钟输出为DCO。建立和保持时间以DAC时钟的上升沿为参考。输入数据必须满足最小建立和保持时间到达输入引脚。注意，数据时钟输出相对DAC时钟有固定时间延迟，可以用于确定时序。

单路模式时序

图14为单路模式的时序示意图。

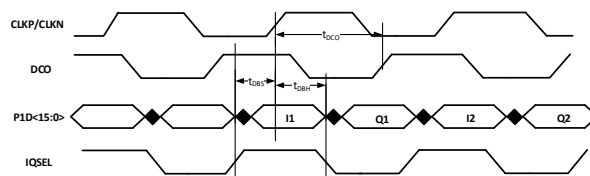


图14. 数据接口时序，单路模式

在单路模式中，DAC1和DAC2都通过通道1接收输入数据。I_x和Q_x的输入数据是交织的，速率是双路模式的两倍，与通道1输入数据一同输入的IQSEL信号将输入数据导向相应的DAC。当IQSEL为高电平时，输入数据被送至DAC1，当IQSEL为低电平时，数据传输被送至DAC2。IQSEL信号必须与输入数据对齐，并且与输入数据时序要求一致。

SPI引脚，复位和引脚模式

当BL1031上电之后，需要一个高电平脉冲输入到RESET引脚，这保证了所有的控制寄存器处于默认状态。另外，一旦RESET引脚被拉低，SPI接口被激活，因此，在不使用SPI接口进行通信时，CSB必须要保持为高电平。

对于不使用微处理器/微控制器的应用，BL1031还支持引脚模式操作，在无SPI接口通信的情况下可通过SPI引脚来配置部分功能。引脚模式在RESET保持为高电平的时候开启，在引脚模式下，4个SPI接口引脚有如下表11所示的第二功能：

表11.SPI引脚功能(引脚模式)

引脚名称	引脚模式功能
SCLK	单路模式(寄存器0x02, 位6), 值(1/0)对应引脚状态(高/低)
SDIO	DATETYPE(寄存器0x02, 位7), 值(1/0)对应引脚状态(高/低)
CSB	混频模式使能, 当CSB为高, 寄存器0x0A配置为0x05, DAC1和DAC2配置为混频模式
SDO	全POWER DOWN使能, 当SDO为高时, 寄存器0x03配置为0xFF

在引脚模式下，除了SPI引脚控制的寄存器，所有的寄存器值被复位成默认值。

RESET引脚允许被悬空，引脚内置35kΩ下拉电阻到数字地，可以避免因干扰导致器件不正常工作。

DAC时钟

对于DAC时钟而言，其必须为一个低抖动的输入时钟，器件内部时钟接收电路内部采用PMOS差分对，工作于CVDD18

电源域。在400mV的共模电压下，时钟输入CLKP/CLKN的峰峰值可达在800mVp-p。尽管这些电平与LVDS不能直接兼容，但CLKP和CLKN可由交流耦合、直流偏置的LVDS信号驱动，如图15所示。

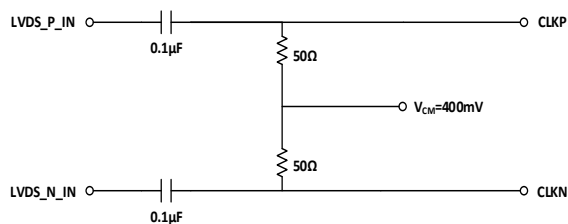


图15. LVDS输入DAC时钟驱动电路

对于较低的采样率，可采用CMOS或TTL时钟。它可以通过LVDS转换器，然后如前所述采用交流耦合。或者，它可由变压器耦合和钳位二极管限幅电路驱动，如图16所示。

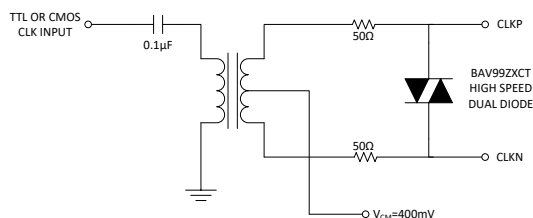


图16. TTL和CMOS输入DAC时钟驱动电路

如果使用正弦信号，可以通过变压器直接耦合到DAC时钟输入，如图17所示。

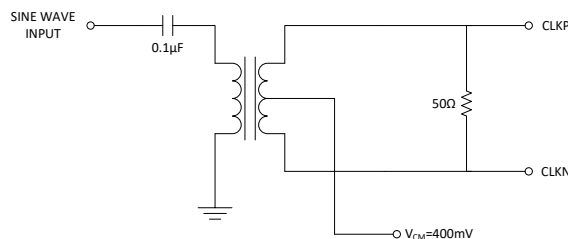


图17. 正弦输入DAC时钟驱动电路

400mV共模偏置电压可采用简单的CVDD18电源分压电路，如下图18所示。

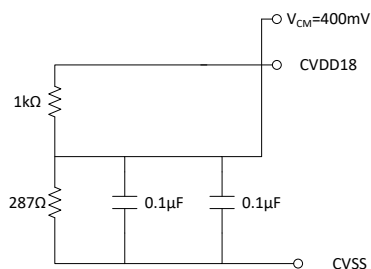


图18. DAC时钟共模偏置电压电路

任何DAC时钟偏置电路，都需采用CVDD18和CVSS供电，因为从另一个电源耦合到时钟上的噪声将会乘以DAC输入信号，降低器件的性能。

输出电流配置

DAC1和DAC2的满量程电流是流过连接至FSADJ引脚（引脚54）外部电阻电流的函数。该电阻要求值为10 kΩ。内部

放大器采用负反馈的方式，使FSADJ引脚电压等于1.25V带隙电压，从而在外部电阻中产生125μA的参考电流。

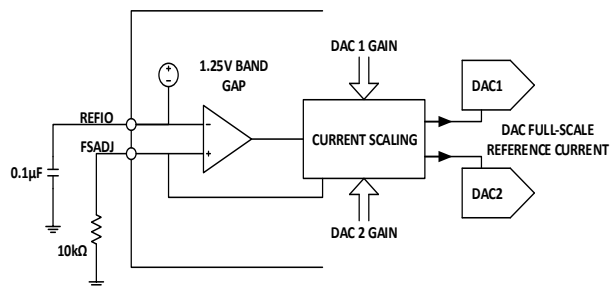


图19. DAC输出电流配置示意图

REFIO(55脚)必须通过0.1μF旁路电容接地。该引脚上存在带隙电压1.25V，可缓冲后用于驱动外部电路。如果需要，可将外部基准连接到REFIO以驱动内部基准。

内部电流镜可调整DAC满量程电流。DAC1和DAC2的增益可分别通过写寄存器DAC1FSC[9:0]和DAC2FSC[9:0]调整。DAC增益寄存器默认值为0x01F9，此时 I_{FS} 等于20mA， I_{FS} 等于

$$I_{FS} = \frac{1.25V}{10000} \times \frac{24}{25} \times \left(72 + \left(\frac{3}{16} \times DACnFSC \right) \right)$$

寄存器值0x000到0x3FF对应满量程输出电流8.6mA到31.7mA的范围。

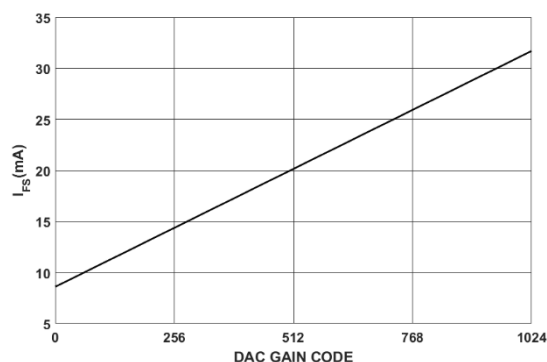


图20. 满量程输出电流 I_{FS} vs. DAC增益寄存器值

DAC传递函数

BL1031的每个DAC输出差分电流 I_{OUTP} 和 I_{OUTN} 。当所有位都是1时， I_{OUTP} 输出接近满量程的电流输出(I_{FS})。例如：

$$DACCODE = 2^N - 1$$

其中 $N=16$ ，表示BL1031的分辨率，此时 I_{OUTN} 不输出电流。

I_{OUTP} 和 I_{OUTN} 的输出电流大小与输入数据和 I_{FS} 的函数关系可以表示为：

$$I_{OUTP} = (DAC DATA / 2^N) \times I_{FS}$$

$$I_{OUTN} = ((2^N - 1) - DAC DATA) / 2^N \times I_{FS}$$

其中DAC DATA=[0, $2^N - 1$] (十进制)。

两个电流输出通常直接或通过变压器驱动电阻负载。如果需

要直流耦合,则必须将 I_{OUTP} 和 I_{OUTN} 连接到与模拟地(AVS)相连的匹配电阻负载(R_{LOAD})。 I_{OUTP} 和 I_{OUTN} 引脚上的单端电压输出为:

$$V_{OUTP} = I_{OUTP} \times R_{LOAD}$$

$$V_{OUTN} = I_{OUTN} \times R_{LOAD}$$

为了在20 mA输出电流下达到1V的最大输出电压,必须将 R_{LOAD} 设置为50 Ω 。 V_{OUTP} 和 V_{OUTN} 的满量程值不能超过规定的输出特性范围,以保证器件的线性性能。

采用差分输出电流有两个优点。其一,差分有助于消除与 I_{OUTP} 、 I_{OUTN} 相关联的共模误差源,例如噪声、失真和直流偏置。其二,差分输出电流和相应的差分输出电压(V_{DIFF})是单端输出电压输出(V_{OUTP} 或 V_{OUTN})值的两倍,可为负载提供2倍信号功率。

$$V_{DIFF} = (I_{OUTP} - I_{OUTN}) \times R_{LOAD}$$

输出模式配置

除了正常模式(normal mode) BL1031支持两种额外的输出模式:混频模式(mix mode)和归零模式(RZ mode)。图21显示了这两种模式的波形。

在混频模式下,输出每隔半个时钟周期反向一次,以采样速率对DAC输出进行处理,将sinc滚降从直流移到 f_{DAC} 。

在归零模式下,每隔半个时钟周期将输出设置为中间值。输出类似于正常模式下的DAC输出,不同之处在于输出脉冲的宽度为一半,面积也为一半。因此,sinc函数在频率上按2倍缩放,并且在 $2 \times f_{DAC}$ 处出现第一个零。由于脉冲面积是正常模式下脉冲面积的一半,因此输出功率是正常输出功率的一半。

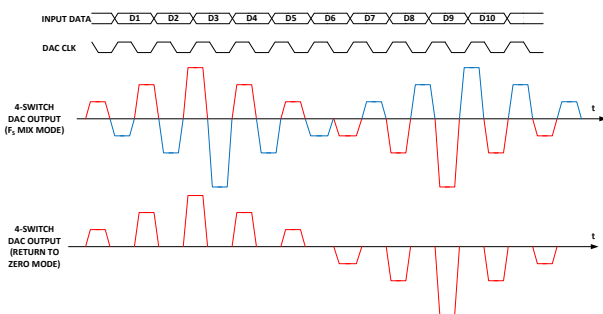


图21. mix mode and RZ mode DAC波形

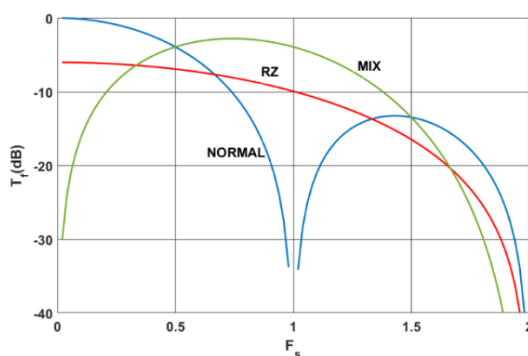


图22. 各种输出模式传递函数

图22展示了正常模式、混频模式和归零模式的输出传递函数。不同模式之间的切换将重构DAC输出固有的sinc滚降,这使BL1031适合于直接中频应用。采用不同的输出模式,用户可以将载波放置在前三个奈奎斯特域中任何位置。所有三个奈奎斯特域的性能和最大输出幅度都受sinc滚降的影响,取决于载波所在频域中的位置(见图22)。

辅助DAC

BL1031内部集成2个辅助DAC,如图23所示为其功能示意图。辅助DAC可配置为拉电流或灌电流,并将电流输出到输出引脚AUXP或AUXN。不管是拉电流还是灌电流,满量程输出电流大小都是接近2mA。辅助DAC输出电压范围取决于输出电流类型。拉电流时,输出电压范围为0V到1.6V;灌电流时,输出电压范围为0.8V到1.6V。辅助DAC在任何时候都只能其中一个输出引脚AUXP或AUXN有效,另外一个无效的引脚AUXN或AUXP则处于高阻态(>100 k Ω)。

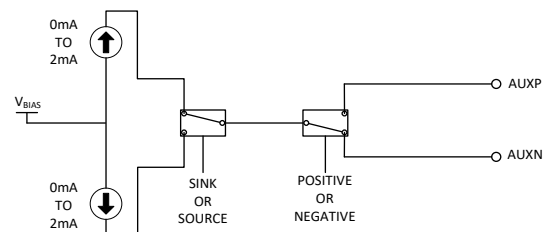


图23. 辅助DAC功能示意图

在单边带发射机应用中,正交调制器的输入参考直流失调电压和DAC输出失调电压可能导致调制器输出端本振(LO)馈通,从而降低系统性能。辅助DAC可以消除直流失调电压以及因此产生的LO馈通。使用辅助DAC来校正失调电压时的配置取决于DAC和调制器接口的参数。如下图24所示为DAC无源低通直流耦合至正交调制器的示例。

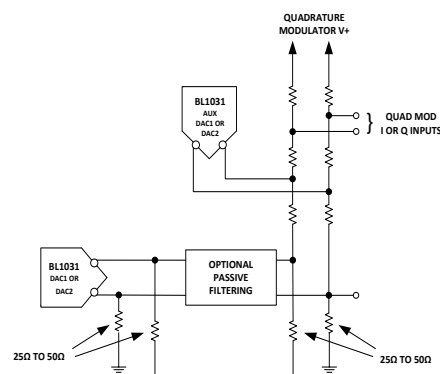


图24. DAC无源低通直流耦合至正交调制器

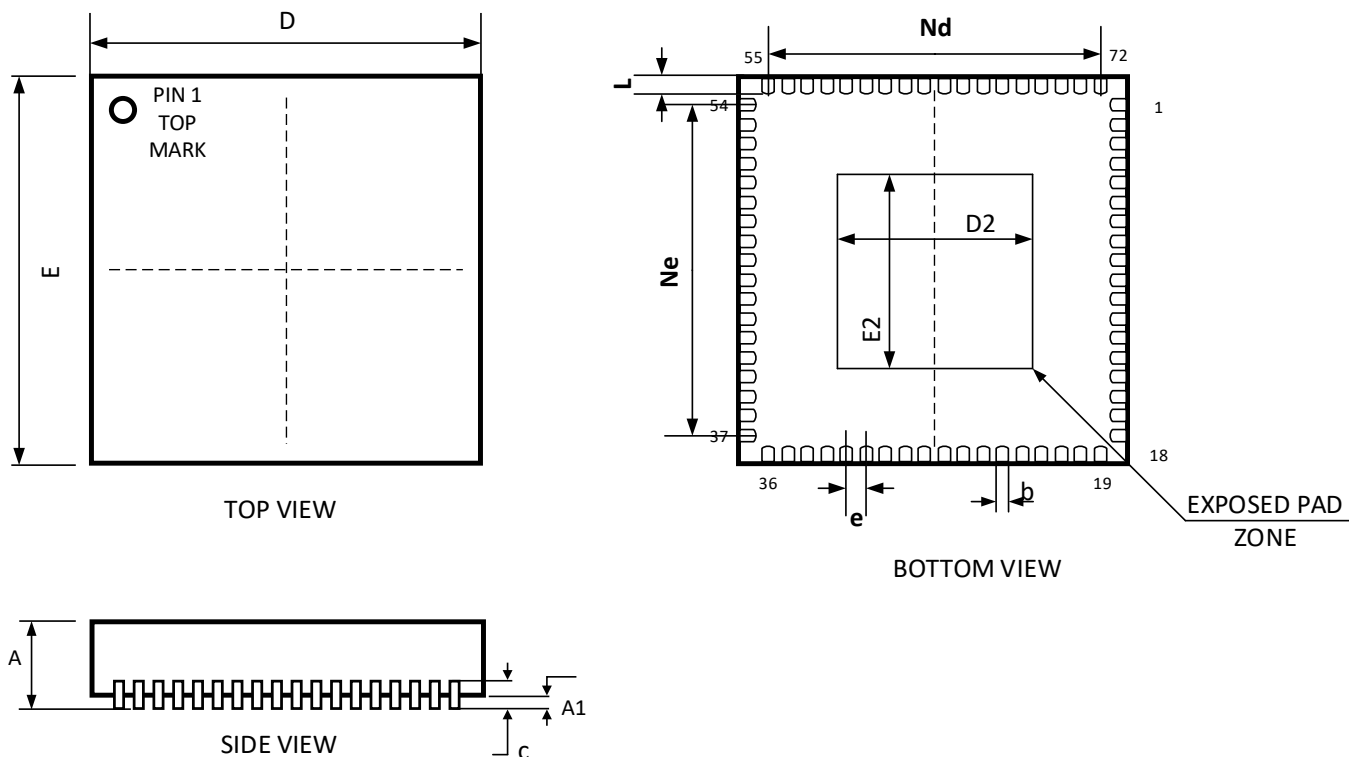
功耗

BL1031的静态功耗约为190mW。其中大部分来自AVDD33电源。

AVDD33是BL1031主要的功耗,只需禁用DAC输出即可实现明显降低功耗。此外,禁用DAC输出是节省电源和保持快速唤醒的重要方法。完全POWER DOWN将禁用所有电路以实现最低功耗。请注意,即使在完全POWER DOWN的情况下,由于输入数据,也会有一个小的功耗。要将器件功耗降

至接近零，请停止输入数据。

外形尺寸



符号	尺寸(毫米)		
	最小值	标准值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.18	0.23	0.28
c	0.2		
D	10.00		
D2	4.60	4.70	4.80
e	0.50 BSC		
Ne	8.50 BSC		
Nd	8.50 BSC		
E	10.00		
E2	4.60	4.70	4.80
L	0.35	0.40	0.45