

产品特性

- 16位分辨率
- 2.7V至5.5V单电源供电
- 超低功耗: 240 μ W (3V电源供电)
- 低噪声:
- 极快SPI通信接口: 最高可达50MHz
- 复位零码功能
- 出色的静态特性:
微分非线性(DNL): ± 1 LSB
积分非线性(INL): ± 16 LSB
- 可通过SPI接口对芯片进行多种配置
- 与DAC8551引脚兼容

应用

- 便携式设备
- 自动测试设备
- 工业过程控制
- 数据采集系统
- 光通信网络

产品描述

BL1033是一款小型、低功耗、16位、单通道、串行输入、电压输出数模转换器(DAC), 在单端2.7 V至5.5 V电压供电下工作。该芯片在 -40°C 至 $+125^{\circ}\text{C}$ 的规定温度范围内拥有极佳的相对精度(1LSB INL), 低数模转换毛刺脉冲以及低输出噪声。

BL1033具有标准高速接口(时钟最高可达50 MHz), 3 V或5 V SPI串行接口, 以便与DSP或微处理器进行通信。

BL1033需要一个外部基准电压来设定其输出范围, 输出电压为0 V至 V_{REF} 。BL1033包含一个上电复位电路, 确保DAC上电时输出为0 V, 并保持在当前位置, 直到对DAC进行有效的写入。

BL1033包含一个通过串行接口访问的掉电功能, 可将DAC在5 V电源供电时的电流消耗降低到1 μ A。BL1033在工作时的低功耗使其非常适合于便携式、电池供电的设备。在正常工作模式下, 由3V电源供电时, 功耗为0.24mW, 进入掉电模式后, 功耗将降低到2 μ W。

BL1033为MSOP-8封装, 有关详细信息, 请参阅应用信息部分内容。

框图

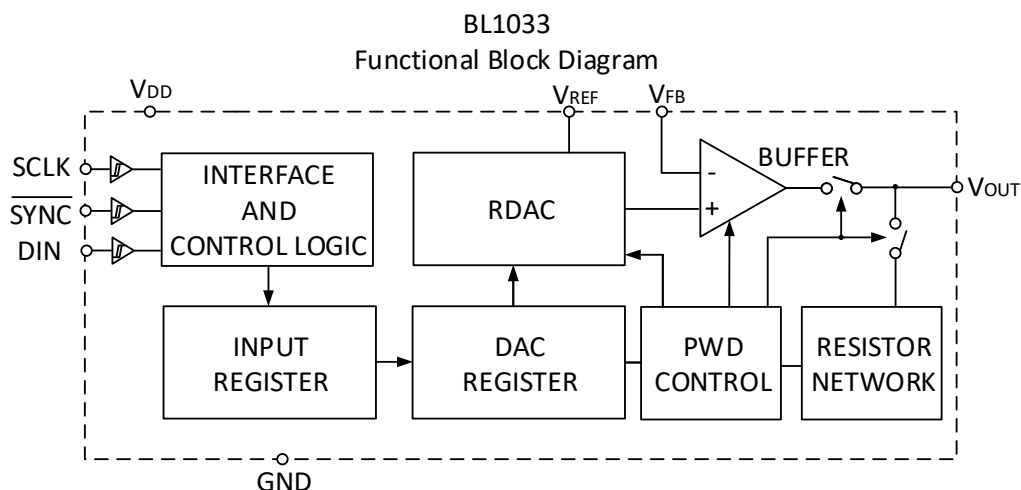


图 1 BL1033功能框图

目录

产品特性.....	1	数模转换毛刺脉冲.....	11
应用.....	1	数字馈通.....	11
产品描述.....	1	输出噪声频谱密度.....	11
框图.....	1	无杂散动态范围(SFDR).....	11
目录.....	2	总谐波失真(THD).....	11
修订历史.....	2	噪声谱密度(NSD).....	11
技术规格.....	3	热滞.....	11
直流规格.....	3	工作原理.....	12
交流规格.....	4	DAC架构.....	12
数字规格.....	5	输出范围.....	12
绝对最大额定值.....	6	输出放大器.....	12
热特性.....	6	上电复位.....	12
ESD特性.....	6	掉电模式.....	12
引脚配置和功能描述.....	7	串行接口.....	13
典型工作特性.....	8	输入移位寄存器.....	13
术语.....	11	应用信息.....	14
积分非线性(INL).....	11	单极性输出.....	14
微分非线性(DNL).....	11	输出放大器选择.....	14
单调性.....	11	基准和地.....	14
零码误差.....	11	电源与基准旁路.....	14
满量程误差.....	11	外形尺寸.....	15
增益误差.....	11	MSOP-8.....	15
零码误差温度系数.....	11		
增益误差温度系数.....	11		
失调误差.....	11		
直流电源抑制比(PSRR).....	11		
输出电压建立时间.....	11		

修订历史

2023年3月：正式版 V1.0版本

技术规格

直流规格

除非另有说明， $V_{DD} = 2.7V$ 至 $5.5V$ ， $V_{REF} = +2.5V$ ， $T_A = -40^{\circ}C$ 至 $125^{\circ}C$ 。

表 1

参数	测试条件	BL1033			单位
		最小值	典型值	最大值	
分辨率		16			Bits
精度					
积分非线性(INL)			± 12	± 16	LSB
微分非线性(DNL)			± 0.3	± 1	
DAC输出					
零码误差	$T_A = +25^{\circ}C$		0.1	0.2	mV
	$T_A = -40^{\circ}C$ 至 $125^{\circ}C$			0.3	mV
零码误差温度系数				± 1	$\mu V/^{\circ}C$
增益误差	$T_A = +25^{\circ}C$		± 0.02	± 0.15	% FSR
	$T_A = -40^{\circ}C$ 至 $125^{\circ}C$		± 0.05	± 0.2	% FSR
增益误差温度系数				± 1	ppm/ $^{\circ}C$
输出电压范围	单极性模式	0		$+V_{REF}$	V
直流电源抑制比 (PSRR)	DAC代码=中间电平; $V_{DD} = 5V \pm 10\%$		0.2		mV/V
数字输入					
输入低电平	$V_{DD} = 2.7V$			0.6	V
	$V_{DD} = 5V$			0.8	V
输入高电平	$V_{DD} = 2.7V$	2.4			V
	$V_{DD} = 5V$	4.0			V
输入电流				± 1	μA
输入容抗				10	pF
基准输入					
基准输入电流	$V_{REF} = 2.5V$, $V_{DD} = 5V$		65		μA
基准输入电压		1.25		V_{DD}	V
基准输入阻抗	code=0		38		K Ω
电源					
供电电压		2.7		5.5	V
供电电流	$V_{DD} = 3V$, code=32768		80		μA
	$V_{DD} = 5V$, code=32768		84		μA
	掉电模式, $V_{DD} = 3V$		0.7		μA
	掉电模式, $V_{DD} = 5V$		1.1		μA
功耗	$V_{DD} = 3V$		240		μW
	$V_{DD} = 5V$		420		μW
	掉电模式, $V_{DD} = 3V$		2.1		μW
	掉电模式, $V_{DD} = 5V$		5.5		μW
工作温度		-40		+125	$^{\circ}C$

交流规格

除非另有说明， $V_{DD}=2.7V$ 至 $5.5V$ ， $R_L=2k\Omega$ ， $C_L=200pF$ ， $V_{REF}=+2.5V$ ， $T_A=-40^{\circ}C$ 至 $125^{\circ}C$ 。

表 2

参数	测试条件	BL1033			单位
		最小值	典型值	最大值	
输出电压建立时间 ²	1/4到3/4量程		25		μs
压摆率			0.4		$V/\mu s$
数模转换毛刺脉冲 ²	主进位 ± 1 LSB变化		1		nV-sec
数字馈通 ²			0.1		nV-sec
总谐波失真 ²					dB
输出噪声	0.1 Hz至10 Hz; DAC = 零电平		8		$\mu Vp-p$
信噪比 (SNR)	环境温度下; BW = 20 kHz, VDD = 5 V				dB
无杂散动态范围 (SFDR)	环境温度下; BW = 20 kHz, VDD = 5 V				dB
信纳比 (SINAD)	环境温度下; BW = 20 kHz, VDD = 5 V				dB

¹温度范围为 $-40^{\circ}C$ 至 $125^{\circ}C$ ，典型值为 $25^{\circ}C$

²参见术语部分

数字规格

除非另有说明， $V_{DD}=2.7V$ 至 $5.5V$ ， $V_{REF}=+2.5V$ ， $T_A=-40^{\circ}C$ 至 $125^{\circ}C$ 。

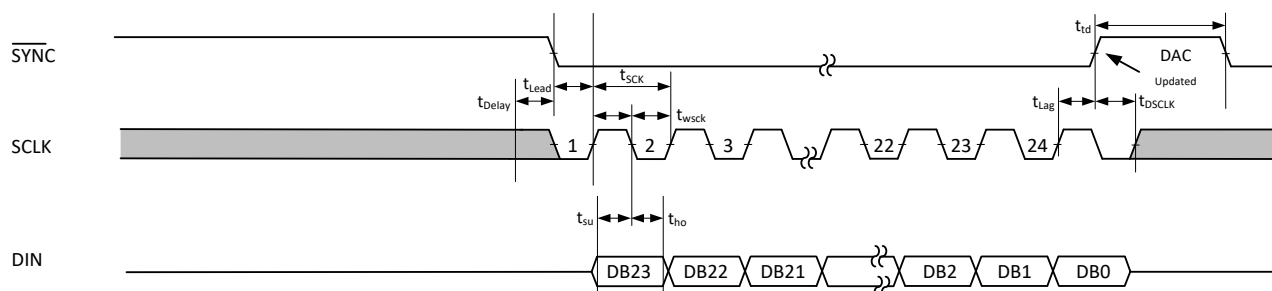


图 2 BL1033 SPI时序图

表 3 $V_{DD}=5V$ 时序特性

参数	最小值	典型值	最大值	单位
串行外设接口				
SCLK周期(t_{SCK})	20			ns
SCLK高/低电平时间 (t_{wsck})	10			ns
SCLK高到nSYNC低延迟时间(t_{Delay})	10			ns
nSYNC使能前置时间(t_{Lead})	10			ns
nSYNC使能滞后时间(t_{Lag})	10			ns
nSYNC高到SCLK高延迟时间(t_{DCLK})	10			ns
nSYNC高电平时间(t_{td})	30			ns
DIN建立时间(t_{su})	10			ns
DIN保持时间(t_{ho})	0			ns
V_{DD} 高到nSYNC低延迟时间	10			ns

表 4 $V_{DD}=3V$ 时序特性

参数	最小值	典型值	最大值	单位
串行外设接口				
SCLK周期(t_{SCK})	20			ns
SCLK高/低电平时间 (t_{wsck})	10			ns
SCLK高到nSYNC低延迟时间(t_{Delay})	10			ns
nSYNC使能前置时间(t_{Lead})	10			ns
nSYNC使能滞后时间(t_{Lag})	10			ns
nSYNC高到SCLK高延迟时间(t_{DCLK})	10			ns
nSYNC高电平时间(t_{td})	30			ns
DIN建立时间(t_{su})	10			ns
DIN保持时间(t_{ho})	0			ns
V_{DD} 高到nSYNC低延迟时间	10			ns

绝对最大额定值

表 4

参数	额定值
电气参数	
V_{DD} 至GND	-0.3 V至+6 V
V_{LOGIC} 至GND	-0.3 V至+6 V
V_{OUT} 至GND	-0.3 V至 $V_{DD} + 0.3$ V或+6 V(取较小者)
V_{REF} 至GND	-0.3 V至 $V_{DD} + 0.3$ V或+6 V(取较小者)
数字输入电压至GND	-0.3 V至 $V_{DD} + 0.3$ V或+6 V(取较小者)
环境参数	
结温	125°C
存储温度范围（环境温度）	-65°C至150°C
工作温度范围	-40°C至125°C

注意,超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值,不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下,器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

表 5

封装类型	气流速度(m/s)	θ_{JA}	单位
8引脚MSOP	0	25	°C/W

ESD特性

BL1033具有良好的ESD特性,可以通过2000V HBM模型测试。

引脚配置和功能描述

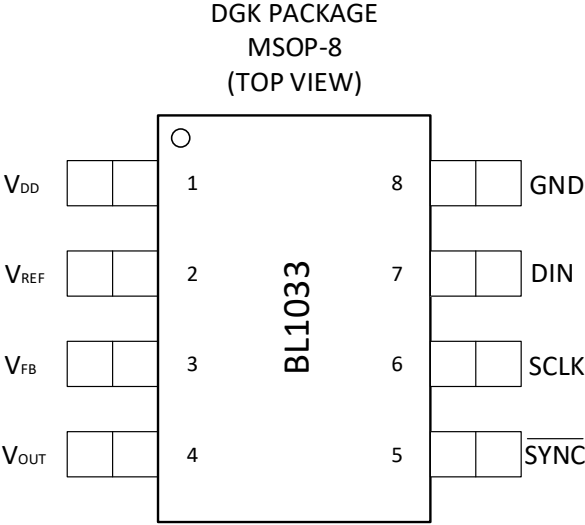


图 3 BL1033 引脚配置 (顶视图)

表 6 引脚功能描述

引脚编号	引脚名称	描述
BL1033		
1	V_{DD}	模拟电源，可选择2.7V至5.5V
2	V_{REF}	基准电压输入
3	V_{FB}	输出放大器的反馈连接。对于电压输出操作，从外部直接连接到 V_{OUT}
4	V_{OUT}	DAC的模拟输出电压
5	$\overline{SYNC}$	水平触发的控制输入（低电平有效）。当 $\overline{SYNC}$ 为低电平时，启用输入移位寄存器，输入在随后的时钟下降沿被传送进来。DAC在第24个时钟之后被更新（除非 $\overline{SYNC}$ 在这个边沿之前被取为高电平，在这种情况下， $\overline{SYNC}$ 的上升沿作为一个中断，写序列被DAC忽略）。
6	SCLK	串行时钟输入
7	DIN	串行数据输入，数据在串行时钟输入的下降沿锁存到输入寄存器中
8	GND	电路的参考接地点

典型工作特性

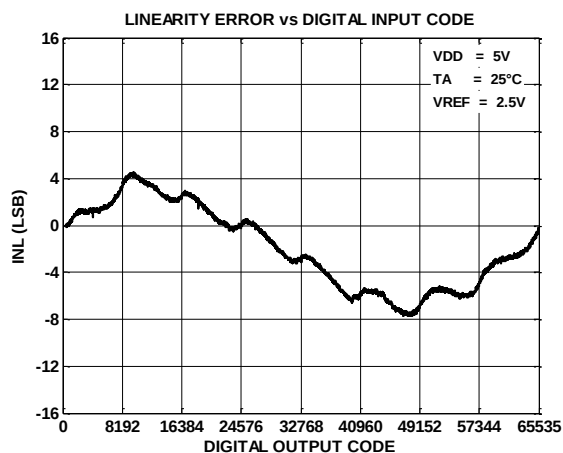


图 4

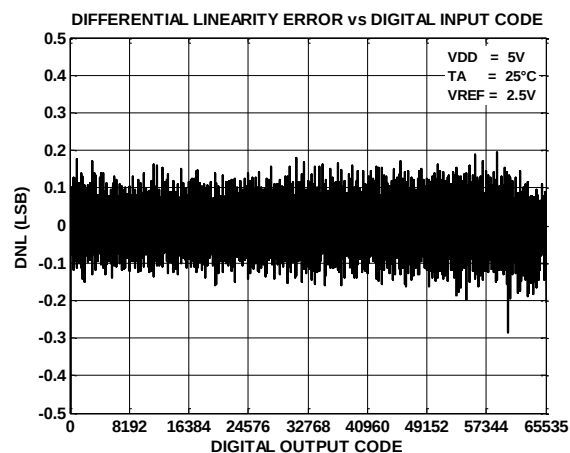


图 7

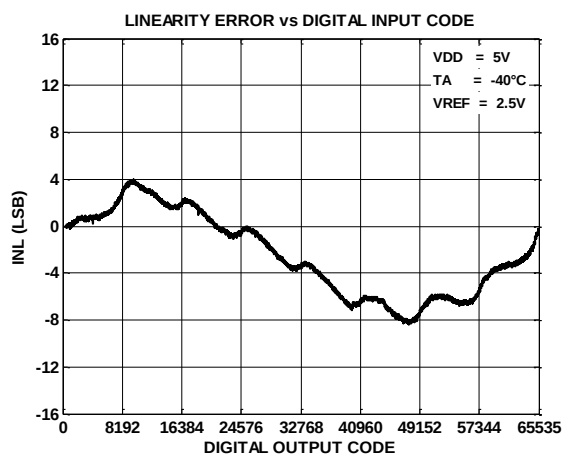


图 5

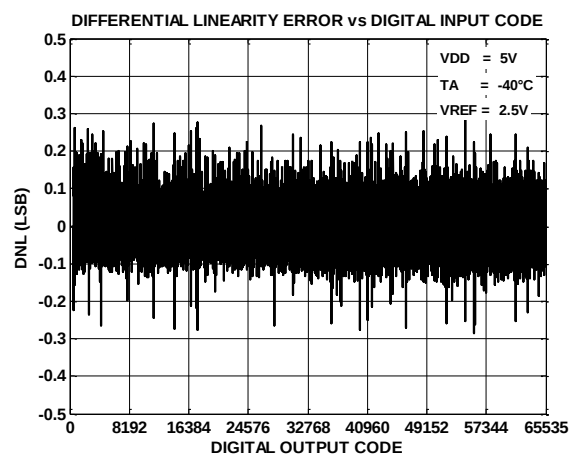


图 8

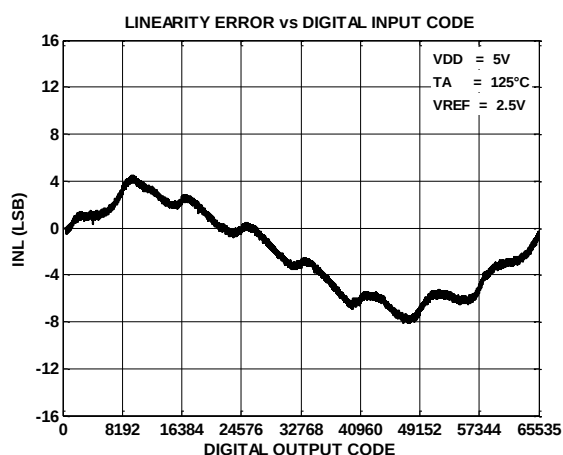


图 6

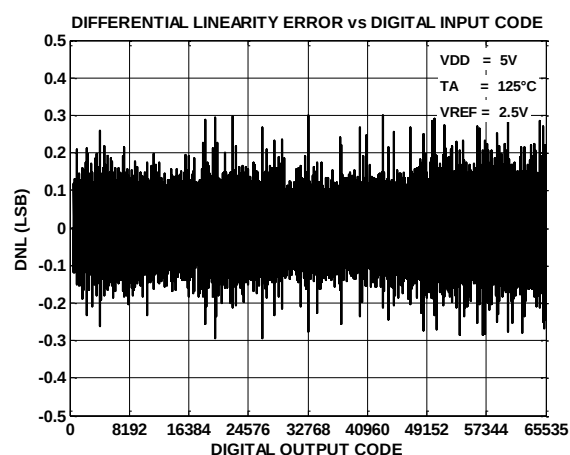


图 9

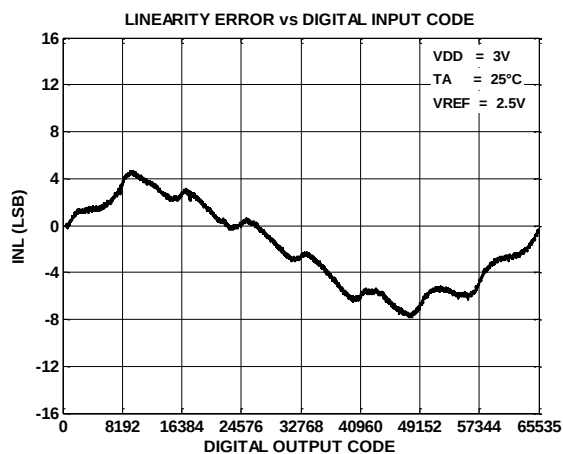


图 10

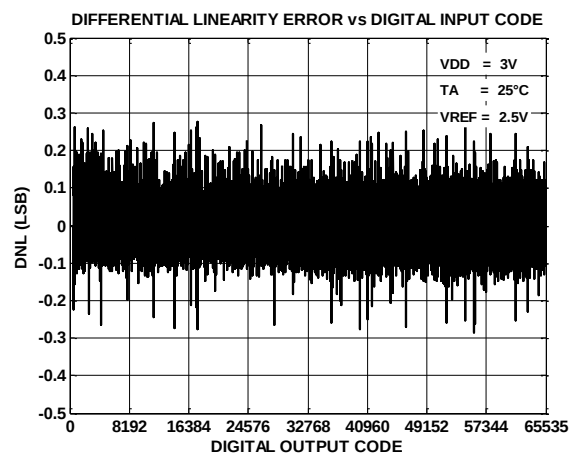


图 13

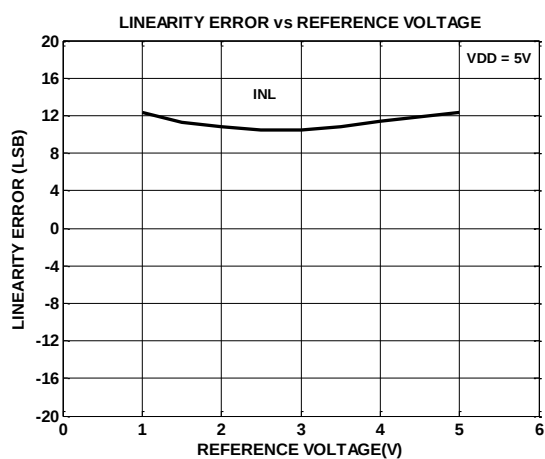


图 11

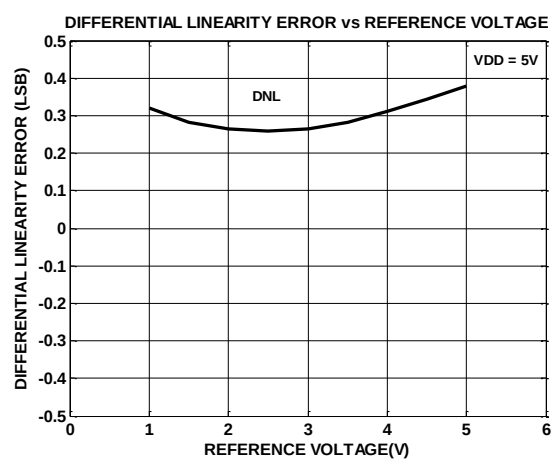


图 14

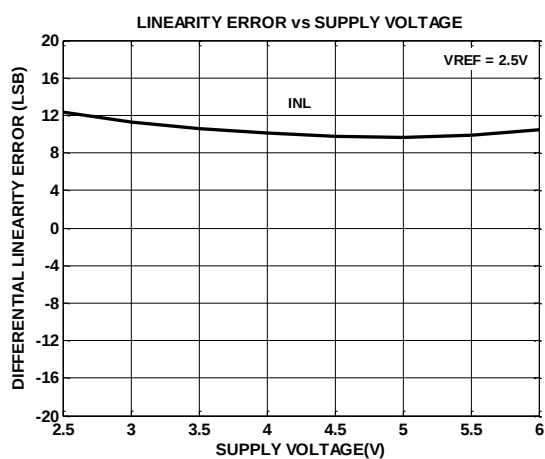


图 12

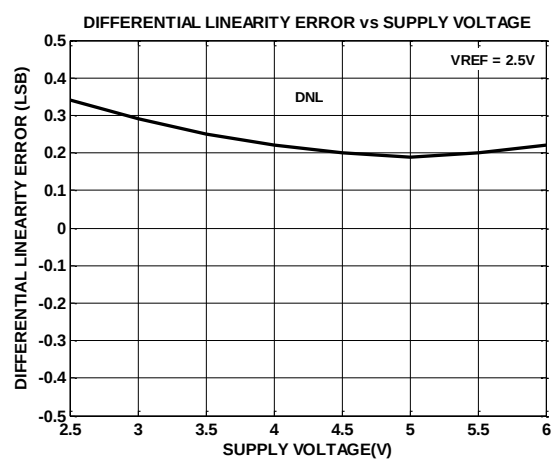


图 15

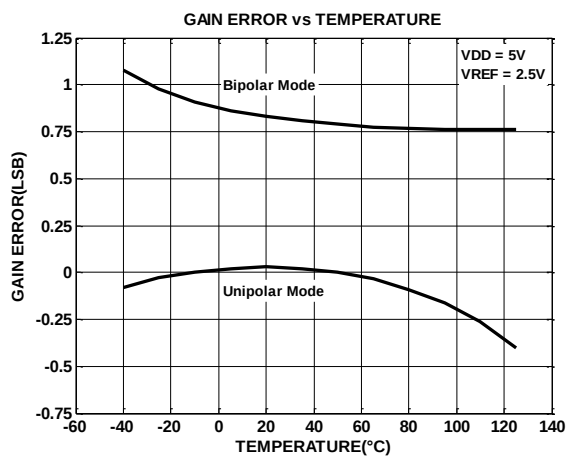


图 16

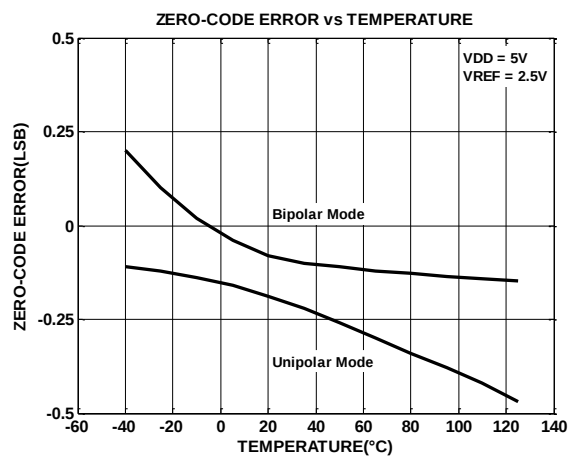


图 19

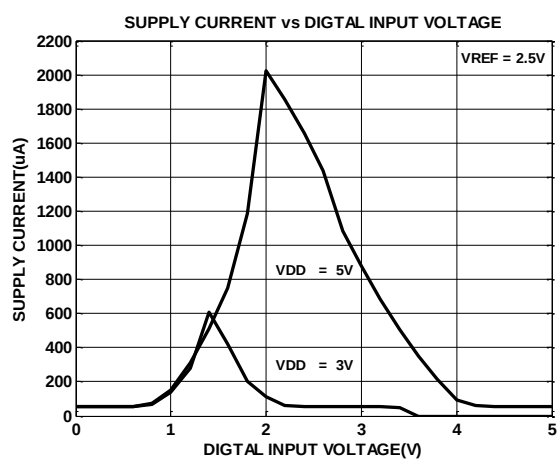


图 17

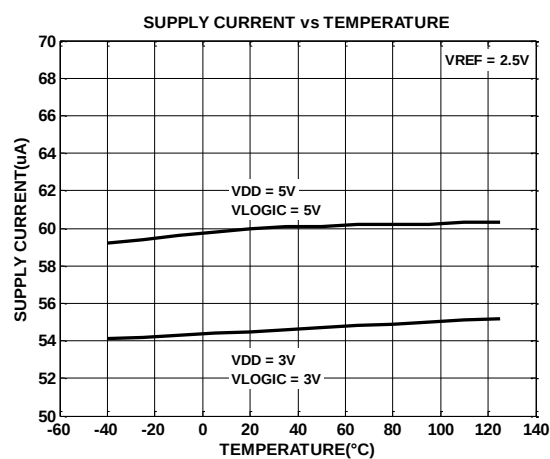


图 20

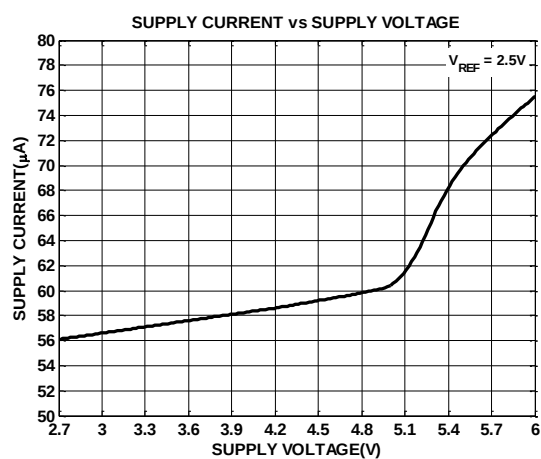


图 18

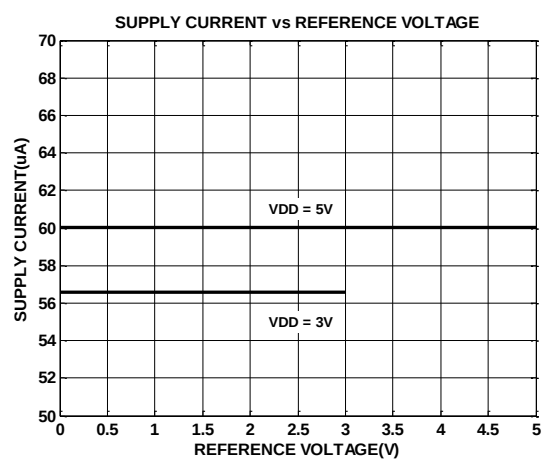


图 21

术语

积分非线性(INL)

对于DAC，积分非线性或相对精度是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。

微分非线性(DNL)

微分非线性是指任意两个相邻编码之间所测得变化值与理想的1LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。

单调性

如果模拟输出随着数字输入的增加而增加或者保持不变，认为这个DAC就是单调的。

零码误差

零码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0V。在BL1033单极性模式下，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不会低于0V。零码误差用mV表示。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{REF} - 1\text{LSB}$ 。满量程误差用%FSR表示。

增益误差

增益误差衡量DAC的满量程误差，表示DAC传递特性的斜率与理想值之间的偏差，用%FSR表示。

零码误差温度系数

零码误差温度系数衡量零码误差在整个工作温度范围 T_{MAX} 至 T_{MIN} 内的最大变化，用ppm/°C表示。

增益误差温度系数

增益误差温度系数衡量增益误差在整个工作温度范围 T_{MAX} 至 T_{MIN} 内的最大变化，用ppm/°C表示。

失调误差

失调误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用LSB表示。失调误差在BL1033上是通过将代码512(0x0200)载入DAC寄存器测得的。该值可以为正，也可负。

直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC中间量程输出的条件下， V_{OUT} 变化量与 V_{DD} 变化量之比，单位为mV/V。 V_{REF} 保持在2.5V， V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于1/4到3/4量程的输入变化，DAC输出建立为指定电平所需的时间量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入模拟输出的脉冲。在数字输入代码主进位发生1LSB转换(0x7FFF到0x8000)时测量，一般定义为以nV-sec为单位的毛刺面积。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

输出噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为 $nV\sqrt{Hz}$ 。

无杂散动态范围(SFDR)

额定奈奎斯特带宽范围内输出信号与杂散信号的峰值幅度之差，用dBc表示。主要杂散通常是谐波，一般为输入信号的二次或三次谐波。

总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

噪声谱密度(NSD)

DAC的模拟输出在1Hz的单位带宽上的噪声功率。

热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

工作原理

BL1033是单通道、16位、串行输入、电压输出DAC。数据以24位的形式通过SPI串行接口写入这些器件。为了确保已知的上电状态，BL1033被设计为具有上电复位功能，在上电时被重置为零代码。在单极性模式下，BL1033被复位到0V。

DAC架构

BL1033采用分段式串DAC架构，内置输出缓冲器。图 22 显示了内部功能框图。

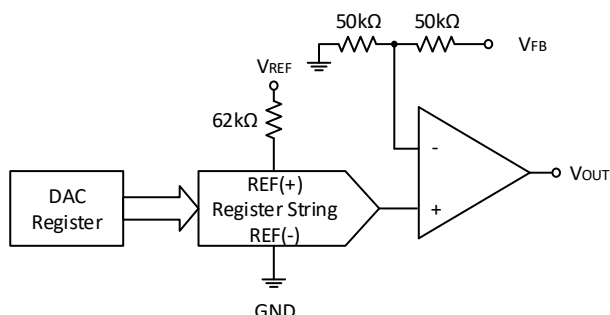


图 22 DAC通道架构框图

简化的分段式电阻串DAC结构如图 23所示。载入DAC寄存器的代码决定串上连接到输出缓冲器的开关状态。串中的各电阻具有相同的值R，因此串DAC必定是单调的。

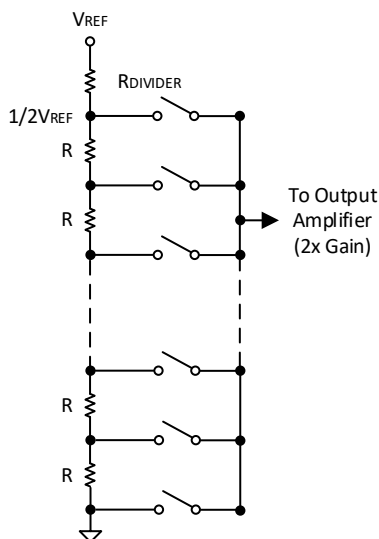


图 23 简化电阻串结构

输出范围

BL1033的输出范围为： $V_{OUT} = (V_{REF} \times \text{Code})/65536$

其中，Code为加载到DAC锁存器中的十进制数据。

输出放大器

输出缓冲放大器能够在其输出上产生轨至轨电压，提供0V至 V_{DD} 的输出电压。它能够驱动与1000pF并联到GND的2kΩ的负载。输出放大器的反向输入被带出到 V_{FB} 脚。这种配置通过将 V_{FB} 点和放大器的输出直接连接到负载上，在关键应用中可以获得更好的精度。其他信号调节电路也可以在这些点之间连接，以满足特定的应用。

上电复位

BL1033具有上电复位功能，以确保上电时输出处于已知状态。BL1033在上电时，DAC锁存器和输入寄存器的数据为全0，直到从串行输入移位寄存器加载新的数据。因此上电后，在单极性模式下，BL1033的引脚 V_{OUT} 的输出是0V。需要注意的是，BL1033的串行寄存器在上电时没有被清除，所以其内容是不确定的。当上电后最开始向BL1033加载数据时，应加载24位或更多，以防止错误的数据出现在输出端上。如果加载的位数超过24位，则保留最后的24位；如果加载的位数少于24位，则保留前一个字的比特。若芯片必须与少于24位的数据连接，数据应在低位处用0填充。

掉电模式

BL1033支持四种独立的工作模式。这些模式可以通过设置控制寄存器中的PD1和PD0来编程。表7显示了这些位的状态与DAC的工作模式的对应关系。

表 7 引脚功能描述

PD1(DB17)	PD0(DB16)	操作模式
0	0	正常运行
掉电模式		
0	1	输出为1kΩ至GND
1	0	输出为100kΩ至GND
1	1	高阻

当PD1和PD0都设置为0时，DAC正常工作，其典型的电流在5V时为84μA。对于这三种掉电模式，电源电流在5V时下降到1.1μA（3V时为0.7μA）。不仅电压电流下降，而且输出级也从放大器的输出内部切换到一个已知值的电阻网络。这种配置的好处是，当DAC处于掉电模式，其输出阻抗是已知的。有三种不同的选择，输出可以选择通过一个1kΩ的电阻、一个100kΩ的电阻在内部连接到GND，或者让其开路（High-Z）。图24是输出阶段的图示。

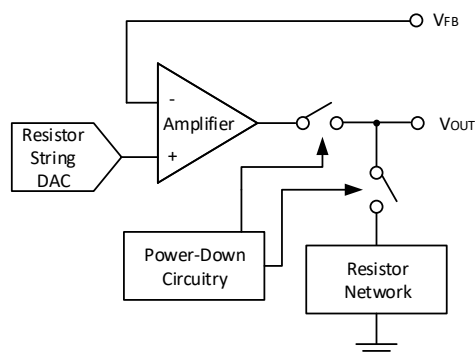


图 24 掉电模式输出结构

当掉电模式被激活时，所有的模拟电路都被关闭了。然而，在掉电时，DAC寄存器的内容不受影响。对于 $V_{DD}=5V$ ，退出掉电模式的时间通常为 $2.5\mu s$ ，对于 $V_{DD}=3V$ ，退出掉电模式的时间为 $5\mu s$ 。

串行接口

数字接口是一个标准的3线连接，与SPI、QSPI™、Microwire™以及TI DSP接口兼容，其运行速度可达50M-bits/sec。数据传输由nSYNC（芯片选择信号）架构。DAC作为一个总线从机工作。总线主机生成同步时钟SCLK，并启动数据传输。当nSYNC为高电平时，DAC不被访问，时钟SCLK和串行输入数据DIN被忽略。总线主机通过驱动nSYNC引脚为低电平来使DAC工作。在nSYNC完成高到低的电平转换后，

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
未使用						PD1	PD0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

图 25 BL1033数据输入寄存器格式

DIN引脚上的串行输入数据在SCLK的上升沿从总线主机同步移出，并在SCLK的下降沿上被锁存到输入移位寄存器中，遵循高位优先原则。nSYNC低电平到高电平的转换将输入移位寄存器的内容转移到输入寄存器中。所有的数据寄存器都是24位的，这意味着需要SCLK的24个时钟来完成一个数据的传输。为了完成一个完整的24位数据传输，nSYNC必须在24个SCLK时钟输入后立即变为高电平。如果在nSYNC为低电平的状态下，有超过24个SCLK时钟，那么最后的24位会在nSYNC的上升沿传输到输入寄存器。如果nSYNC在整个24个SCLK周期内保持低电平，数据就会被破坏。在这种情况下，需要一个新的24位数据重新加载到DAC。

输入移位寄存器

输入移位寄存器的宽度为24位，如

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9
未使用						PD1	PD0	D15	D14	D13	D12	D11	D10	D9

图 25所示。前6位是未使用的位，接下来的两个位（PD1和PD2）是控制位，控制DAC处于哪种工作模式（正常模式或三种掉电模式中的任何一种）。关于各种模式的更完整描述，参见掉电模式章节。之后的16位是数据位。这24位数据在SCLK的第24个下降沿被传送到DAC寄存器。

应用信息

单极性输出

BL1033能够驱动60 kΩ的无缓冲负载。无缓冲操作导致低电源电流和低偏移误差。图26展示了BL1033典型的单极输出电压电路。这种工作模式的输出函数如表7所示。

表 7 单极性码

DAC锁存器内容		模拟输出
MSB	LSB	
1111 1111 1111 1111		$V_{REF} \times (65,535/65,536)$
1000 0000 0000 0000		$V_{REF} \times (32,768/65,536)$
0000 0000 0000 0001		$V_{REF} \times (1/65,536)$
0000 0000 0000 0000		0 V

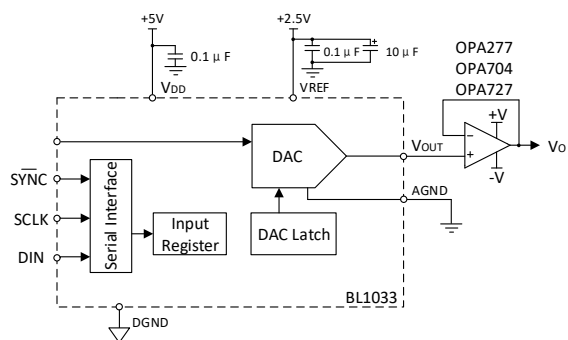


图 26 BL1033输出模式

假设有一个完美的基准，最坏情况下的输出电压可以通过以下公式计算出来。

单极性模式最坏情况下的输出公式：

$$V_{OUT_UNI} = \frac{D}{2^{16}} \times (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

其中： V_{OUT_UNI} 为单极性模式最坏情况下的输出电压；

D为DAC寄存器载入的数字码；

V_{REF} 为DAC的基准电压；

V_{GE} 为增益误差；

V_{ZSE} 为零码误差；

INL为积分非线性。

输出放大器选择

在单电源供电应用中，选择一个合适的运算放大器可能比较困难，因为放大器的输出摆幅通常不包括负轨。这种输出摆幅可能会导致特定性能的下降，除非在应用中不使用接近0的代码。

所选的运算放大器需要有低失调电压（DAC的一个LSB电压约为38μV，在基准电压为2.5V情况下），消除对输出偏移量的需求。输入偏置电流也应保证较低，因为偏置电流乘以DAC输出阻抗（约6.25kΩ）会增加零码误差。

轨到轨的输入和输出性能是十分重要的。为了实现快速稳定，运算放大器的压摆率不应过大从而影响DAC的稳定。DAC的输出阻抗是恒定的，与输入码无关，但为了尽量减少增益误差，输出放大器的输入阻抗应尽可能高。放大器还应该有一个1MHz或更大的3dB带宽。放大器给系统增加了另一个时间常数，从而增加了输出的建立时间。使用一个较高的3dB放大器带宽能使DAC和放大器这一系统的有效建立时间缩短。

基准和地

由于输入阻抗与输入码有关，基准电压引脚应从低阻抗源驱动。BL1033的基准电压范围为1.25 V至 V_{DD} ，基准电压低于1.25 V会导致DAC精度降低。

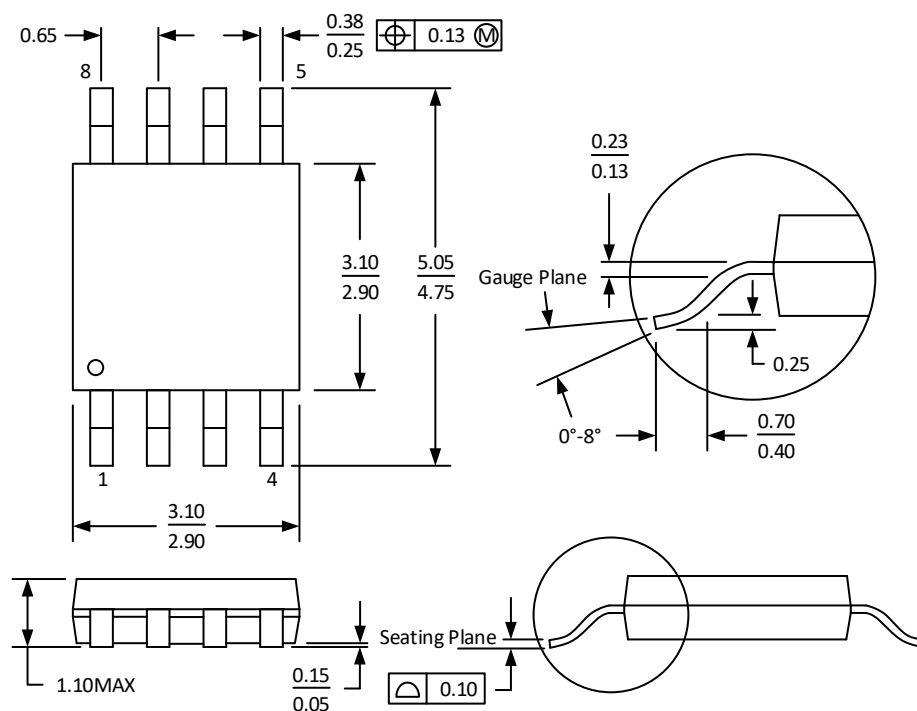
DAC的满量程输出电压是由基准决定的。表7列出了特定数字输入码的模拟输出电压。

电源与基准旁路

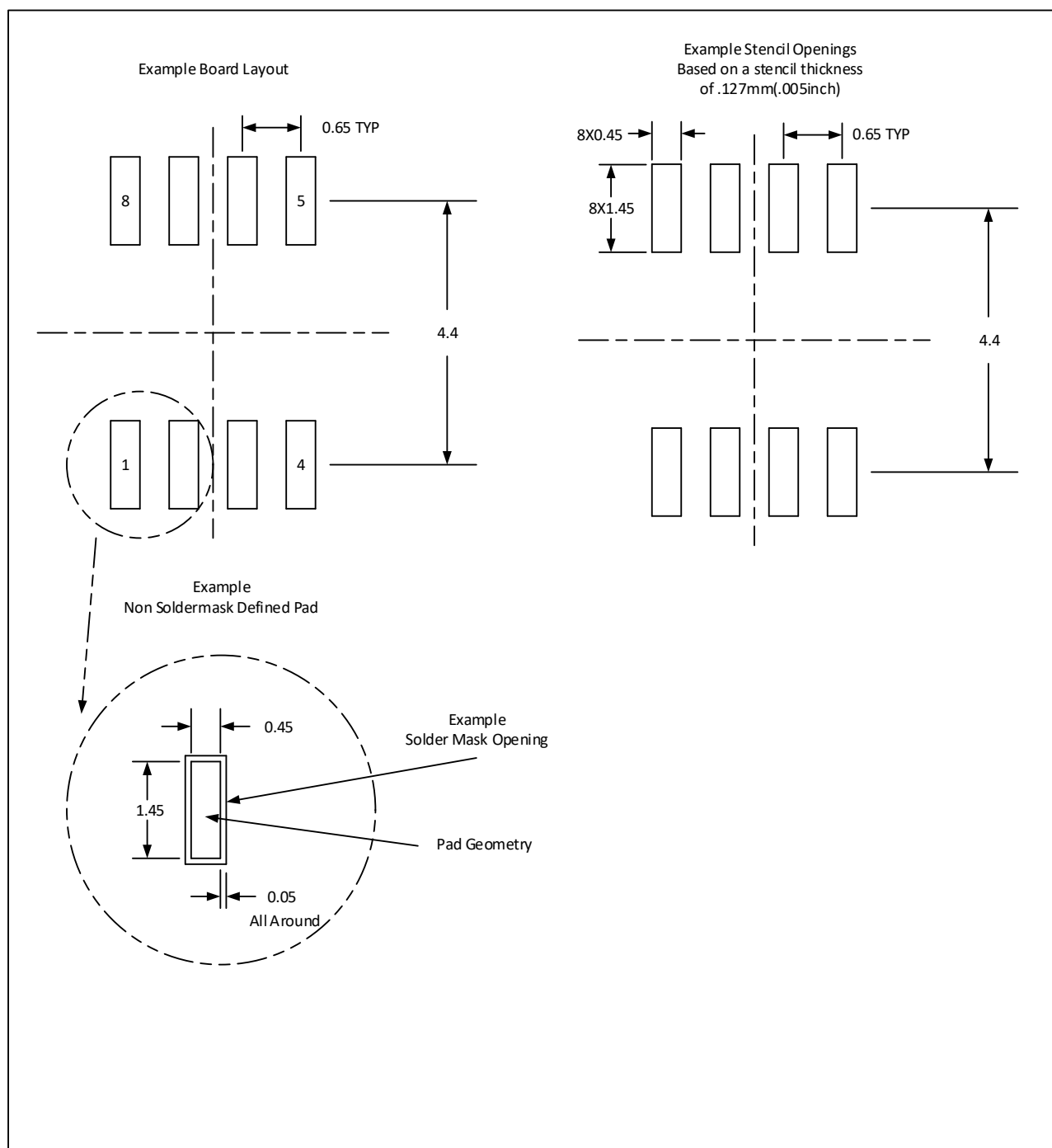
为了DAC获得高分辨率性能，建议将基准引脚和电源引脚旁路用一个10μF电容和一个0.1μF电容并联。

外形尺寸

MSOP-8



- A. 线性尺寸以英寸（括号中为毫米）为单位。括号中的尺寸仅供参考。尺寸和公差符合ASME Y14.5M。
- B. 主体长度不包括模具飞边、突起或毛刺。模具飞边、突起或毛刺每面不得超过0.006英寸（0.15毫米）。
- C. 主体宽度不包含脚间胶渣。脚间胶渣每面不得超过0.017英寸（0.43毫米）。



A. 线性尺寸以英寸（括号中为毫米）为单位。括号中的尺寸仅供参考。尺寸和公差符合ASME Y14.5M。