

产品特性

- 模拟电源供电: 5V
数字电源供电: 2.7V~5V
- 2MSPS 采样率
- 全差分输入, 差分输入范围: $\pm V_{REF}$
- 内部基准源 $V_{REF} = 4.096V$, 10 PPM/ $^{\circ}C$
- INL典型值 ± 0.9 LSB
DNL典型值 ± 0.35 LSB
- Offset 典型值 $\pm 0.5mV$
 $10 \mu V/^{\circ}C$ 零码误差漂移
- 优异的动态性能 $f_{SAMPLE}=2MSPS$, $f_{IN}=2kHz$
SNR 93dB, THD -101dB
- 低功耗 85mW @ $f_{SAMPLE}=2MSPS$
- 灵活的并行/串行接口
- 48引脚QFN封装
- ADS8472引脚兼容

应用

- ATE 测试设备
- 医疗设备
- 转换器接口
- 高精度数据采集系统
- 仪器控制系统

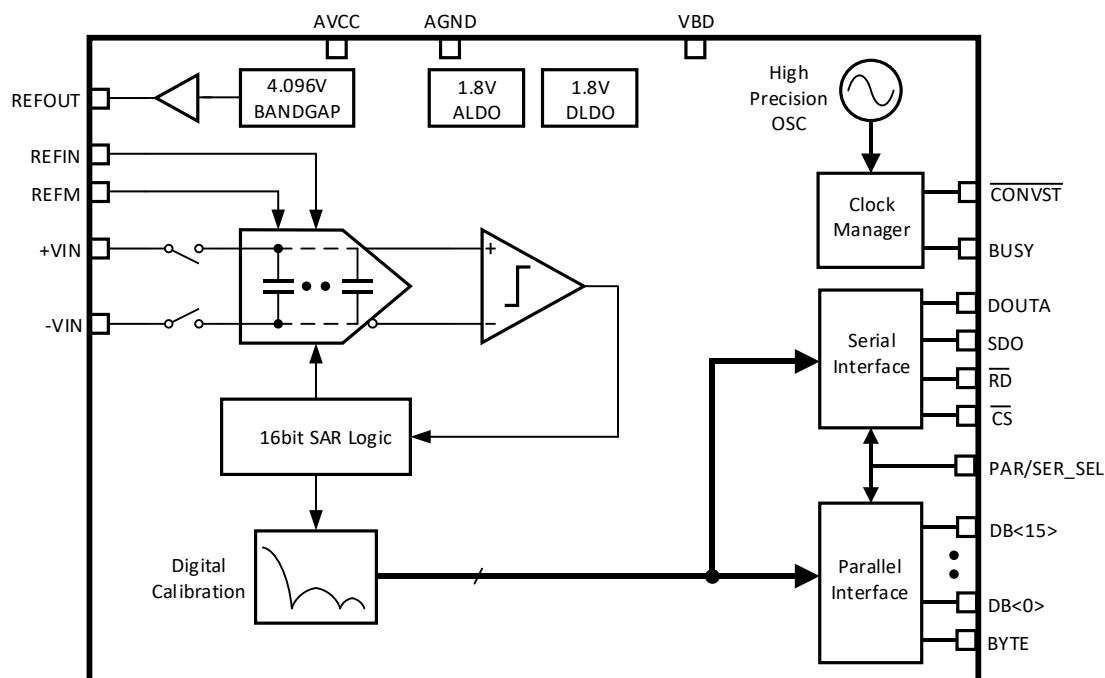
产品描述

BL1070是一款16位、2 MSPS、单通道模数转换器。器件内部拥有低温漂、稳定、精确的 4.096V片内基准源、采样保持电路、16位逐次逼近型模数转换器(SAR ADC)。芯片采用5V单电源供电。

此外, BL1070具备灵活的数字通信接口, 可通过片选信号完成多芯片间的数据通信, SCLK最高支持50MHz的通信速率, 以帮助应用场景减少接口使用率。

BL1070采用48引脚QFN封装, 器件额定工作温度范围为 $-40^{\circ}C$ 至 $+85^{\circ}C$ 。

功能框图



目录

产品特性..... 1

应用..... 1

产品描述..... 1

功能框图..... 1

目录..... 2

修订历史..... 2

绝对最大额定值..... 3

 ESD特性..... 3

技术规格..... 4

 时序规格..... 5

 时序图..... 6

引脚配置和功能描述..... 10

典型工作特性..... 12

工作原理..... 17

转换器详解..... 17

 基准电压源..... 17

 模拟输入..... 17

 数字接口..... 18

 应用电路..... 19

应用信息..... 20

 设计指南..... 20

 电源和接地建议..... 20

 裸露焊盘散热块建议..... 20

外形尺寸..... 21

修订历史

2025年6月：正式版 V1.0版本

绝对最大额定值

表 1

绝对最大额定值			
电压		典型值	单位
	+IN to AGND	-0.4 to +VA + 0.1	V
	-IN to AGND	-0.4 to +VA + 0.1	V
	+VA to AGND	-0.3 to 7	V
	+VBD to BDGND	-0.3 to 7	V
	+VA to +VBD	-0.3 to 2.55	V
对地数字输入电压		-0.3 to +VBD + 0.3	V
对地数字输出电压		-0.3 to +VBD + 0.3	V
工作温度范围 T_A		-40 to 85	°C
存储温度范围 T_{STG}		-65 to 150	°C

注意,超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值,不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下,器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

封装类型	气流速度(m/s)	θ_{JA}	单位
48引脚QFN	0	25	°C/W

ESD特性

BL1070具有良好的ESD特性,可以通过2000V HBM模型测试。

技术规格

除非另有说明, $V_{REF}=4.096V$ (内部基准电压), $+VA=5V$, $+VBD=5V$, $f_{SAMPLE}=2\text{ MSPS}$, $T_A=-40^{\circ}C$ 至 $+85^{\circ}C$ 。

表 2

参数	测试条件	BL1070 (2 MSPS)			单位
		最小值	典型值	最大值	
模拟输入					
满幅输入电压范围	+IN-(-IN)	-V _{REF}		V _{REF}	V
绝对输入电压	+IN	-0.2		V _{REF} +0.2	V
	-IN	-0.2		V _{REF} +0.2	V
共模电压范围		(V _{REF})/2-0.2		(V _{REF})/2+0.2	V
输入电容			65		pF
输入漏电流			1		nA
系统性能					
无失码			16		Bits
积分非线性误差			±0.9		LSB
微分非线性误差			±0.35		LSB
零码误差			±0.5		mV
零码温漂			10		μV/°C
增益误差			0.03		%FS
增益误差温漂			10		ppm/°C
共模抑制比			65		dB
噪声			32		μV
电源抑制比	f _{in} = 2k		-95		dB
采样动态性能					
动态范围	V _{REF} =4.096V		93.8		dB
信噪比	f _{in} = 2k		93.4		dB
无杂散动态范围	f _{in} = 2k		104		dB
总谐波失真	f _{in} = 2k		-101		dB
信纳比	f _{in} = 2k		92.6		dB
-3dB带宽			36.7		MHz
基准电压					
输出电压			4.096		V
输入电压范围		3.0	4.096	4.2	V
温漂			10		ppm/°C
数字输入/输出					
输出码值类型：二进制补码					
逻辑电平	V _{IH}	I _{IH} = 5uA	+VBD - 1	+VBD + 0.3	V
	V _{IL}	I _{IL} = 5uA	-0.3	0.8	V
	V _{OH}	I _{OH} = 2TTL loads	+VBD - 0.6		V
	V _{OL}	I _{OL} = 2TTL loads			V
电源要求					
电源电压	+VA	4.75	5	5.25	V
	+VBD	2.7	5	5.25	
电源电流	f _s = 2MHz		16.5		mA
功耗	f _s = 2MHz		85		mW
温度范围					
		-40		85	°C

时序规格

除非另有说明，内部基准电压 $V_{REF}=4.096V$ ， $+VA = +VBD = 5V$ ， $T_A=-40^{\circ}C$ 至 $+85^{\circ}C$ 。

表 3 并行模式

参数	说明	BL1070 (2 MSPS)			单位
		最小值	典型值	最大值	
$t_{(CONV)}$	转换时间	340	370	390	ns
$t_{(ACQ)}$	采集时间	110	130	160	ns
$t_{(HOLD)}$	采样电容保持时间			25	ns
t_{pd1}	CONVST低电平到BUSY拉高的时间			30	ns
t_{pd2}	转换结束到BUSY低电平传播延迟时间			15	ns
t_{pd3}	转换状态开始到BUSY上升沿传播延迟时间			15	ns
t_{w1}	CONVST低电平脉冲持续时间	40			ns
t_{su1}	CS 低电平到CONVST低电平时间	20			ns
t_{w2}	CONVST高电平脉冲持续时间	20			ns
CONVST下降沿抖动				10	ps
t_{w3}	BUSY低电平脉冲持续时间	110			ns
t_{w4}	BUSY高电平脉冲持续时间		370		ns
t_{h1}	CONVST之后的第一个数据总线转换保持时间（RD低电平，读周期的CS低电平，或BYTE输入变化）。	40			ns
t_{d1}	CS低电平到RD低电平的延迟时间	0			ns
t_{d2}	从RD高电平开始的数据保持的延迟时间	5			ns
t_{d3}	从BYTE上升沿或下降沿到有效数据的延迟时间	10		20	ns
t_{d4}	BYTE沿到沿的倾斜延迟时间		0		ns
t_{su2}	RD高电平到CS高电平的设置时间	0			ns
t_{w5}	RD低电平脉冲持续时间	40			ns
t_{en}	RD低电平（或CS低电平用于读取周期）到数据有效的启用时间			20	ns
t_{w6}	RD高电平脉冲持续时间	20			ns
t_{w7}	CS高电平脉冲持续时间	20			ns
t_{h2}	最后一次RD(或读取周期的CS)上升沿到CONVST下降沿的保持时间	40			ns
t_{pd4}	BUSY下降沿到下一个RD（或CS为读周期）下降沿的传播延迟时间	0			ns
t_{dis}	RD高电平(CS高电平为读周期)到三态的数据总线的禁用时间			20	ns
t_{d5}	BUSY低电平到MSB数据有效延迟的延迟时间			0	ns
t_{d6}	CS上升沿到BUSY下降沿的延迟时间	50			ns
t_{su5}	BYTE转换设置时间，从BYTE转换到下一个BYTE转换的时间	50			ns

时序图

并行模式: PAR/SER_SEL = 1

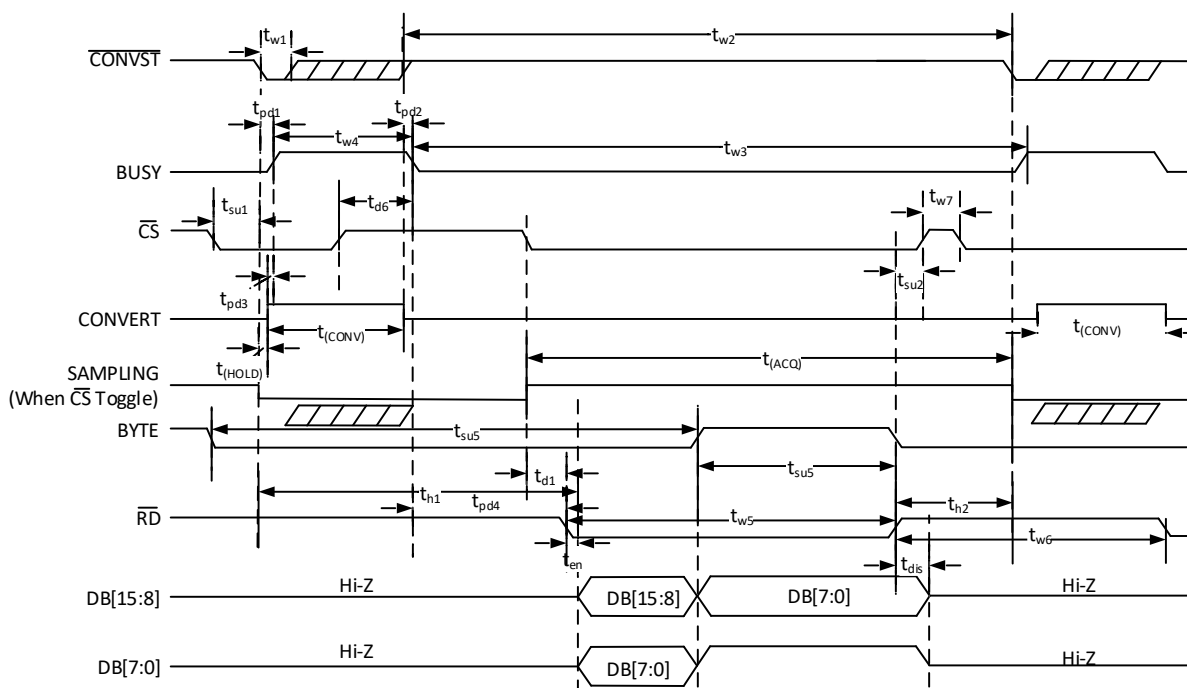


图 1. CONVST 时序——CS, RD 触发

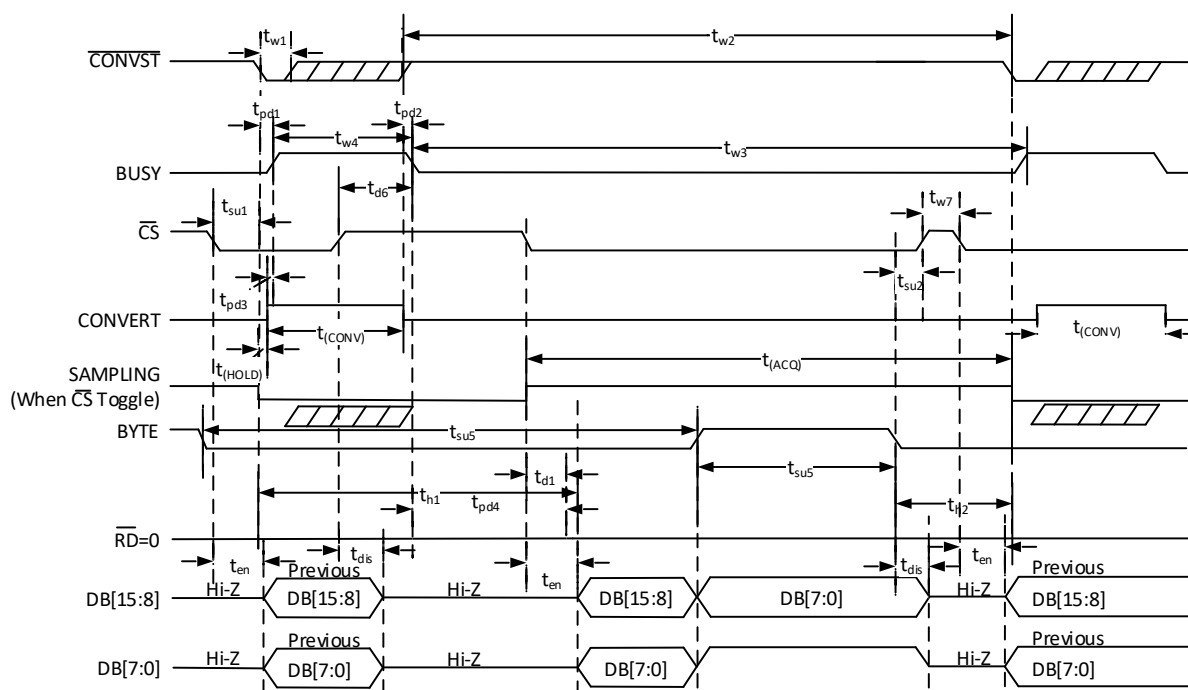


图 2. CONVST 时序——CS 触发

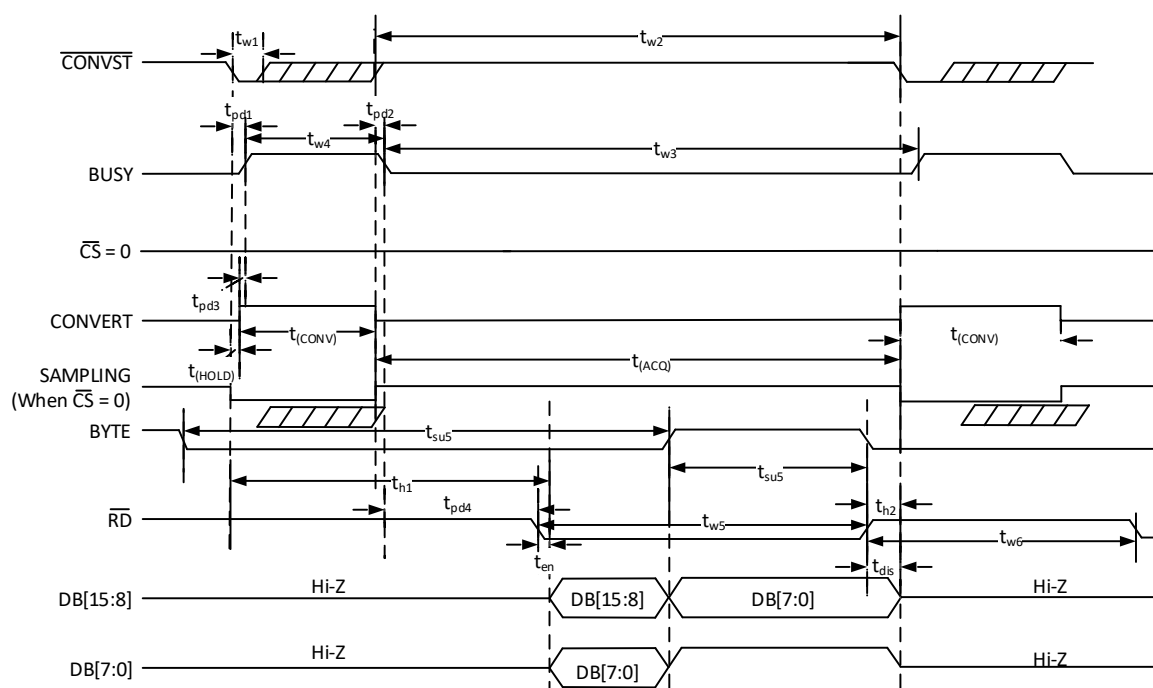


图 1. CONVST 时序——RD 触发

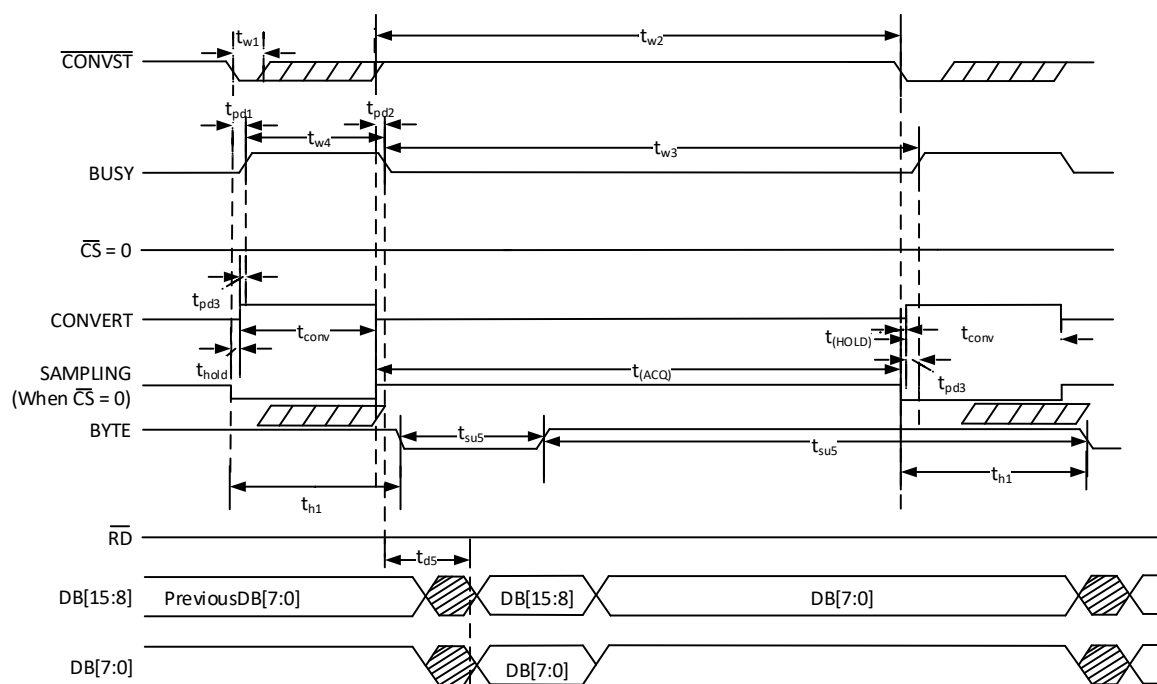


图 4. AUTO READ

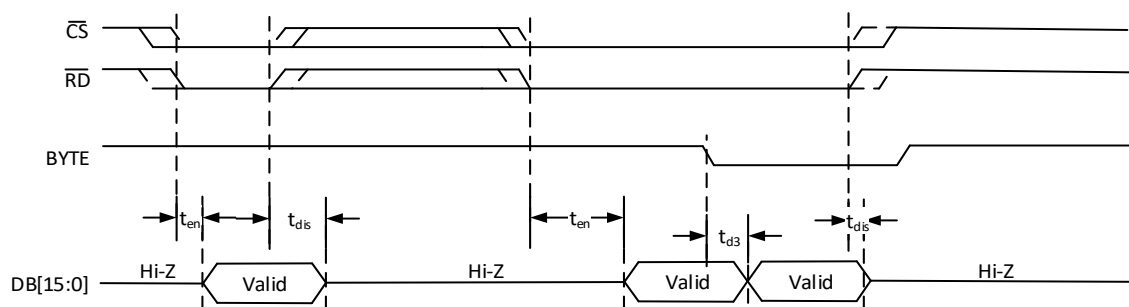


图 5. READ CYCLE

表 4 串行模式

参数	说明	BL1070 (2 MSPS)			单位
		最小值	典型值	最大值	
t_{w8}	SCLK高电平脉冲持续时间	10			ns
t_{w9}	SCLK低电平脉冲持续时间	10			ns
t_{pd5}	BUSY下降沿到第一个SCLK下降沿的延迟时间	0			ns
t_{pd6}	SCLK上升沿之前数据建立时间			15	ns
t_{pd7}	SCLK上升沿之后数据保持时间			10	ns
t_{dis1}	SCLK高电平到三态的数据总线的禁用时间			20	ns

串行模式: $PAR/SER_SEL = 0$

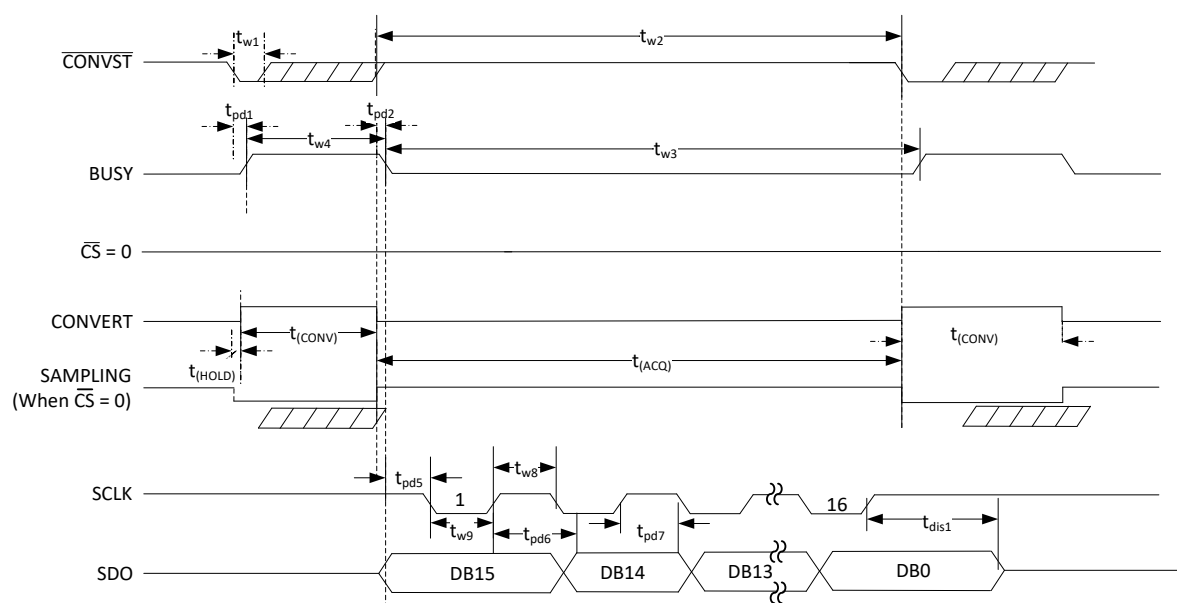


图 6. 串行模式数据读取操作

引脚配置和功能描述

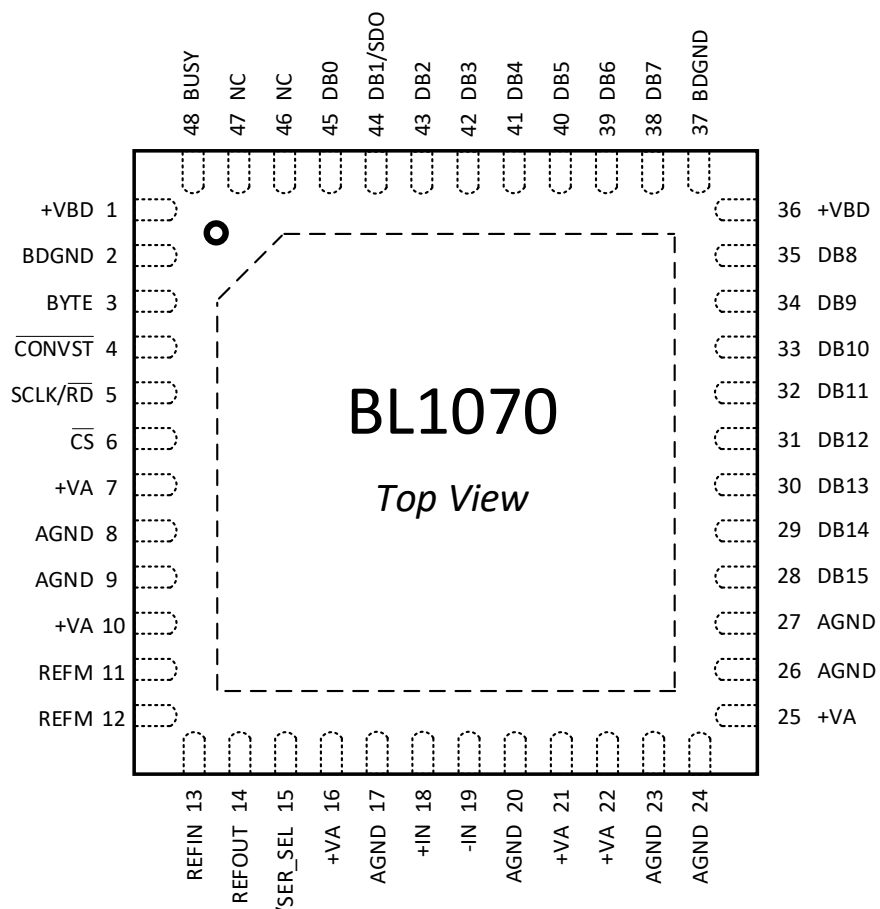


图 7. BL1070 (QFN) 引脚配置 (顶视图)

表 5 引脚功能描述

引脚编号	引脚名称	类型	描述
8,9,17,20,23,24,26,27	AGND	地	模拟地。这些引脚是BL1070上所有模拟电路的接地基准点，所有模拟输入信号和外部基准信号都应参考这些引脚，所有的6个AGND引脚都应连到系统的AGND平面
2,37	BGND	地	用于总线接口数字电源的数字接地
3	BYTE	输入	字节选择输入。用于 8 位总线读取 0: 无折返 1: 16位数据的低[7:0]字节映射到管脚DB[15:8]
4	$\overline{\text{CONVST}}$	输入	转换开始输入，当此引脚由高电平变为低电平时，ADC将停止模拟输入采样并开始转换
5	$\text{SCLK}/\overline{\text{RD}}$	输入	串行时钟输入(SCLK):用作数据传输的串行时钟输入。 并行数据读取控制输入($\overline{\text{RD}}$):用作输出使能，将先前的转换结果放在总线上
6	$\overline{\text{CS}}$	输入	片选。此输入的下降沿开始采集周期。
Data Bus	-	-	8-BIT BUS 16-BIT BUS
			BYTE = 0 BYTE = 1 BYTE = 0
28	DB15	输出	D15(MSB)
29	DB14	输出	D14
30	DB13	输出	D13
31	DB12	输出	D12
32	DB11	输出	D11
33	DB10	输出	D10
34	DB9	输出	D9
35	DB8	输出	D8
38	DB7	输出	D7
39	DB6	输出	D6
40	DB5	输出	D5
41	DB4	输出	D4
42	DB3	输出	D3
43	DB2	输出	D2
44	DB1	输出	D1
45	DB0	输出	D0 (LSB)
46,47	NC	-	悬空
48	BUSY	输出	状态输出。转换正在进行中时为高
11,12	REFM	输入	参考地
13	REFIN	输入	参考输入。使用内部基准电压源时，REFOUT 和 REFIN 引脚需要连接到一起
14	REFOUT	输出	参考输出。使用内部基准电压源时，在 REFOUT 引脚和 REFM 引脚之间添加 1uF 电容
15	PAR/SER_SEL	输入	串行并行模式切换。PAR/SER_SEL = 1为并行，PAR/SER_SEL = 0为串行
18	+IN	输入	同相输入通道
19	-IN	输入	反相输入通道
7,10,16,21,22,25	+VA	-	模拟电源，5V直流
1,36	+VBD	-	总线数字电源

典型工作特性

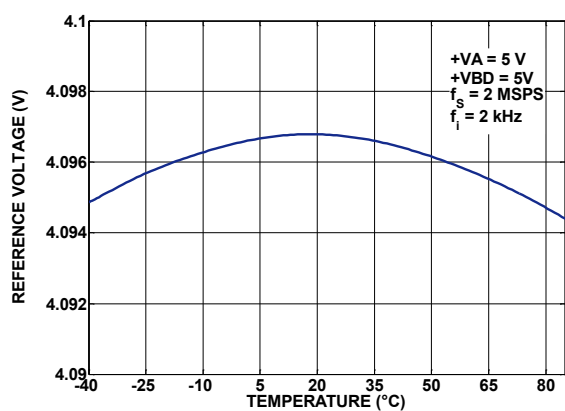


图 8. 温度与基准电压关系

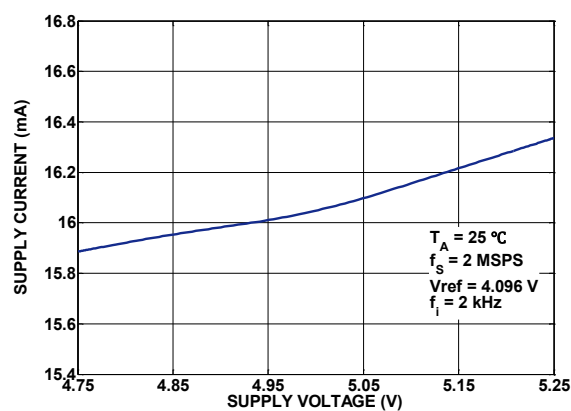


图 11. 电源电压和电源电流关系

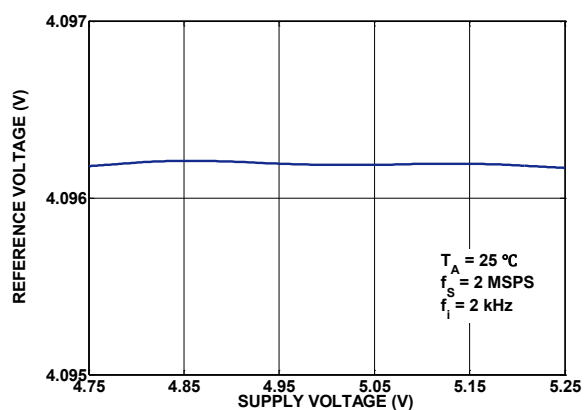


图 9. 电源电压和基准电压关系

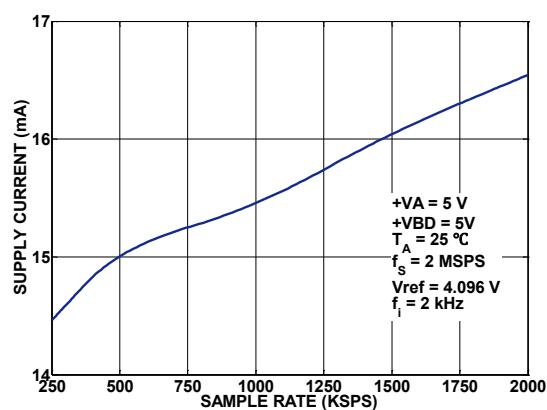


图 12. 采样速率和电源电流关系

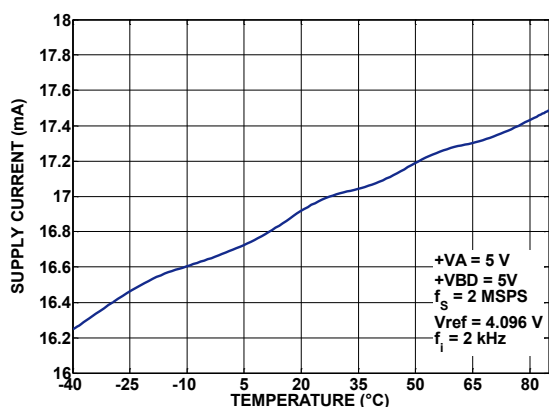


图 10. 温度和电源电流关系

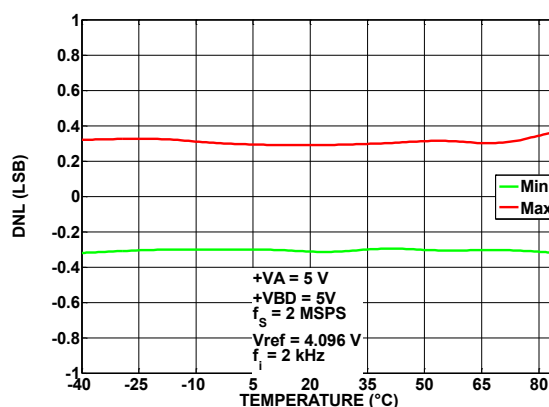


图 13. 温度和 DNL 关系

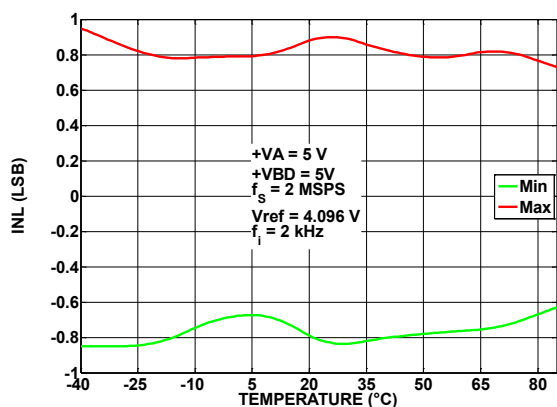


图 14. 温度和 INL 关系

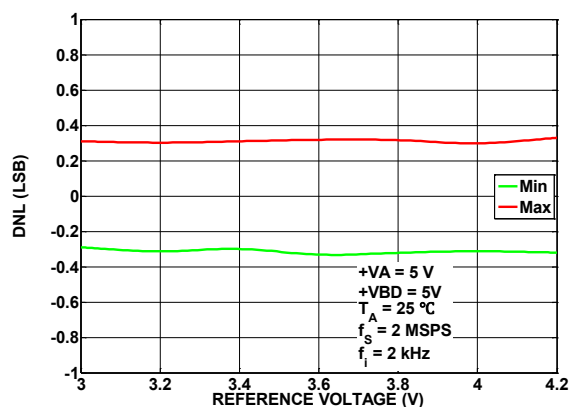


图 17. 基准电压和 DNL 关系

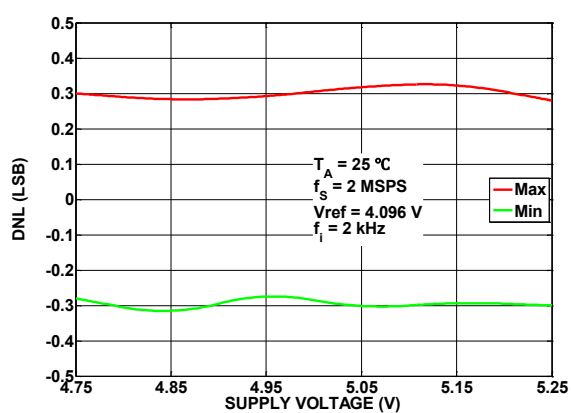


图 15. 电源电压和 DNL 关系

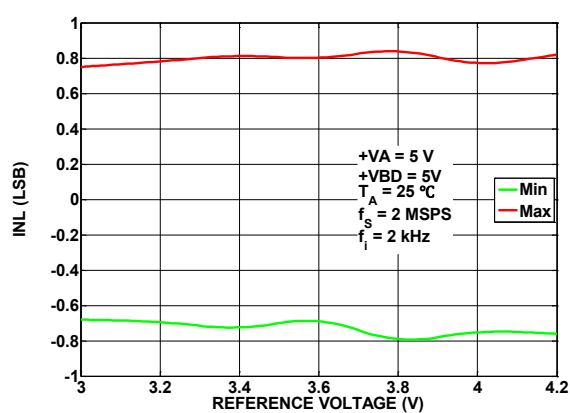


图 18. 基准电压和 INL 关系

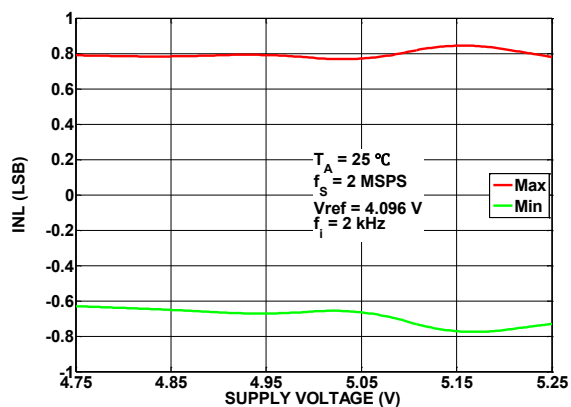


图 16. 电源电压和 INL 关系

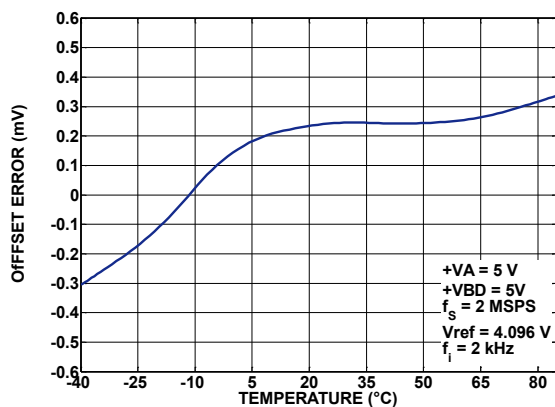


图 19. 温度和 OFFSET ERROR 关系

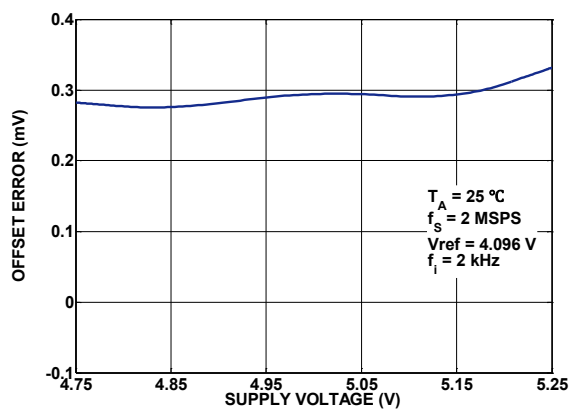


图 20. 电源电压和 OFFSET ERROR 关系

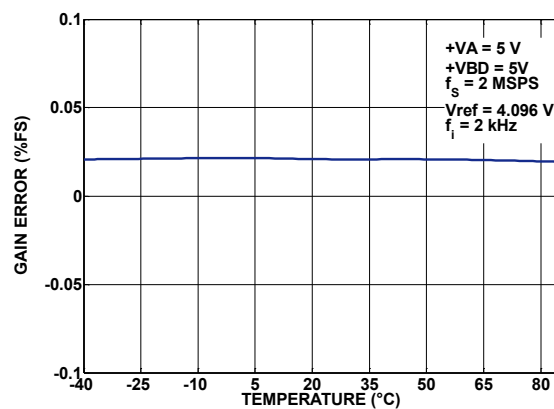


图 23. 温度和 GAIN ERROR 关系

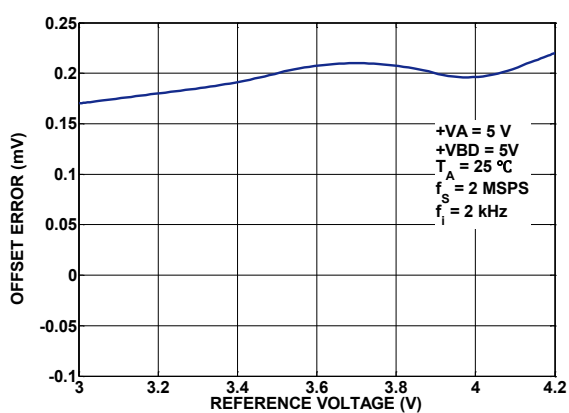


图 21. 基准电压和 OFFSET ERROR 关系

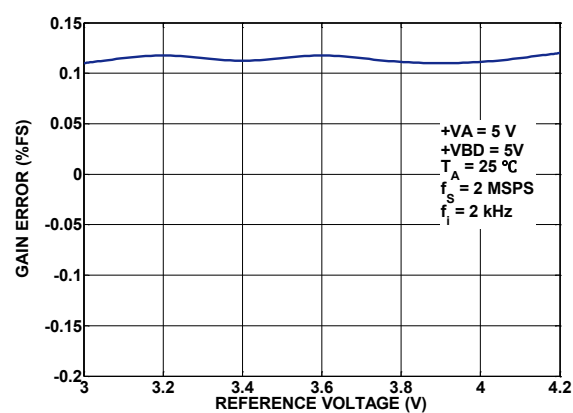


图 24. 基准电压和 GAIN ERROR 关系

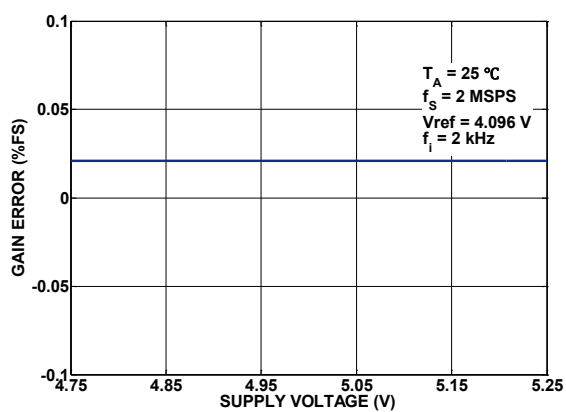


图 22. 电源电压和 GAIN ERROR 关系

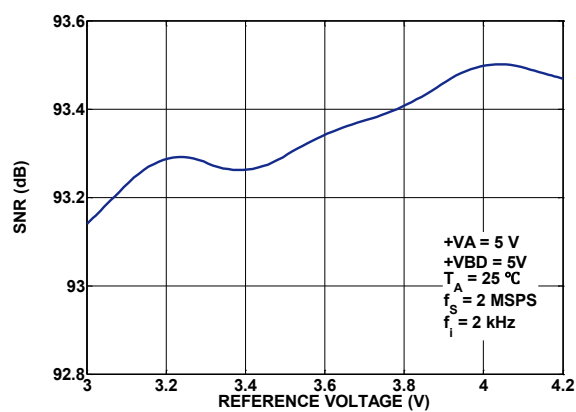


图 25. 基准电压和 SNR 关系

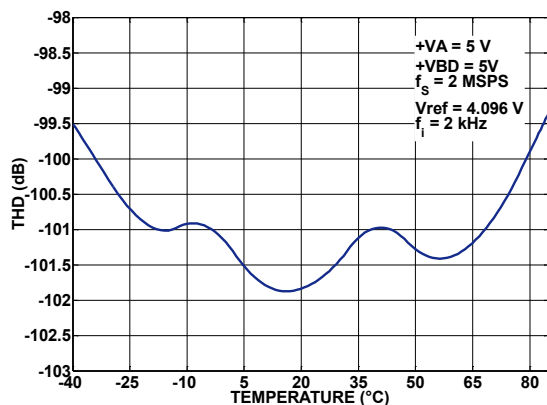


图 26. 温度和 THD 关系

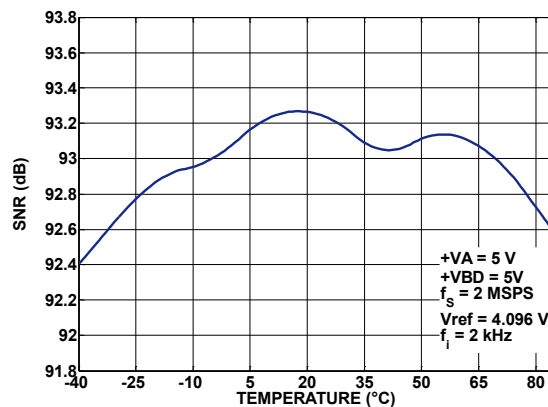


图 29. 温度和 SNR 关系

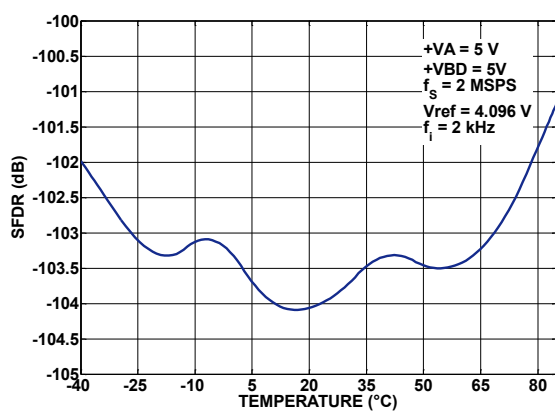


图 27. 温度和 SFDR 关系

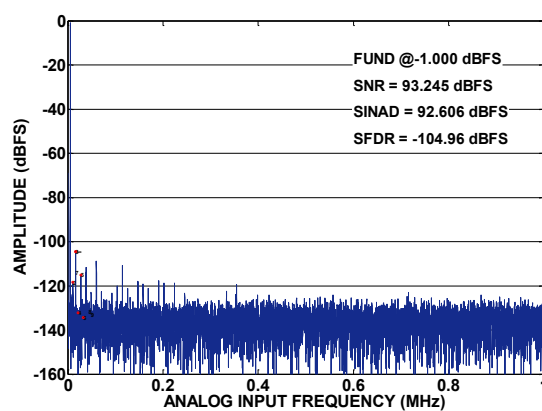


图 30. 快速傅里叶变换 (FFT)

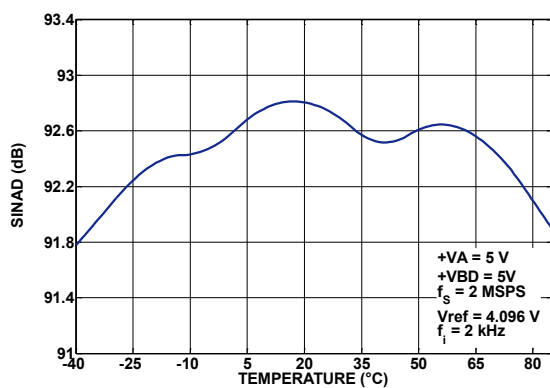


图 28. 温度和 SINAD 关系

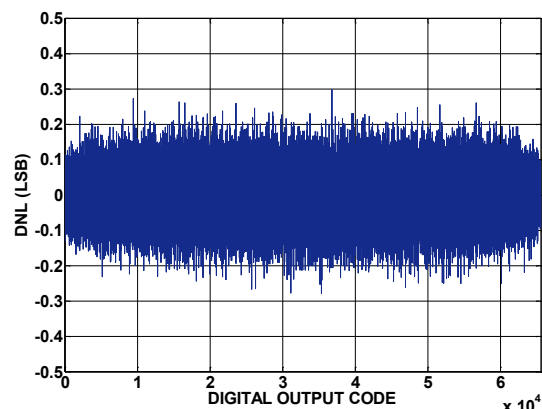


图 31. 典型 DNL 误差

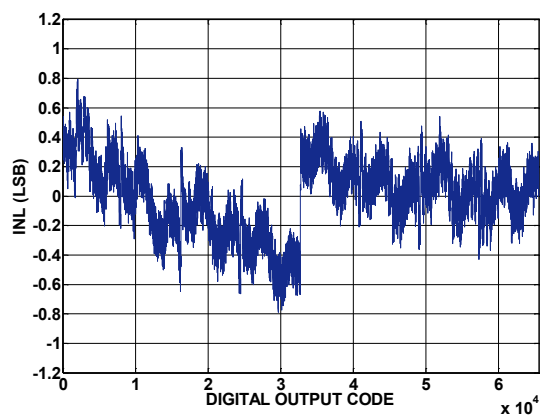


图 32. 典型 INL 误差

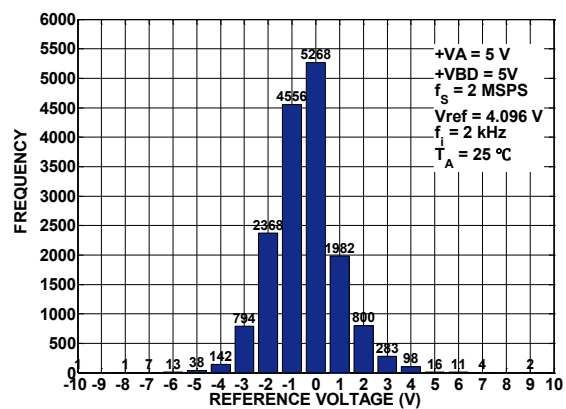


图 33. DC HISTOGRAM(8192 CONVERSION OUTPUTS)

工作原理

转换器详解

BL1070是支持最高2MSPS、低功耗、16位逐次逼近型模数转换器(SAR ADC)。BL1070转换时钟由内部产生,转换时间370ns可以有2MHz的吞吐量。模拟输入提供了两个输入脚: +IN和-IN。当一个转换开始,差分输入信号被采集在内部电容阵列,当转换正在进行,两个输入都将会被断开。

基准电压源

BL1070内置稳定、精确基准电压源。 V_{REF} 可以利用内部4.096 V基准电压,亦可利用外部施加的3.0 V至4.2 V基准电压。为确保芯片的良好性能,芯片引脚REFIN上需要一个干净的、低噪声的、良好耦合的参考电压。如REF3240这样的低噪声带隙基准芯片,可以用来驱动这个引脚。在REFIN和REFM引脚之间需要一个0.1 μ F的去耦电容。这个电容应尽可能地靠近器件的引脚,减少连接电容器终端和引脚的线路长度。可以用一个RC网络过滤参考电压: 比如一个100 Ω 的串联电阻和一个0.1 μ F的电容。

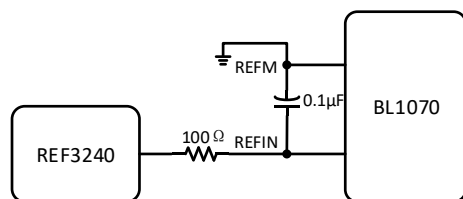


图 34. BL1070采用外部基准电压

BL1070的REFM引脚应始终与AGND短接。当使用内部基准电压时,REFOUT引脚与REFIN引脚相连,在REFOUT引脚与REFM引脚之间有一个0.1 μ F的去耦电容和1 μ F的存储电容。芯片的内部参考是双缓冲的。如果使用的是外部参考,则第二个缓冲器提供了外部参考和CDAC之间的隔离。在转换过程中,这个缓冲器也用来给CDAC的所有电容充电。如果使用外部基准电压,REFOUT引脚可以不连接。

模拟输入

当芯片进入保持模式时,+IN和-IN输入之间的电压差被捕获在内部电容阵列。+IN和-IN输入的范围为 $V_{REF}-0.2V$ 至 $V_{REF}+0.2V$ 。

模拟输入端的输入电流取决于许多因素: 采样率、输入电压和信号源阻抗。基本上,进入BL1070的电流在采样期间对内部电容阵列充电。在这个电容被完全充电后,就没有进一步的输入电流。模拟输入源必须能够在采集时间(130 ns)内将输入电容(65 pF)充电到16位的稳定水平。当芯片进入保持模式时,输入阻抗大于1G Ω 。

为了保持芯片的线性度,+IN和-IN差分输入的幅度必须在规定范围内,否则芯片的线性度可能不符合规格。为了最大限度地减少噪声,可以使用低带宽的输入信号和低通滤波器。必须注意确保驱动+IN和-IN输入的信号源的输出阻抗是匹配的。如果不注意这一点,可能会导致增益误差和线性误差,这些误差随温度和输入电压而变化。

芯片的模拟输入需要用低噪声、高速运算放大器驱动,如THS4031。建议在输入引脚处使用RC滤波器,以低通过滤来自源头的噪声。芯片的输入是一个单极性的输入电压,范围是0到 V_{REF} 。THS4031可以在源极跟随器配置中使用,以驱动芯片。

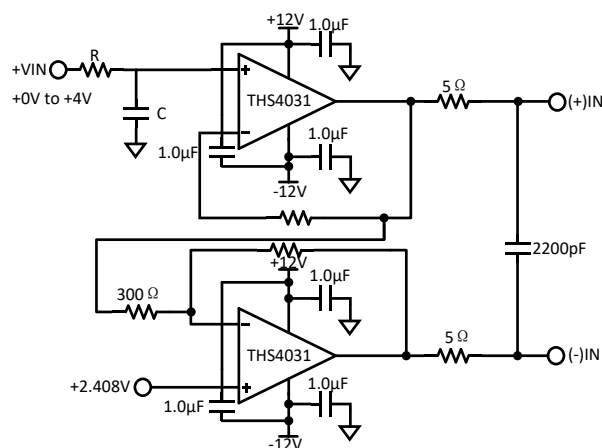


图 35. 单端输入、差分输出配置

在系统中,如果输入是差分信号,THS4031可以在反相配置中使用,并在其+输入端施加一个额外的直流偏压,以保持BL1070的输入在额定工作电压范围内。该直流偏压可以用REF3220或REF3240的参考电压来驱动。下图所示的输入配置能够在100kHz的输入频率下提供优于93dB的信噪比和-102dB的THD。如果使用带通滤波器对输入进行滤波,应注意确保带通滤波器输入端的信号摆幅较小,以保持由滤波器引入的失真最小。在这种情况下,可以增加下图所示电路的增益,以保持BL1070的输入较大,从而保持系统的SNR较高。在这样的配置下,系统从+端输入到THS4031的输出的增益是非常大的。可以用一个电阻分压器用来调节REF3220或REF3240的输出,以降低THS4031的直流输入电压,使芯片输入的电压保持在其额定工作范围内。

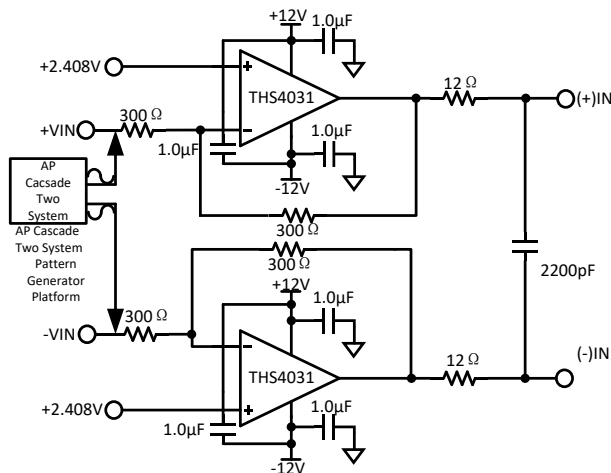


图 36. 差分输入、输出配置

数字接口

时序控制与数据读取

BL1070使用内部振荡器生成的时钟，该时钟控制转换速率，进而控制芯片的吞吐量。无需外部时钟输入。BL1070转换是通过将 $\overline{\text{CONVST}}$ 引脚拉低至少40ns后开始的（在满足了40ns的最低要求之后在 $\overline{\text{CS}}$ 为低电平时， $\overline{\text{CONVST}}$ 引脚可以被拉高）。BL1070在 $\overline{\text{CONVST}}$ 下降沿上从采样模式切换到保持模式。一个干净的、低抖动的 $\overline{\text{CONVST}}$ 下降沿对芯片的性能非常重要。 $\overline{\text{CONVST}}$ 变为低电平后，BUSY输出立即变为高电平。在整个转换过程中，BUSY保持高电平，并在转换结束后返回低电平。

在转换之前和转换过程中， $\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 都可以为高电平，但除了这种情况下（当 $\overline{\text{CONVST}}$ 为低电平开始转换时， $\overline{\text{CS}}$ 必须为低电平才能启动转换）， $\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 引脚均为低电平，以便在转换时启用并行输出总线。

BL1070是通过PAR/SER_SEL引脚状态来切换串行、并行模式的，当PAR/SER_SEL = 1为并行模式，PAR/SER_SEL = 0为串行模式。值得注意的是BL1070在引脚#15脚内部有个阻值为40k的上拉电阻，须在引脚#15串上一个阻值小于7k的电阻到地以保证成功切换到串行模式。以下分别从并行、串行模式对BL1070时序做描述。

并行模式：（未开启字节模式，默认BYTE恒为低）

$\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 触发模式：BL1070转换是通过将 $\overline{\text{CONVST}}$ 引脚拉低至少40ns后开始的，在满足 $\overline{\text{CS}}$ 为低电平前提下， $\overline{\text{CONVST}}$ 引脚可以被拉高，转换正常进行的前提是 $\overline{\text{CS}}$ 在 $\overline{\text{CONVST}}$ 之前 t_{su1} 拉低， $\overline{\text{CONVST}}$ 信号拉低之后 t_{pd1} 时间后，BUSY信号拉高，此时芯片内部开始转换和采集，在保持 t_{w4} 时间转换完成后拉低。在BUSY信号拉低前 t_{d6} 时间 $\overline{\text{CS}}$ 需要再次拉高，否则芯片可能会出现不正常状态，如图1所示，同时， $\overline{\text{CS}}$ 为低， $\overline{\text{RD}}$ 为高的情况下，此时数据总线上为Hi-Z模式，BUSY拉低后经过 t_{pd4} 时间 $\overline{\text{RD}}$ 可被拉低，要保证的是 $\overline{\text{CS}}$ 需要在 $\overline{\text{RD}}$ 之前 t_{d1} 拉低，此时再经过 t_{en} 时间后D[15: 0]数据将会被输出在DB15-DB0引脚。

$\overline{\text{CS}}$ 触发模式：如图2所示，这种模式下 $\overline{\text{RD}}$ 一直为低电平，当 $\overline{\text{CS}}$ 拉低后，上一次转换输出的D[15: 0]数据依旧被输出在总线上，在BUSY信号拉低前 t_{d6} 时间前， $\overline{\text{CS}}$ 拉高，数据被更新， $\overline{\text{CS}}$ 再次拉低后，再经过 t_{en} 时间后当前周期的转换数据将会被更新在数据总线上，D[15: 0]数据将会被输出更新在DB15-DB0引脚。

$\overline{\text{RD}}$ 触发模式：如图3所示，这种模式下 $\overline{\text{CS}}$ 一直为低电平， $\overline{\text{RD}}$ 为高电平时，数据总线上为Hi-Z状态。 $\overline{\text{RD}}$ 由高电平转换成低电平时，再经过 t_{en} 时间后当前周期的转换数据将会被更新在数据总线上，D[15: 0]数据将会被输出在DB15-DB0引脚。

自动读模式：如图4所示，这种模式下 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 一直为低电平，在BUSY下降沿之前，数据输出一直保持上一转换周期的数据未更新，当BUSY拉低后经过 t_{d5} 时间后当前周期的转换数据将会被更新在数据总线上，D[15: 0]数据将会被输出在DB15-DB0引脚。

数据读取周期如图5所示，此时 $\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 状态可以保持同步，但并不代表 $\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 在一个周期内可以始终保持同步切换。

串行模式：

如图7所示，转换器在串行模式下，芯片内部在转换完成后，BUSY信号返回低电平之前，最高有效位的数据将会输出在DB1/SDO引脚上，之后依次输出其余有效位数据。在BUSY信号拉低后 t_{pd5} 时间后SCLK信号可被拉低，可配合SCLK的电平转换依次读取D[15:0]数据。

字节模式：

为了方便，BL1070可以通过只使用DB15-DB8引脚来读取16位字节数据。这里以 $\overline{\text{RD}}$ 和 $\overline{\text{CS}}$ 触发模式为例，如图1所示：当开启字节模式时，在这种情况下，则需要进行两次读取，第一次和之前一致，让BYTE保持低电平，在DB15-DB8引脚上输出D[15:8]高8位字节数据，然后将BYTE置高，在DB7-DB0引脚输出D[7:0]字节数据。

有关各种信号时序及其的详细信息，请参阅规格部分中的时序图要求。

BL1070以二进制补码输出完整的数据，如表6所示。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，输出是有效的。在 $\overline{\text{CONVST}}$ 的下降沿之前的50ns和下降沿之后的40ns周围有一个最小的安静区要求，在这个区域内不应该尝试进行数据读取。 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 的任何其他组合都会将并行输出设置为三态。BYTE用于多字读操作。当总线上的低位被输出到总线的高位时，BYTE就被使用。关于理想的输出代码，请参考表6。

表 6 理想输出代码

描述	模拟值	数字输出二进制补码	
满量程	$+V_{REF}$		
最小有效位 (LSB)	$2 \times (+V_{REF}) / 65536$	二进制	十六进制
+满量程	$(+V_{REF}) - 1 \text{ LSB}$	0111 1111	7FFF
		1111 1111	
半量程	0 V	0000 0000	0000
		0000 0000	
半量程-1LSB	0 V - 1 LSB	1111 1111	FFFF
		1111 1111	
0	$-V_{REF}$	1000 0000	1000
		0000 0000	

应用电路

BL1070亦可支持多芯片间的数据通信功能。图37展示了多芯片通信的原理示意图。以并行 $\overline{\text{CS}}$, $\overline{\text{RD}}$ 触发模式为例（默认未开启字节模式），通过控制 $\overline{\text{RD1}}$, $\overline{\text{RD2}}$ 信号来输出对应芯片的转换数据，如图38所示，当芯片转换完成后， $\overline{\text{RD1}}$ 从高电平转变成低电平时，芯片1的转换数据被输出在总线上，

此时 $\overline{\text{RD2}}$ 信号处于高电平状态，芯片2的数据输出为Hi-Z状态，随后 $\overline{\text{RD1}}$ 信号拉高， $\overline{\text{RD2}}$ 信号拉低，芯片2的转换数据被输出在总线上，此时 $\overline{\text{RD1}}$ 信号处于高电平状态，芯片1数据输出为Hi-Z状态。以此周期运行，控制两个芯片的转换数据输出。

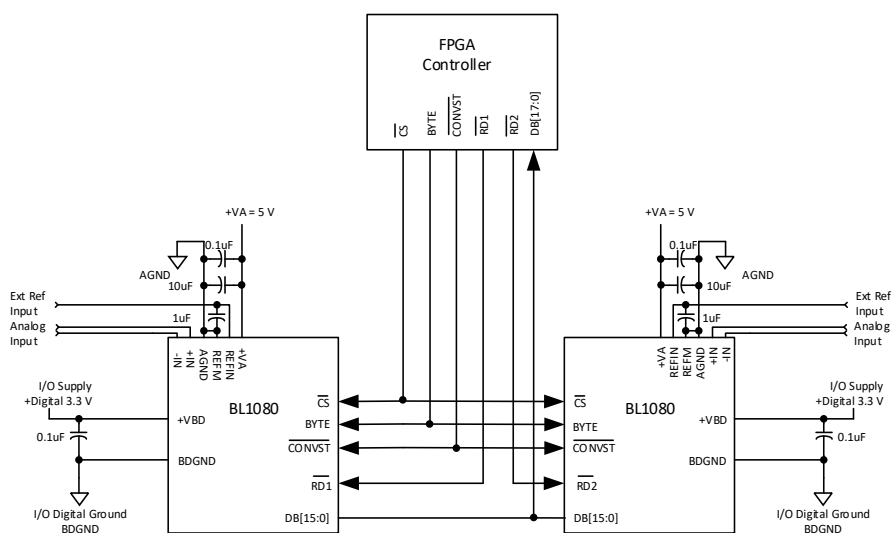


图 37. 多芯片通信应用电路

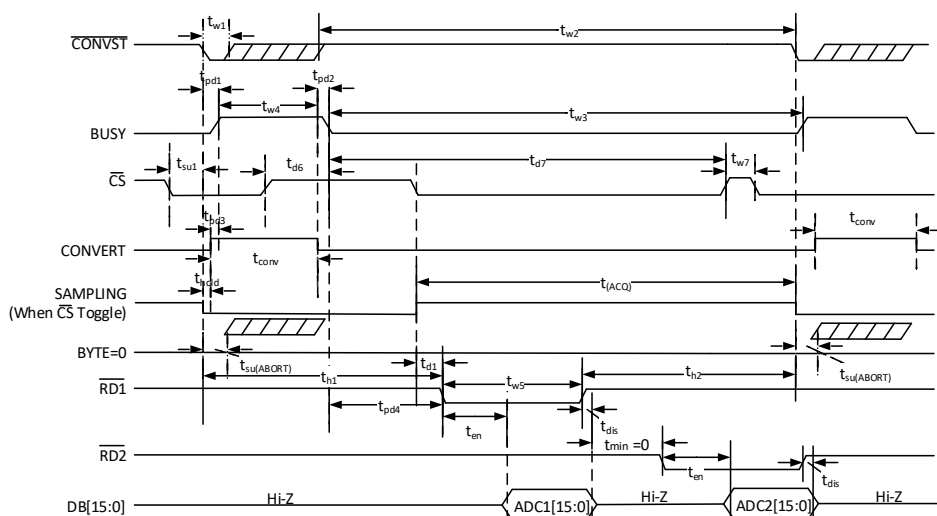


图 38. 多芯片通信时序（以并行模式-CS, RD触发为例，未开启字节模式）

应用信息

设计指南

在进行BL1070的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

AGND和BDGND引脚应连接到一个干净的接地点。在所有情况下，这个接地点应该是模拟地。这样可以避免与微控制器或数字信号处理器的接地点太近。如果需要，直接从芯片到电源入口处走一条接地线。理想的布局包括一个专门用于芯片和相关模拟电路的模拟地平面。与AGND连接一样，+VA应该连接到一个5V的电源平面，并且与数字逻辑的连接分开，直到它们在电源入口处再连接起来。另外，BL1070的电源应该是干净且有良好旁路。0.1 μ F的陶瓷旁路电容应尽可能靠近器件。在某些情况下，可能需要额外的旁路，如一个100 μ F的电解电容甚至是由电感和电容组成的Pi滤波器，

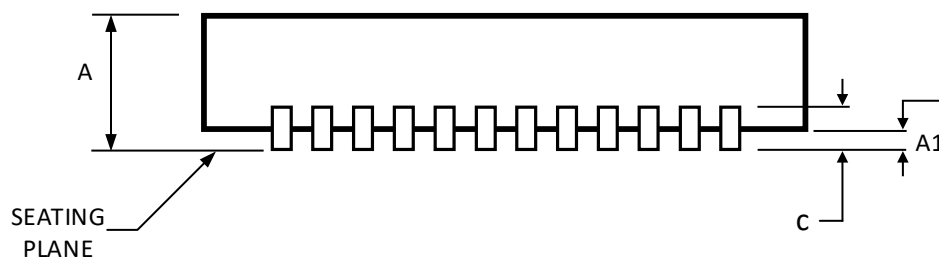
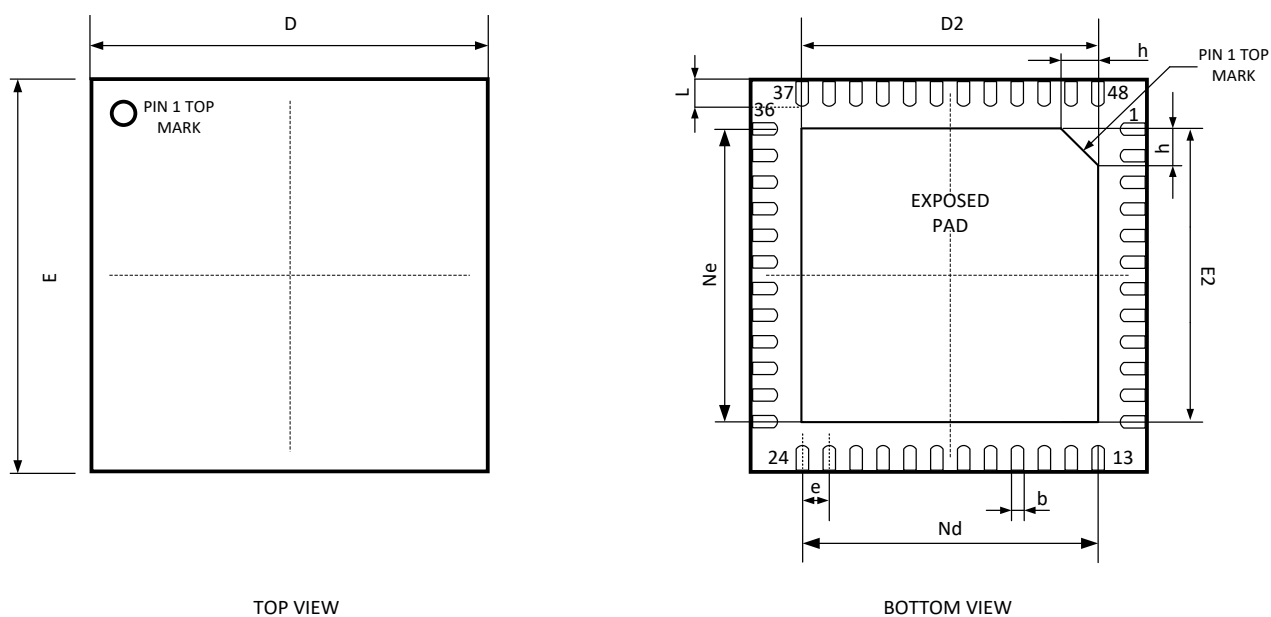
所有的这些设置都是为了对5V电源进行低通滤波。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与BL1070的裸露焊盘(引脚0)匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过PCB底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。

外形尺寸



符号	尺寸(毫米)		
	最小值	标准值	最大值
A	---	1.15	---
A1	---	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.23
D	6.90	7.00	7.10
D2	5.50	5.60	5.70
e	0.50BSC		
Ne	5.50BSC		
Nd	5.50BSC		
E	6.90	7.00	7.10
E2	5.50	5.60	5.70
L	0.35	0.40	0.45
h	0.30	0.35	0.40