

产品特性

- 8 路同步采样输入
- 真双极性模拟输入范围：±10V、±5V
- 5V 单模拟电源，V_{DRIVE}：2.3V 至 5V
- 完全集成的数据采集解决方案
- ±16V 模拟输入箝位保护
- 具有 1MΩ 模拟输入阻抗的输入缓冲器
- 二阶抗混叠模拟滤波器
- 片内精密基准电压及缓冲
- 16 位、100kSPS ADC（所有通道）
- 通过数字滤波器提供过采样功能
- 灵活的并行/串行接口
- SPI/QSPI™/MICROWIRE™/DSP 兼容
- 性能
- 模拟输入通道提供 7kV ESD 额定值
- 88dBFS SNR, -100dB THD
- ±1.2LSB INL, ±0.5LSB DNL
- 低功耗：160mW
- 待机模式：50mW
- 64 引脚 LQFP 封装
- 与 AD7606/ADS8588S 系列产品引脚兼容

应用

- 电力线监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统（DAS）

高精度数据采集系统产品系列表

产品名	通道	分辨率	采样率	数据接口
BL1081	8	16	100KS/s	SPI
BL1082	8	16	200KS/s	SPI
BL1083	8	16	200KS/s	SPI, 支持 CRC 校验
BL1086	4	16	300KS/s	SPI

功能框图

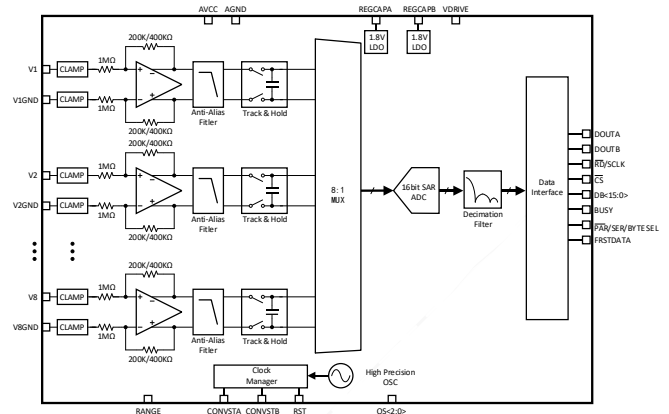


图 1. 功能框图

产品描述

BL1081 是 16 位、8 通道同步采样模数数据采集系统(DAS)。器件内置模拟输入箝位保护、二阶抗混叠滤波器、采样保持电路、16 位逐次逼近型模数转换器(SAR ADC)、灵活的数字滤波器、2.5V 低温飘基准电压源、参考电压缓冲器以及高速串行和并行接口。

BL1081 采用 5V 单电源供电，可以处理±10V 和±5V 真双极性输入信号，同时所有通道均能以高达 100kSPS 的吞吐速率采样。输入箝位保护电路可以耐受最高达±16V 的电压。无论以何种采样频率工作，BL1081 的模拟输入阻抗均为 1MΩ。它采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。BL1081 抗混叠滤波器的 3dB 截止频率为 24.5kHz；当采样频率为 100kSPS 时，它具有 40dB 抗混叠抑制特性。灵活的数字滤波器采用引脚驱动，可以改善信噪比(SNR)，并降低 3dB 带宽。

BL1081 采用 64 引脚 LQFP 封装，额定工作温度范围为-40℃ 至+85℃。

目录

产品特性.....	1	工作原理.....	21
应用.....	1	转换器详解.....	21
功能框图.....	1	模拟输入.....	21
产品描述.....	1	ADC 传递函数.....	22
目录.....	2	内部/外部基准电压.....	23
修订历史.....	2	典型连接图.....	23
技术规格.....	3	省电模式.....	24
时序规格.....	6	转换控制.....	25
时序图.....	8	数字接口.....	26
绝对最大额定值.....	11	并行接口(PAR/SER/BYTE SEL =0).....	26
热特性.....	11	并行字节(PAR/SER/BYTE SEL =1,DB15=1).....	26
ESD 警告.....	11	串行接口(PAR/SER/BYTE SEL =1).....	26
引脚配置和功能描述.....	12	转换期间读取.....	27
典型工作特性.....	16	数字滤波器.....	28
BL1081.....	16	布局指南.....	30
术语.....	20	外形尺寸.....	31

修订历史

2025 年 06 月：正式版 V1.0 版本

技术规格

除非另有说明， $V_{REF}=2.5V$ 内部基准电压， $AV_{CC}=5V$ ， $V_{DRIVE}=3.3V$ ， $f_{SAMPLE}=100kSPS$ ， $T_A=-40^{\circ}C$ 至 $+85^{\circ}C$ 。

表 1

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	$f_{IN}=1kHz$ 正弦波，除非另有说明				
信噪比(SNR) ^{1,2}	16 倍过采样； $\pm 10V$ 范围； $f_{IN}=133Hz$		95.5		dB
	16 倍过采样； $\pm 5V$ 范围； $f_{IN}=133Hz$		95.1		dB
	无过采样； $\pm 10V$ 范围		88		dB
	无过采样； $\pm 5V$ 范围		87.5		dB
信纳比(SINAD) ¹	无过采样； $\pm 10V$ 范围		87.5		dB
	无过采样； $\pm 5V$ 范围		87		dB
动态范围	无过采样； $\pm 10V$ 范围		89		dB
	无过采样； $\pm 5V$ 范围		88		dB
总谐波失真(THD) ¹			-105		dB
峰值谐波或杂散噪声(SFDR) ¹			106		dB
交调失真(IMD) ¹	$f_a=1kHz$ ， $f_b=1.3kHz$ ， $T_A=25^{\circ}C$				
二阶项			-106		dB
三阶项			-95.5		dB
模拟输入滤波器					
全功率带宽	-3dB， $\pm 10V$ 范围		24.5		kHz
	-3dB， $\pm 5V$ 范围		17.7		kHz
	-0.1dB， $\pm 10V$ 范围		9.2		kHz
	-0.1dB， $\pm 5V$ 范围		6.1		kHz
直流精度					
分辨率	无失码	16			Bits
微分非线性 ¹			± 0.5		LSB ³
积分非线性 ¹			± 1.2		LSB
正满量程误差 ^{1,4}	外部基准电压		± 10		LSB
	内部基准电压		± 25	± 35	LSB
正满量程误差漂移	外部基准电压		2		ppm/ $^{\circ}C$
	内部基准电压		6		ppm/ $^{\circ}C$
正满量程误差匹配 ¹	$\pm 10V$ 范围		5		LSB
	$\pm 5V$ 范围		20		LSB
双极性零代码误差 ^{1,5}	$\pm 10V$ 范围		± 2		LSB
	$\pm 5V$ 范围		± 10		LSB
双极性零代码误差漂移	$\pm 10V$ 范围		15		$\mu V/^{\circ}C$
	$\pm 5V$ 范围		20		$\mu V/^{\circ}C$

参数	测试条件/注释	最小值	典型值	最大值	单位
双极性零代码误差匹配 ¹	±10V 范围		2		LSB
	±5V 范围		12		LSB
负满量程误差 ^{1,4}	外部基准电压		±10		LSB
	内部基准电压		±25	±35	LSB
负满量程误差漂移	外部基准电压		2		ppm/°C
	内部基准电压		6		ppm/°C
负满量程误差匹配 ¹	±10V 范围		5		LSB
	±5V 范围		20		LSB
模拟输入	RANGE=1			±10	V
输入电压范围	RANGE=0			±5	V
模拟输入电流	10V; 见图 27		6.9		μA
	5V; 见图 27		2.8		μA
输入阻抗	见“模拟输入”部分		1		MΩ
基准输入/输出					
基准输入电压范围	见“ADC 传输函数”部分		2.5		V
基准输出电压	REF SELECT=1	2.497	2.5	2.503	V
基准源温度系数	REFOUT		6		ppm/°C
逻辑输入					
输入高电压(V _{INH})		0.9×V _{DRIVE}			V
输入低电压(V _{INL})				0.1×V _{DRIVE}	V
输入电流(I _{IN})				±2	μA
输入电容(C _{IN})			5		pF
逻辑输出					
输入高电压(V _{OH})	I _{SOURCE} =100μA	V _{DRIVE} -0.2			V
输入低电压(V _{OL})	I _{SINK} =100μA			0.2	V
输出编码	二进制补码				
转换速率					
转换时间	包括所有八个通道; 见表 2		8		μs
采样保持器采集时间			1		μs
吞吐速率	每个通道, 包括所有八个通道			100	kSPS
电源要求					
V _{CC}		4.75		5.25	V
V _{DRIVE}		2.3		5.25	V
正常模式(静态)			27		mA
正常模式(工作状态) ⁶	f _{SAMPLE} =100kSPS		32		mA
待机模式			10		mA
功耗					
正常模式(静态)			135		mW
正常模式(工作状态) ⁶	f _{SAMPLE} =100kSPS		160		mW
待机模式			50		mW

1. 参见“术语”部分。
2. 此特性适用于转换期间或转换之后读取时。
3. LSB 表示最低有效位。±5V 输入范围时，1LSB=152.588μV。±10V 输入范围时，1LSB=305.175μV。
4. 这些特性包括全温度范围变化和内部基准电压缓冲的贡献，但不包括外部基准电压源的误差贡献。
5. 双极性零代码误差相对于模拟输入电压而计算。
6. 工作功耗/电流数值包括以过采样模式运行时的贡献。

时序规格

除非另有说明, $V_{REF}=2.5V$ 内部基准电压, $A_{VCC}=5.0V$, $V_{DRIVE}=3.3V$, $T_A=-40^{\circ}C$ 至 $+85^{\circ}C$ 。

表 2

参数	最小值	典型值	最大值	单位	描述
并行\字节\串行 t_{CYCLE}	10			μs	1/吞吐速率 并行模式, 转换期间或之后读取; 或串行模式: $V_{DRIVE}=3.3V$, 利用 D_{OUTA} 和 D_{OUTB} 线路在转换期间读取 串行模式, 转换期间读取; 串行模式, 转换之后读取; $V_{DRIVE}=3.3V$, D_{OUTA} 和 D_{OUTB} 线路转换时间
t_{CONV}	7.5	8	8.2	μs	转换时间
		17.3		μs	关闭过采样
		36		μs	2 倍过采样
		73.4		μs	4 倍过采样
		148.5		μs	8 倍过采样
		298		μs	16 倍过采样
		598		μs	32 倍过采样
$t_{WAKE-UP STANDBY}$			500	ns	\overline{STBY} 上升沿到 $CONVSTX$ 上升沿; 从待机模式上电的时间
t_{RESET}	35			ns	RESET 高电平脉冲宽度
t_{OS_SETUP}	25			ns	BUSY 到 OSX 引脚设置时间
t_{OS_HOLD}	25			ns	BUSY 到 OSX 引脚保持时间
t_1			30	ns	$CONVSTX$ 高电平到 BUSY 高电平
t_2	20			ns	最短 $CONVSTX$ 低电平脉冲
t_3	20			ns	最短 $CONVSTX$ 高电平脉冲
t_4	0			ns	BUSY 下降沿到 \overline{CS} 下降沿设置时间
t_5^1			0.2	ms	$CONVST A/B$ 上升沿之间最大容许时间
t_6			25	ns	最后 \overline{CS} 上升沿与 BUSY 下降沿之间的最长时间
t_7	25			ns	RESET 低电平到 $CONVSTX$ 高电平之间的最短延迟时间
并行/字节读取操作					
t_8	0			ns	\overline{CS} 到 \overline{RD} 设置时间
t_9	0			ns	\overline{CS} 到 \overline{RD} 保持时间
t_{10}				ns	\overline{RD} 低电平脉冲宽度
	20			ns	V_{DRIVE} 高于 4.75V
	20			ns	V_{DRIVE} 高于 3.3V
	30			ns	V_{DRIVE} 高于 2.7V
	30			ns	V_{DRIVE} 高于 2.3V
t_{11}	20			ns	\overline{RD} 高电平脉冲宽度
t_{12}	25			ns	\overline{CS} 高电平脉冲宽度(见图 5); \overline{CS} 与 \overline{RD} 相连

t_{13}			ns	从 \overline{CS} 直到 DB[15:0]三态禁用的延迟时间
		20	ns	V_{DRIVE} 高于 4.75V
		20	ns	V_{DRIVE} 高于 3.3V
		30	ns	V_{DRIVE} 高于 2.7V
t_{14}^2		30	ns	V_{DRIVE} 高于 2.3V
			ns	\overline{RD} 下降沿后的数据访问时间
		20	ns	V_{DRIVE} 高于 4.75V
		20	ns	V_{DRIVE} 高于 3.3V
t_{15}	8	30	ns	V_{DRIVE} 高于 2.7V
		30	ns	V_{DRIVE} 高于 2.3V
t_{16}	8	2	ns	\overline{CS} 到 DB[15:0]保持时间
t_{17}		25	ns	从 \overline{CS} 上升沿到 DB[15:0]三态使能的延迟时间
串行读取操作				
f_{SCLK}			MHz	串行读取时钟频率
		25	MHz	V_{DRIVE} 高于 4.75V
			MHz	V_{DRIVE} 高于 3.3V
			MHz	V_{DRIVE} 高于 2.7V
t_{18}			MHz	V_{DRIVE} 高于 2.3V
			ns	从 \overline{CS} 直到 D_{OUTA}/D_{OUTB} 三态禁用的延迟时间/从 \overline{CS} 直到 MSB 有效延迟时间
		20	ns	V_{DRIVE} 高于 4.75V
			ns	V_{DRIVE} 高于 3.3V
t_{19}^2			ns	$V_{DRIVE}=2.3V$ 至 2.7V
			ns	SCLK 上升沿后的数据访问时间
		17	ns	V_{DRIVE} 高于 4.75V
			ns	V_{DRIVE} 高于 3.3V
t_{20}	$0.4 t_{SCLK}$		ns	V_{DRIVE} 高于 2.7V
			ns	V_{DRIVE} 高于 2.3V
t_{21}	$0.4 t_{SCLK}$		ns	SCLK 低电平脉冲宽度
t_{22}	2		ns	SCLK 高电平脉冲宽度
t_{23}		22	ns	SCLK 上升沿到 D_{OUTA}/D_{OUTB} 有效的保持时间
FRSTDATA 操作				
t_{24}			ns	从 \overline{CS} 下降沿直到 FRSTDATA 三态禁用的延迟时间
		20	ns	V_{DRIVE} 高于 4.75V
			ns	V_{DRIVE} 高于 3.3V
			ns	V_{DRIVE} 高于 2.7V
T_{25}			ns	V_{DRIVE} 高于 2.3V
			ns	从 \overline{CS} 下降沿到 FRSTDATA 高电平的延迟时间, 串行模式
		20	ns	V_{DRIVE} 高于 4.75V
			ns	V_{DRIVE} 高于 3.3V
			ns	V_{DRIVE} 高于 2.7V
			ns	V_{DRIVE} 高于 2.3V

t_{26}		20	ns	从 \overline{RD} 下降沿直到 FRSTDATA 高电平的延迟时间 V_{DRIVE} 高于 4.75V
			ns	V_{DRIVE} 高于 3.3V
			ns	V_{DRIVE} 高于 2.7V
			ns	V_{DRIVE} 高于 2.3V
t_{27}		15	ns	从 \overline{RD} 下降沿直到 FRSTDATA 低电平的延迟时间 $V_{DRIVE}=3.3V$ 至 5.25V
			ns	$V_{DRIVE}=2.3V$ 至 2.7V
t_{28}		15	ns	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间 $V_{DRIVE}=3.3V$ 至 5.25V
			ns	$V_{DRIVE}=2.3V$ 至 2.7V
t_{29}		22	ns	从 \overline{CS} 上升沿到 FRSTDATA 三态使能的延迟时间

1. CONVSTX 信号之间的延时有确保通道集之间的性能匹配小于 15LSB 时的最大容许时间来衡量。

2. 对于这些测量，数据输出引脚上使用了缓冲，它相当于输出引脚上有 10pF 的负载。

时序图

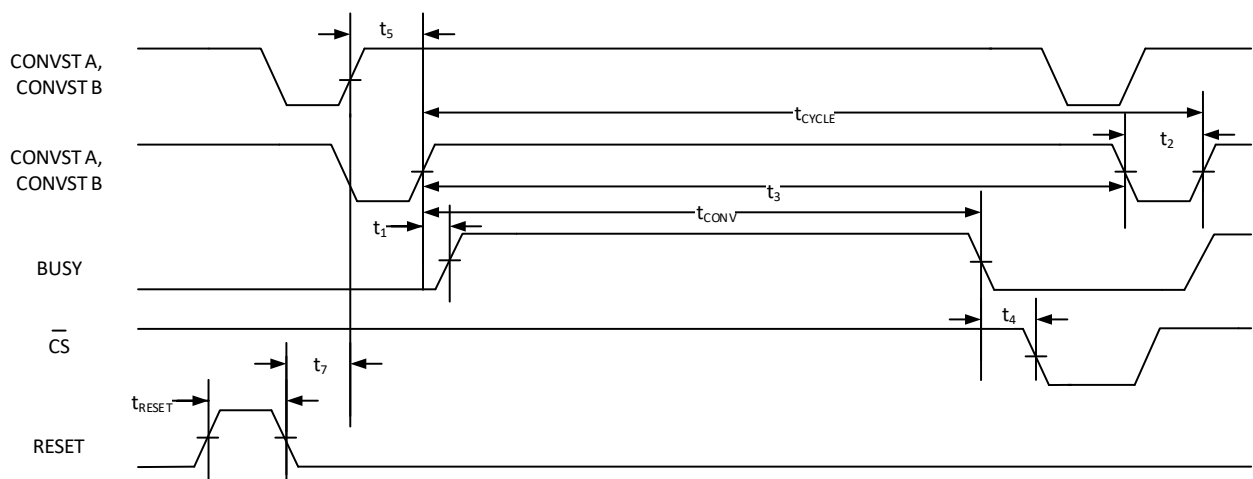


图 2. CONVST 时序——转换之后读取

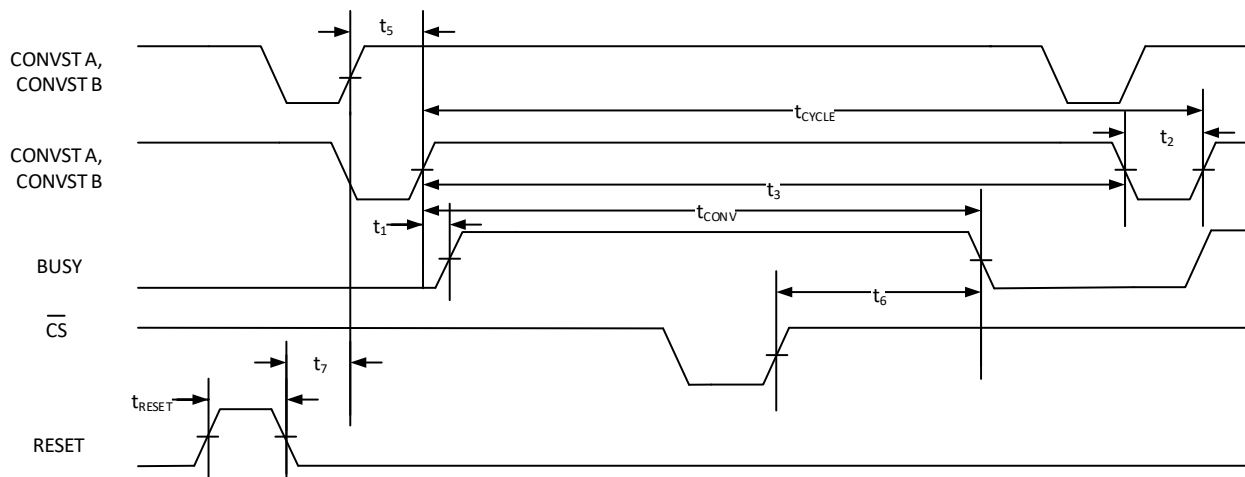


图 3. CONVST 时序——转换期间读取

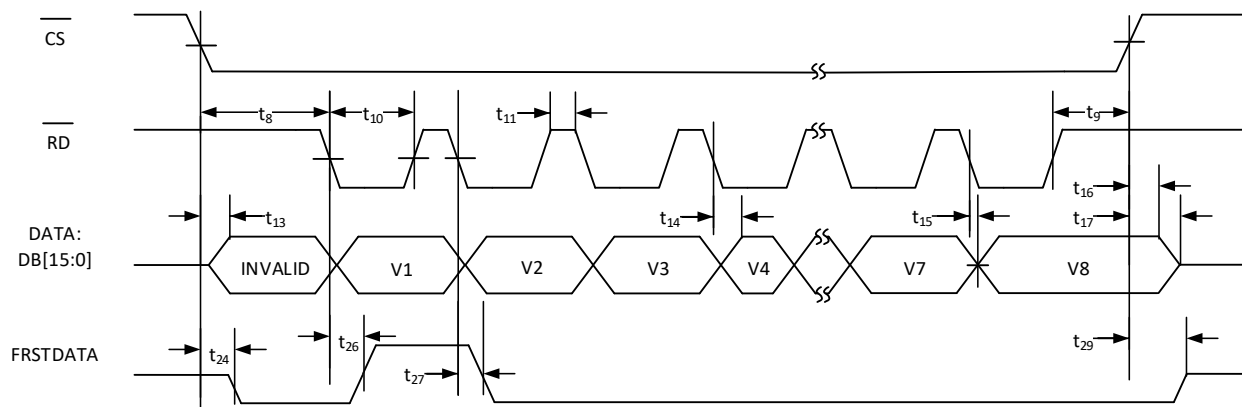


图 4. 并行模式，独立 \overline{CS} 和 \overline{RD} 脉冲

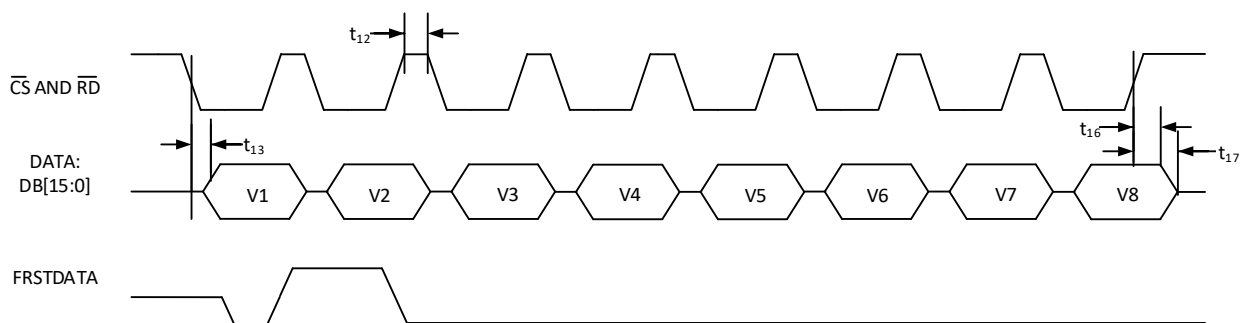


图 5. \overline{CS} 和 \overline{RD} 相连的并行模式

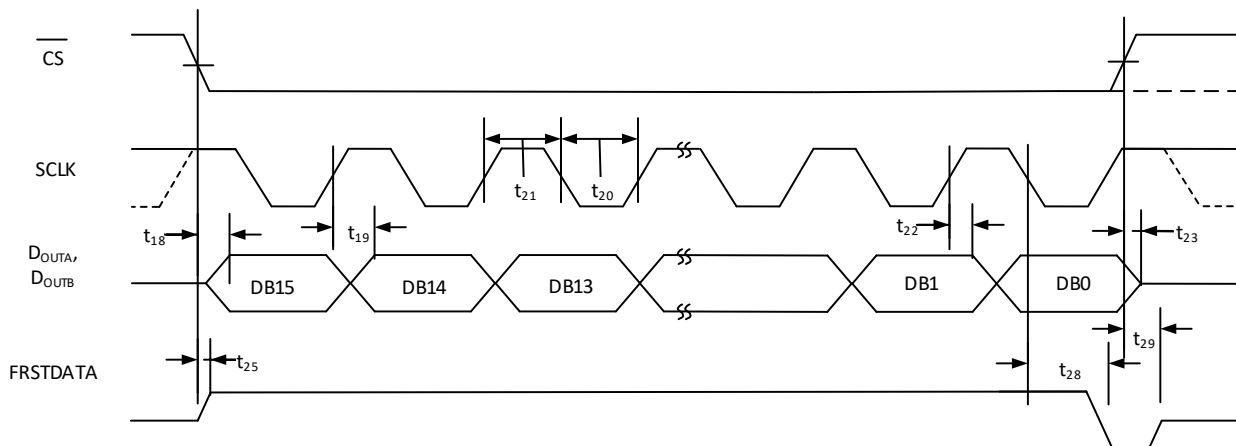


图 6. 串行模式读取操作 (通道 1)

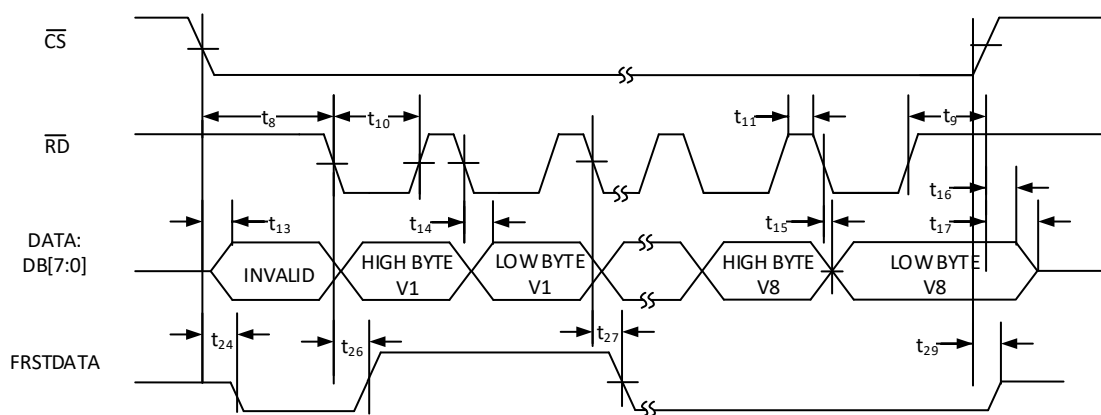


图 7. 字节模式读取操作

绝对最大额定值

除非另有说明， $T_A=25^{\circ}\text{C}$ 。

表 3

参数	额定值
电气参数	
AV_{CC} 至 AGND	-0.3V 至 +7V
V_{DRIVE} 至 AGND	-0.3V 至 $AV_{CC}+0.3V$
模拟输入电压至 AGND ¹	$\pm 16V$
数字输入电压至 DGND	-0.3V 至 $V_{DRIVE}+0.3V$
数字输入电压至 GND	-0.3V 至 $V_{DRIVE}+0.3V$
REFIN 至 AGND	-0.3V 至 $AV_{CC}+0.3V$
输入电流至除电源外的任何引脚 ¹	$\pm 10\text{mA}$
工作温度范围	-40°C 至 $+85^{\circ}\text{C}$
存储温度范围	-65°C 至 $+150^{\circ}\text{C}$
结温	$+150^{\circ}\text{C}$
铅锡焊接温度， 回流焊（10 秒至 30 秒）	240 (+0) $^{\circ}\text{C}$
无铅回流焊温度	260 (+0) $^{\circ}\text{C}$
ESD（除模拟输入外的所有引脚）	2kV
ESD（仅模拟输入外引脚）	7kV

1. 高达 100mA 的瞬态电流不会造成 SCR 闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。这些技术规格适用于 4 层电路板。

表 4

封装类型	θ_{JA}	θ_{JC}	单位
64 引脚 LQFP	45	11	$^{\circ}\text{C}/\text{W}$

ESD 警告

ESD（静电放电）敏感器件

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

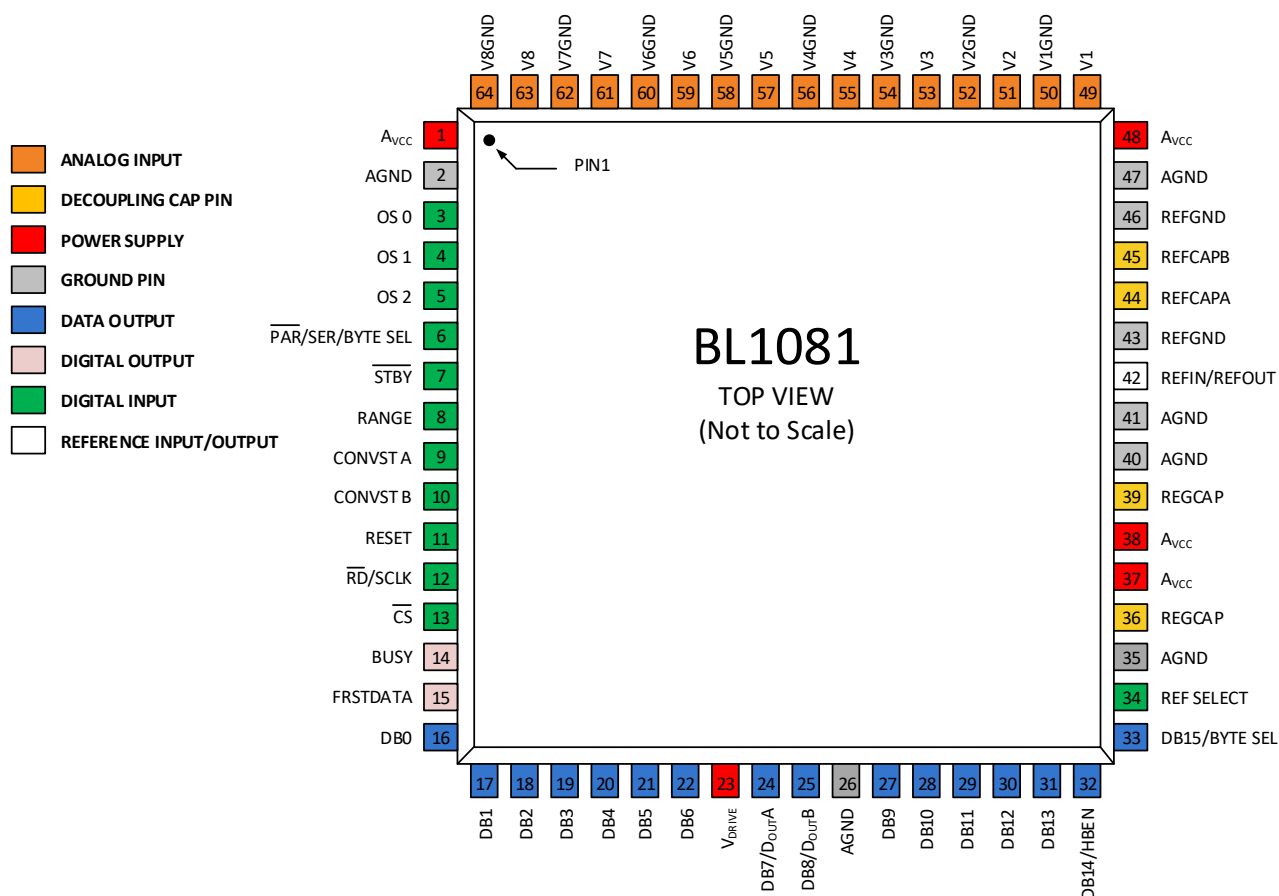


图 8. BL1081 引脚配置 (顶视图)

表 5 引脚功能描述

引脚编号	引脚名称	类型	描述
电源			
1,37,38,48	AV _{CC}	电源	模拟电源电压, 4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压, 须将这些电源引脚去耦至 AGND。
2,26,35,40,41,47	AGND	地	模拟地。这些引脚是 BL1081 上所有模拟电路的接地基准点, 所有模拟输入信号和外部基准信号都应参考这些引脚, 所有的 6 个 AGND 引脚都应连接到系统的 AGND 平面。
23	V _{DRIVE}	电源	逻辑电源输入, 此引脚的电源电压 (2.3V 至 5.25V) 决定逻辑接口的工作电压。此引脚的标称电源与主机接口 (即 DSP 和 FPGA) 电源相同。
50,52,54,56,58,60,64	V1GND,V2GND,V3GND,V4GND,V5GND,V6GND,V7GND,V8GND	地	模拟输入接地引脚。这些引脚与模拟输入引脚 V1 至 V8 对应。所有模拟输入 AGND 引脚都应连接到 AGND 系统平面。
36,39	REGCAP	电源	内部稳压器电压输出的去耦电容引脚。应分别将这些输出引脚通过一个 1μF 电容去耦至 AGND。这两个引脚不能互相短接, 否则将引起功能失效。

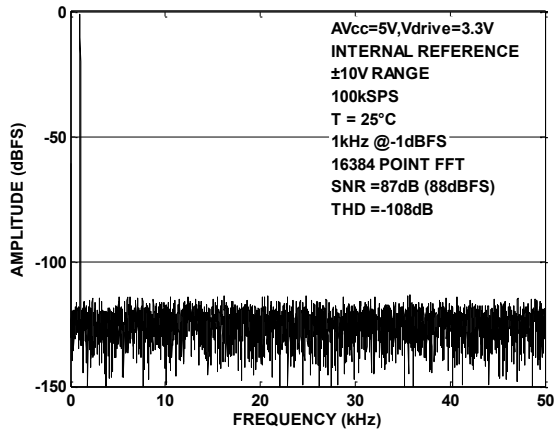
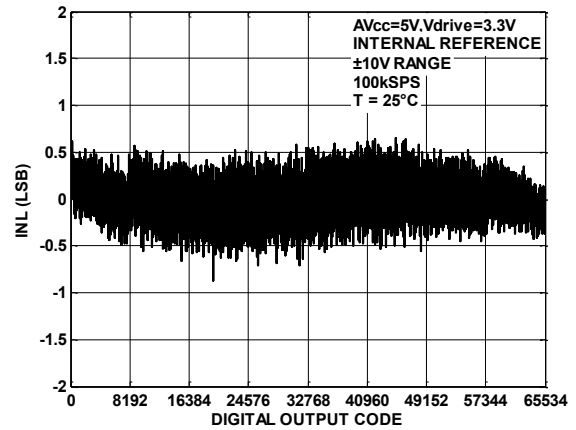
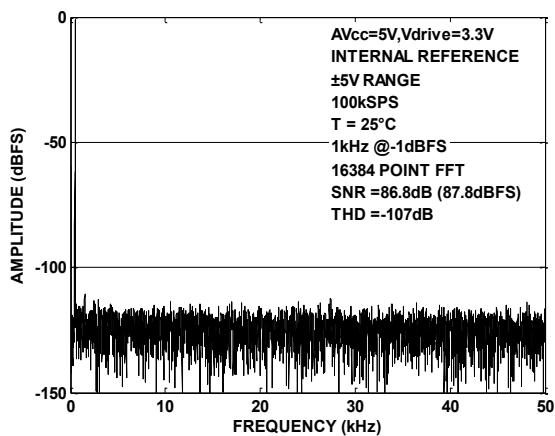
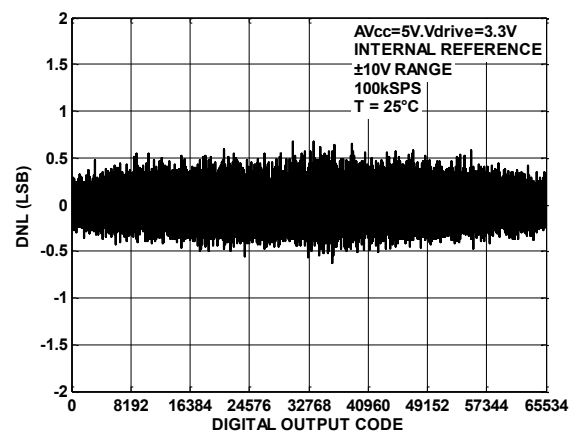
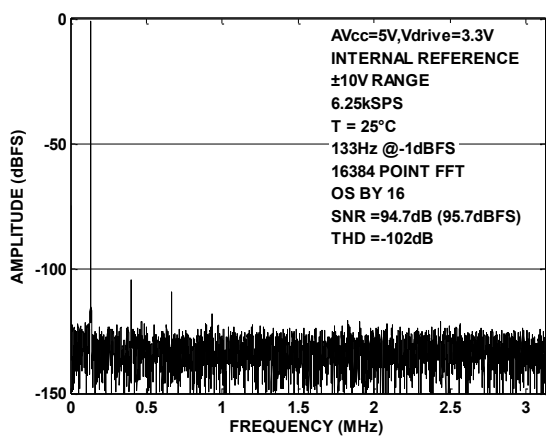
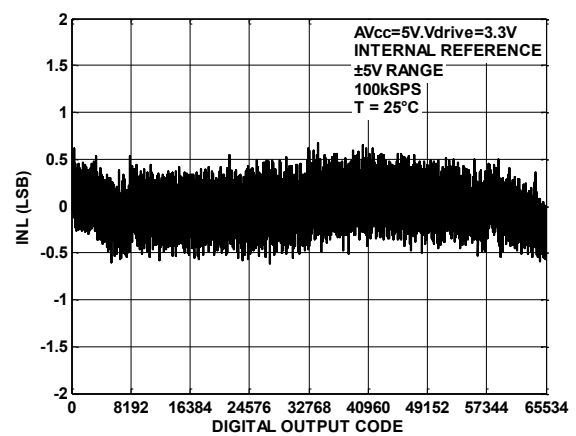
引脚编号	引脚名称	类型	描述
数字			
5,4,3	OS[2:0]	输入	过采样模式引脚。逻辑输入。这些输入用来表示选择过采样倍率。OS 2 为 MSB 控制位，OS 0 为 LSB 控制位。关于过采样工作模式的更多信息，见“数字滤波器”部分；关于过采样解码，见表 9。
6	PAR/SER/BYTE SEL	输入	并行/串行/并行字节选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。如果此引脚为逻辑高电平且 DB15/BYTE SEL 为逻辑高电平（见表 8），则选择并行字节接口模式。 串行模式下， $\overline{RD}/SCLK$ 引脚用作串行时钟输入。DB7/D _{OUTA} 和 DB8/D _{OUTB} 引脚用作串行数据输出。当选择串行接口时，应将 DB[15:9]和 DB[6:0]接地。 字节模式下，DB15 与 $\overline{PAR}/SER/BYTE SEL$ 一同用来选择并行字节工作模式（见表 8）。
7	\overline{STBY}	输入	待机模式输入。此引脚和 RANGE 引脚组合使 BL1081 进入待机模式。如表 7 所示。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其他电路均关断。
8	RANGE	输入	模拟输入电压范围选择。逻辑输入。此引脚的极性决定模拟输入通道的输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5V。此引脚的逻辑状态改变会立即影响模拟输入范围。对于快速吞吐速率应用，转换期间建议不要更改此引脚的逻辑状态。详细信息请参见“模拟输入”部分。
9,10	CONVST A, CONVST B	输入	转换开始输入 A 和转换开始输入 B。逻辑输入。这些逻辑输入用来启动模拟输入通道转换。 要对所有输入通道同时采样，可以将 CONVST A 和 CONVST B 短接在一起，并施加一个转换开始信号。 或者，可以用 CONVST A 启动以下通道的同步采样：V1、V2、V3 和 V4。可以用 CONVST B 启动其他通道的同步采样：V5、V6、V7 和 V8。这只有在过采样未开启时才可行。当 CONVST A 或 CONVST B 引脚从低电平变为高电平时，相应模拟输入的前端采样保持电路被设置为保持。
11	RESET	输入	复位输入。当设置为逻辑高电平时，RESET 上升沿复位 BL1081。器件应该在上电后收到一个 RESET 脉冲。RESET 高脉冲宽度典型值为 35ns。如果在转换期间施加 RESET 脉冲，转换将中断。如果在读取期间施加 RESET 脉冲，输出寄存器的内容将复位至全 0。
12	$\overline{RD}/SCLK$	输入	选择并行接口时为并行数据读取控制输入(\overline{RD})/选择串行接口时为串行时钟输入(SCLK)。在并行模式下，如果 \overline{CS} 和 \overline{RD} 均处于逻辑低电平，则会启用输出总线。在串行模式下，此引脚用作数据传输的串行时钟输入。 \overline{CS} 下降沿使数据输出线路 D _{OUTA} 和 D _{OUTB} 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行输出 D _{OUTA} 和 D _{OUTB} 。更多信息请参见“转换控制”部分。
13	\overline{CS}	输入	片选。低电平有效逻辑输入使能数据帧传输。在并行模式下，如果 \overline{RD} 和 \overline{CS} 均处于逻辑低电平，会使能输出总线 DB[15:0]，使转换结果输出在并行数据总线上。在串行模式下，利用 \overline{CS} 使能串行数据帧传输，并逐个输出串行数据的最高有效位(MSB)。

引脚编号	引脚名称	类型	描述
14	BUSY	输出	输出繁忙。CONVST A 和 CONVST B 均达到上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY 输出保持高电平，直到所有通道的转换过程完成为止。BUSY 下降沿表示转换数据正被锁存至输出数据寄存器，经过时间 t_d 之后便可供读取。在 BUSY 为高电平时执行的数据读取操作应当在 BUSY 下降沿之前完成。当 BUSY 信号为高电平时，CONVST A 或 CONVST B 的上升沿不起作用。
15	FRSTDATA	输出	数字输出。FRSTDATA 输出信号指示当前在数据接口上读回第一通道 V1。当 \overline{CS} 输入为高电平时，FRSTDATA 输出引脚处于三态。 \overline{CS} 下降沿使 FRSTDATA 脱离三态。在并行模式下，与 V1 结果相对应的 \overline{RD} 下降沿随后将 FRSTDATA 引脚设为高电平，表示输出数据总线可以提供 V1 的结果。在 \overline{RD} 的下一个下降沿之后，FRSTDATA 输出恢复逻辑低电平。在串行模式下，FRSTDATA 在 \overline{CS} 下降沿变为高电平，因为此时将在 D_{OUTA} 上输出 V1 的 MSB。在 \overline{CS} 下降沿之后的第 16 个 SCLK 下降沿，它恢复低电平。详情请参见“转换控制”部分。
22 to 16	DB[6:0]	输出	并行输出数据位 DB6 至 DB0。当 $\overline{PAR}/SER/BYTE SEL=0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 \overline{CS} 和 \overline{RD} 均处于低电平时，这些引脚用来输出转换结果的 DB6 至 DB0。当 $\overline{PAR}/SER/BYTE SEL=1$ 时，这些引脚应与 AGND 相连。当工作在并行字节模式时，DB[7:0] 通过 2 个 \overline{RD} 操作输出 16 位转换结果。DB7(引脚 24)为 MSB, DB0 为 LSB。
24	DB7/ D_{OUTA}	输出	并行输出数据位 7(DB7)/串行接口数据输出引脚(D_{OUTA})。 当 $\overline{PAR}/SER/BYTE SEL=0$ 时，此引脚充当三态并行数字输入/输出引脚。当 \overline{CS} 和 \overline{RD} 均处于低电平时，此引脚用来输出转换结果的 DB7。当 $\overline{PAR}/SER/BYTE SEL=1$ 时，此引脚用作 D_{OUTA} ，并输出串行转换数据(详情见“转换控制”部分)。当工作在并行字节模式时，DB7 为该字节的 MSB。
25	DB8/ D_{OUTB}	输出	并行输出数据位 8(DB8)/串行接口数据输出引脚(D_{OUTB})。 当 $\overline{PAR}/SER/BYTE SEL=0$ 时，此引脚充当三态并行数字输入/输出引脚。当 \overline{CS} 和 \overline{RD} 均处于低电平时，此引脚用来输出转换结果的 DB8。当 $\overline{PAR}/SER/BYTE SEL=1$ 时，此引脚用作 D_{OUTB} ，并输出串行转换数据(详情见“转换控制”部分)。
31 to 27	DB[13:9]	输出	并行输出数据位 DB13 至 DB9。当 $\overline{PAR}/SER/BYTE SEL=0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 \overline{CS} 和 \overline{RD} 均处于低电平时，这些引脚用来输出转换结果的 DB13 至 DB9。当 $\overline{PAR}/SER/BYTE SEL=1$ 时，这些引脚应与 AGND 相连。
32	DB14/HBEN	输入/ 输出	并行输出数据位 14(DB14)/高字节使能(HBEN)。当 $\overline{PAR}/SER/BYTE SEL=0$ 时，此引脚充当三态并行数字输入/输出引脚。当 \overline{CS} 和 \overline{RD} 均处于低电平时，此引脚用来输出转换结果的 DB14。当 $\overline{PAR}/SER/BYTE SEL=1$ 且 DB15/BYTE SEL=1 时，BL1081 工作在并行字节接口模式。在并行字节模式下，HBEN 引脚用来选择是首先输出转换结果的高字节(MSB)还是(LSB)。 当 HBEN=1 时，首先输出 MSB，然后输出 LSB。 当 HBEN=0 时，首先输出 LSB，然后输出 MSB。
33	DB15/ BYTE SEL	输入/ 输出	并行输出数据位 15(DB15)/并行字节选择模式(BYTESEL)。当 $\overline{PAR}/SER/BYTE SEL=0$ 时，此引脚充当三态并行数字输入/输出引脚。当 \overline{CS} 和 \overline{RD} 均处于低电平时，此引脚用来输出转换结果的 DB15。当 $\overline{PAR}/SER/BYTE SEL=1$ 时，BYTE SEL=1 引脚用来在串行接口模式与并行字节接口模式做出选择(见表 8)，当 $\overline{PAR}/SER/BYTE SEL=1$ 且 DB15/BYTE SEL=0 时，BL1081 工作在串行接口模式。 $\overline{PAR}/SER/BYTE SEL=1$ 且 DB15/BYTE SEL=1 时，BL1081 工作在并行字节接口模式。

引脚编号	引脚名称	类型	描述
34	REF SELECT	输入	内部/外部基准电压选择输入。逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚。
REF			
42	REFIN/ REFOUT	输入/ 输出	基准电压输入(REFIN)/基准电压输出(REFOUT)。如果 REF SELECT 引脚设置为逻辑高电平，此引脚将提供 2.5V 片内基准电压供外部使用。或者，可将 REF SELECT 引脚设置为逻辑低电平以禁用内部基准电压，并将 2.5V 外部基准电压施加到此输入端(见“内部/外部基准电压”部分)。无论使用内部还是外部基准电压，都需对此引脚去耦。应在此引脚与 REFGND 引脚附近的地之间连接一个 10 μ F 电容。
43,46	REFGND	地	基准电压接地引脚。这些引脚应连接到 AGND。
44,45	REFCAPA, REFCAPB	输出	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低 ESR 10 μ F 陶瓷电容去耦至 AGND。这些引脚上的电压通常为 4.5V。
模拟			
49,,51,53, 55,57,59, 61,63	V1,V2,V3,V4 V5,V6,V7,V8	输入	模拟输入。这些引脚为单端模拟输入。这些通道的模拟输入范围由 RANGE 引脚决定。

典型工作特性

BL1081

图 9. BL1081 FFT $\pm 10V$ 范围图 12. BL1081 典型 INL, $\pm 10V$ 范围图 10. BL1081 FFT $\pm 5V$ 范围图 13. BL1081 典型 DNL, $\pm 10V$ 范围图 11. 16 倍过采样 FFT 图, $\pm 10V$ 范围图 14. BL1081 典型 INL, $\pm 5V$ 范围

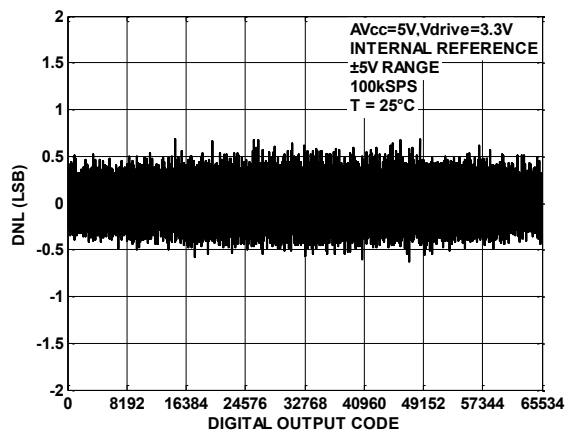


图 15. BL1081 典型 DNL, ±5V 范围

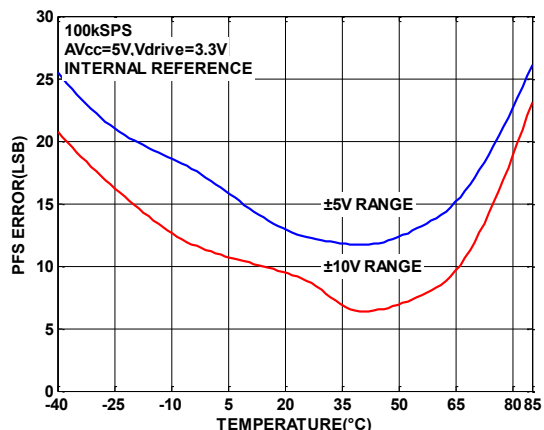


图 18. PFS 与温度的关系

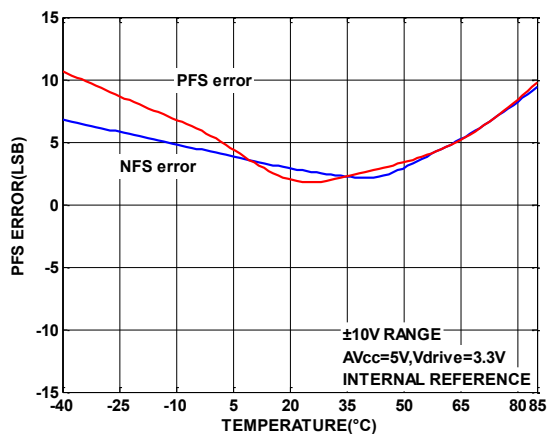


图 16. NFS 与 PFS 误差匹配

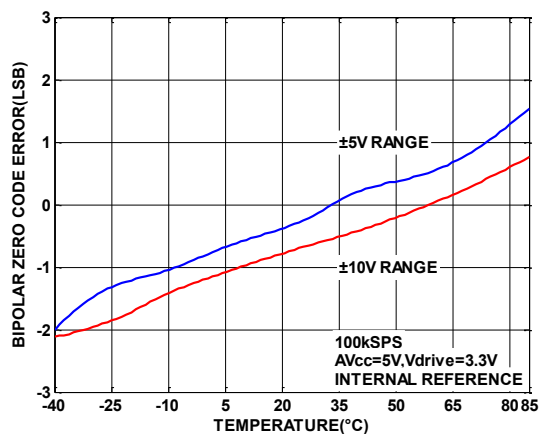


图 19. 双极性零代码误差与温度的关系

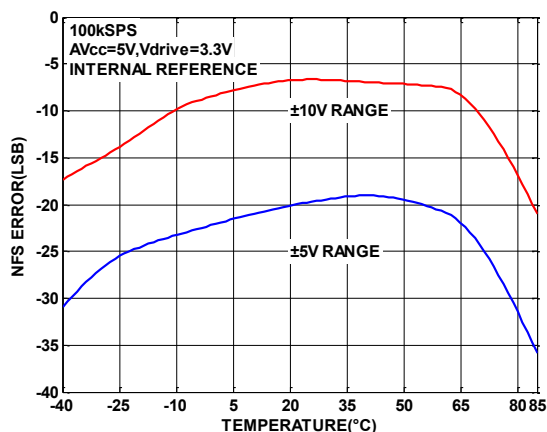


图 17. NFS 与温度的关系

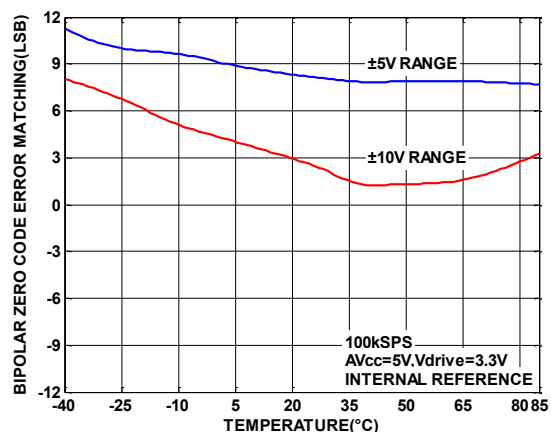


图 20. 通道间的双极性零代码误差匹配

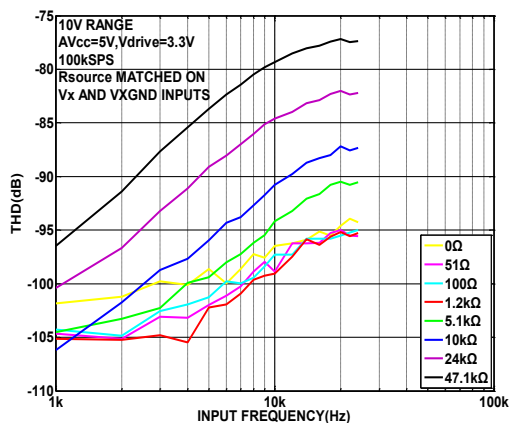


图 21. 各种源阻抗下 THD 与输入频率的关系, ±10 范围

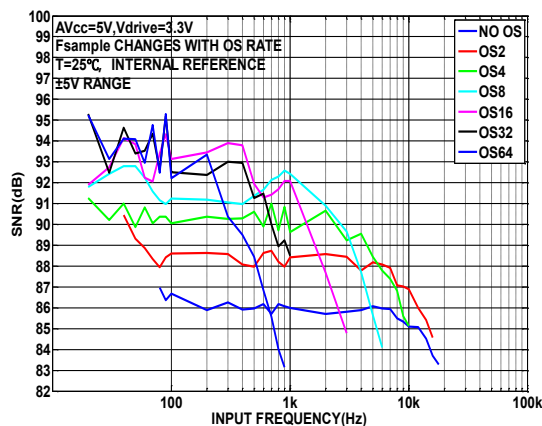


图 24. 不同过采样率下 SNR 与输入频率的关系, ±5V 范围

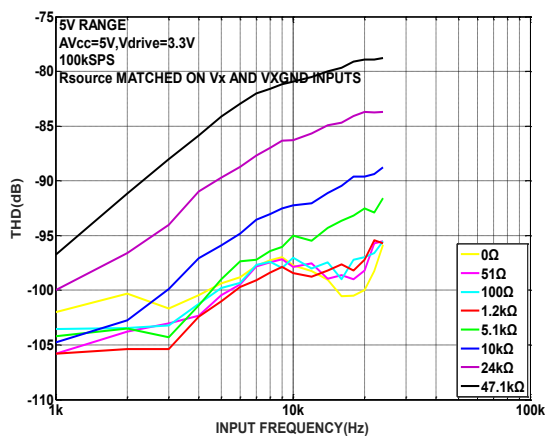


图 22. 各种源阻抗下 THD 与输入频率的关系, ±5V 范围

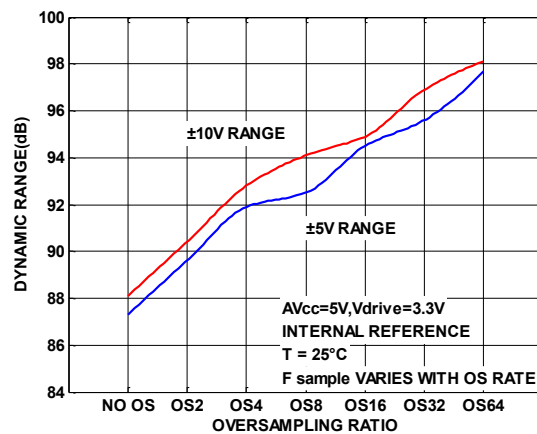


图 25. 动态范围与过采样率的关系

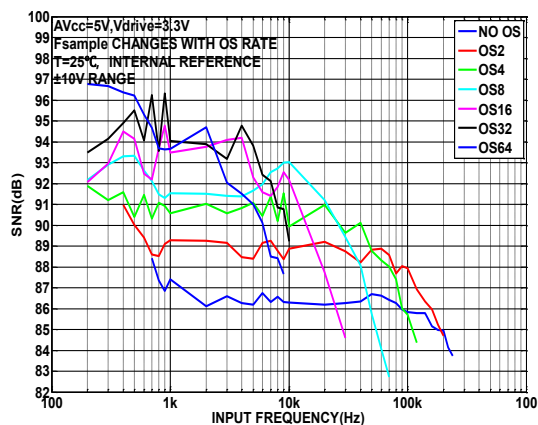


图 23. 不同过采样率下 SNR 与输入频率的关系, ±10V 范围

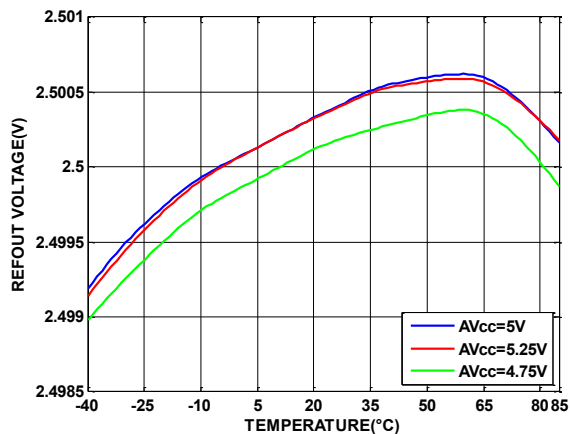


图 26. 不同电源电压下基准输出电压与温度的关系

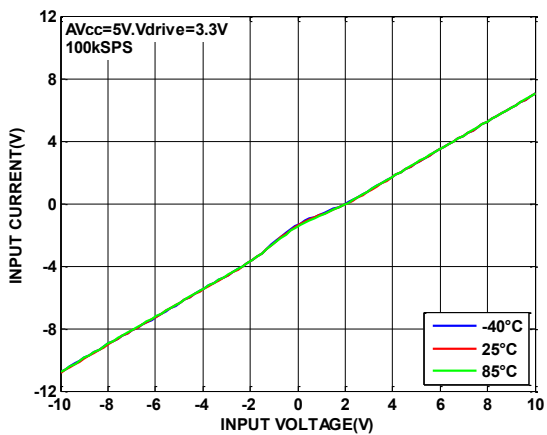


图 27. 不同模拟输入电压下模拟输入电流与温度的关系

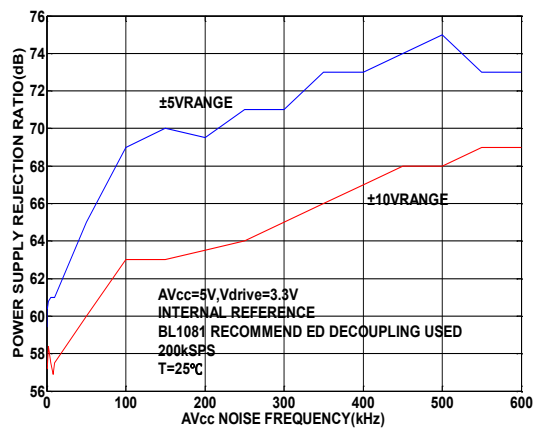


图 29. 电源抑制比 (PSRR)

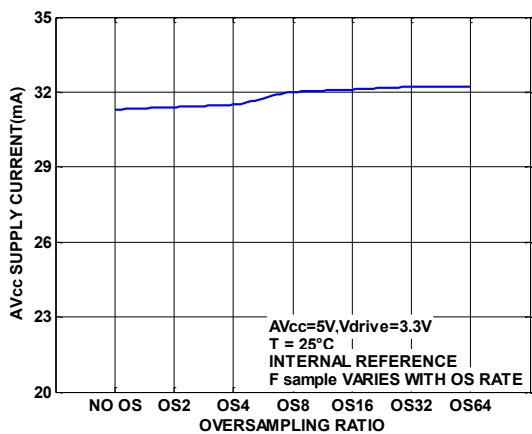


图 28. 电源电流与过采样倍率的关系

术语

积分非线性(INL)

ADC 传递函数与一条通过 ADC 传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的 1/2 LSB 处的电平，终点在高于最后一个码转换的 1/2 LSB 处的满量程。

微分非线性(DNL)

ADC 中任意两个相邻码之间所测得变化值与理想的 1LSB 变化值之间的差异。

双极性零代码误差

半量程转换(全 1 到全 0)与理想值，即 $0V - 1/2$ LSB 的偏差。

双极性零代码误差匹配

任何两个输入通道之间双极性零代码误差的绝对差。

正满量程误差

校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换($10V - 1/2$ LSB(9.99954)和 $5V - 1/2$ LSB (4.99977))的偏差。正满量程误差包括内部基准电压缓冲的贡献。

正满量程误差匹配

任何两个输入通道之间正满量程误差的绝对差。

负满量程误差

校正双极性零代码误差之后，实际的第一个码转换与理想的第一个码转换($-10V + 1/2$ LSB(-9.99984)和 $-5V + 1/2$ LSB (4.99992))的偏差。负满量程误差包括内部基准电压缓冲的贡献。

负满量程误差匹配

任何两个输入通道之间负满量程误差的绝对差。

信纳比(SINAD)

在 ADC 输出端测得的信号对噪声及失真比。这里的信号是基波的均方根幅值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想 N 位转换器，信纳比理论值计算公式为：

$$\text{信纳比} = (6.02N + 1.76)\text{dB}$$

因此，16 位转换器的信纳比理论值为 98dB。

总谐波失真(THD)

所有谐波均方根和与基波的比值。对于 BL1081，其定义为

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中： V_1 是基波幅值的均方根值。

V_2 至 V_9 是二次到九次谐波幅值的均方根值。

峰值谐波或杂散噪声

在 ADC 输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪声底的 ADC，则由噪声峰值决定。

交调失真

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和差频率 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3$) 的形式产生失真产物。交调失真项的 m 和 n 都不等于 0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

交调失真根据 THD 参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)来表示。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。电源抑制比(PSRR)定义为满量程频率 f 下 ADC 输出功率与频率 f_s 下施加于 ADC V_{DD} 和 V_{SS} 电源的 100mV 峰峰值正弦波功率的比值：

$$\text{PSRR(dB)} = 10 \log(P_f/P_{fs})$$

其中： P_f 是在频率 f 下 ADC 的输出功率。

P_{fs} 是在频率 f_s 下耦合到 AV_{CC} 电源的功率。

工作原理

转换器详解

BL1081 是采用高速、低功耗、逐次逼近型模数转换器 (SAR ADC) 的数据采集系统, 分别可以对 8 个模拟输入通道进行同步采样。其模拟输入可以接受真双极性输入信号。使用 RANGE 引脚可以选择 $\pm 10\text{V}$ 或 $\pm 5\text{V}$ 的输入范围。BL1081 采用 5V 单电源供电。

BL1081 内置输入箝位保护、可变增益放大器、二阶抗混叠滤波器、采样保持电路、片内基准电压源、参考电压缓冲器、高速 SAR ADC、数字滤波器以及高速并行和串行接口。BL1081 采样通过 CONVST 信号进行控制。

模拟输入

模拟输入范围

BL1081 可处理真双极性、单端输入电压。RANGE 引脚的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连, 则所有通道的模拟输入范围为 $\pm 10\text{V}$ 。如果此引脚与逻辑低电平相连, 则所有通道的模拟输入范围为 $\pm 5\text{V}$ 。此引脚的逻辑状态改变会立即影响模拟输入范围, 但是, 除正常采集时间要求外, 还有典型值约为 $80\mu\text{s}$ 的建立时间要求。建议根据系统信号所需的输入范围, 通过硬连线设置 RANGE 引脚。

模拟输入阻抗

BL1081 的模拟输入阻抗为 $1\text{M}\Omega$ 。这是固定输入阻抗, 不随 BL1081 采样频率而变化。高模拟输入阻抗可免除 BL1081 前端的驱动放大器, 允许其与信号源或传感器直接相连。由于无需驱动放大器, 因此可去掉信号链中的双极性电源(它通常是系统中的噪声源)。

模拟输入箝位保护

图 3030 显示了 BL1081 的模拟输入结构。其各路模拟输入均含有箝位保护电路。虽然采用 5V 单电源供电, 但此模拟输入箝位保护允许输入过压达到 $\pm 16\text{V}$ 。

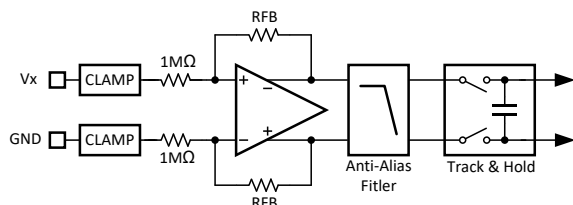


图 30. 模拟输入电路

图 3131 显示了箝位电路电压与电流的关系。当输入电压不超过 $\pm 16\text{V}$ 时, 箝位电路中无电流。当输入电压超过 $\pm 16\text{V}$ 时, BL1081 箝位电路开启。

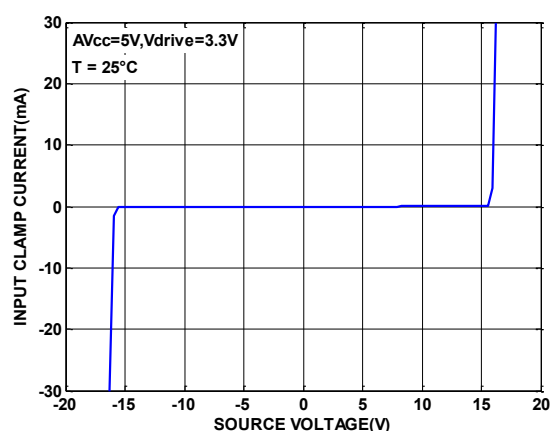


图 31. 输入箝位保护特性

模拟输入通道上应放置一个串联电阻, 以将输入电压超过 $\pm 16\text{V}$ 时的电流限制在 $\pm 10\text{mA}$ 以下。如果模拟输入通道 V_x 上有一个串联电阻, 则模拟输入 GND 通道 $V_{x\text{GND}}$ 上也需要一个与之对应相等的电阻(见图 322)。如果 $V_{x\text{GND}}$ 通道上没有对应的电阻, 该通道将出现失调误差。

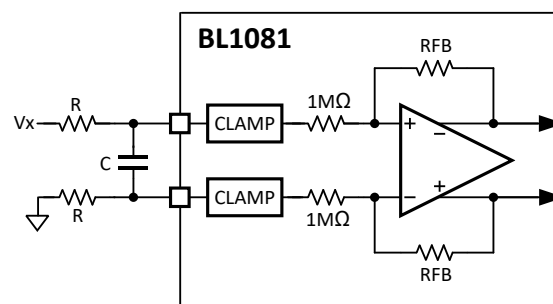


图 32. BL1081 模拟输入端上的输入电阻匹配

模拟输入抗混叠滤波器

BL1081 还提供了模拟抗混叠滤波器。图 33 显示了模拟抗混叠滤波器的频率。在±5V 范围内，-3dB 带宽典型值为 17.7kHz。在±10V 范围内，-3dB 带宽典型值为 24.5kHz。

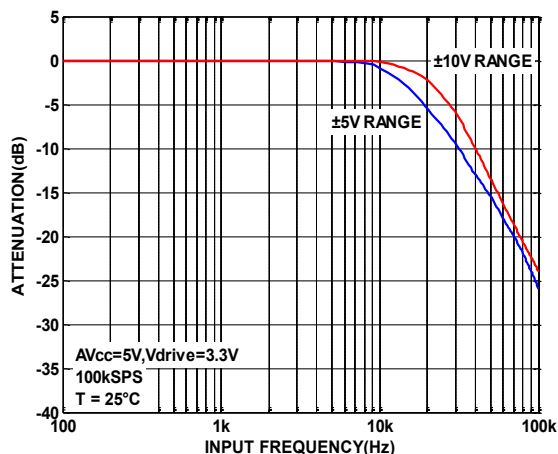


图 33. 模拟抗混叠滤波器频率响应

采样保持放大器

BL1081 上的采样保持放大器可使 ADC 以 16 位分辨率精确采集满量程幅值的输入信号。采样保持放大器在 CONVST_x 上升沿时对其各自输入进行同步采样。一个器件的八个采样保持放大器以及不同器件的采样保持放大器的孔径时间(即从外部 CONVST_x 信号上升沿到采样保持器实际进入保持模式的延迟时间)通过设计保证严格匹配。因此，允许一个系统中的多片 BL1081 进行同步采样。BUSY 下降沿表示所有八个通道的转换过程均已结束，此时采样保持器返回跟踪模式，下一批转换的采集时间开始计时。

转换采用内部时钟，BL1081 所有通道的转换时间为 8 μs，八个通道均完成转换后，BUSY 信号恢复低电平，表示转换过程结束。在 BUSY 下降沿时，采样保持放大器返回跟踪模式。BUSY 变为低电平后，可以通过并行、并行字节或串行接口从输出寄存器中读取新数据。或者，当 BUSY 为高电平时，可以读取前一次转换的数据。在转换期间从 BL1081 读取数据对性能几乎没有影响，可以实现更快的吞吐速率。

ADC 传递函数

BL1081 的输出编码为二进制补码。所设计的码转换在连续 LSB 整数值的中间(即 1/2 LSB 和 3/2LSB)进行。BL1081 的 LSB 大小为 FSR/65,536。BL1081 的理想传递特性如图 34 所示。

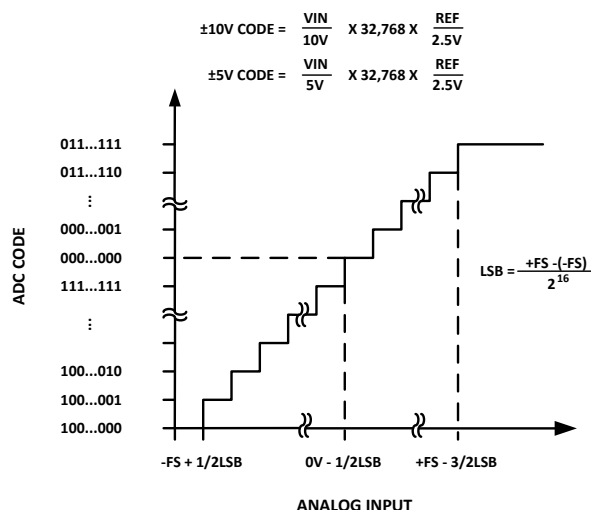


图 34 BL1081 传递特性

表 6

	+FS	MIDSCALE	-FS	LSB
±10V RANGE	+10V	0V	-10V	305μV
±5V RANGE	+5V	0V	-5V	152μV

LSB 大小取决于所选的模拟输入范围。

内部/外部基准电压

BL1081 内置一个 2.5V 片内带隙基准源。REFIN/REFOUT 引脚既可以使用该 2.5V 基准电压，以在内部产生 4.5V 片内参考电压，也允许施加一个 2.5V 外部基准电压。所施加的 2.5V 外部基准电压也会被内部缓冲放大至 4.5V。此 4.5V 缓冲的基准电压被用作 SAR ADC 参考电压。

REF SELECT 引脚是一个逻辑输入引脚，允许用户选择内部或外部基准电压。如果此引脚设为逻辑高电平，则选择并使用内部基准电压。如果此引脚设为逻辑低电平，则内部基准电压被禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚上。复位后，BL1081 工作在 REF SELECT 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 REFIN/REFOUT 引脚使用 10 μ F 陶瓷电容做去耦处理。

BL1081 内置一个参考电压缓冲器，用于将 2.5V REF 电压放大至约 4.5V 供 SAR ADC 使用，如图 35 所示。

REFCAPA 和 REFCAPB 引脚必须在外部短路连在一起，并通过一个 10 μ F 陶瓷电容连接至 REFGND，以确保缓冲器正常工作。

当 BL1081 配置为外部基准电压模式时，REFIN/REFOUT 引脚为高输入阻抗引脚。对于使用多个 BL1081 器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

该模式下，可以用一个外部基准电压源 ADR421 驱动所有 BL1081 器件的 REFIN/REFOUT 引脚(见图 367)。此配置中，BL1081 的每一个 REFIN/REFOUT 引脚都应该使用至少一个 100nF 的去耦电容。

内部基准电压模式

该模式下，被配置为内部基准电压模式的一个 BL1081 器件，可以被用来驱动配置为外部基准电压模式的其余 BL1081 器件(见图 377)。配置为内部基准电压模式的 BL1081 须利用 10 μ F 陶瓷去耦电容对其 REFIN/REFOUT 引脚去耦。配置为外部基准电压模式的其他 BL1081 器件应各利用至少一个 100nF 的去耦电容对其 REFIN/REFOUT 引脚去耦。

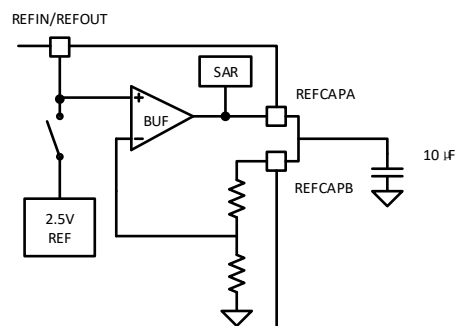


图 35. 基准电压电路

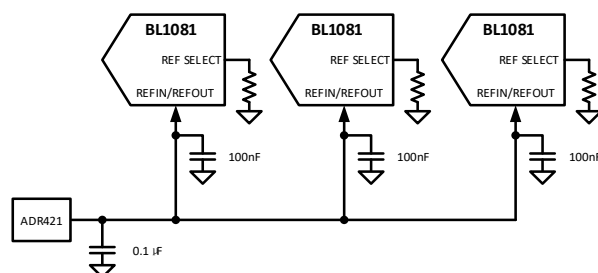


图 36. 一个外部基准电压源驱动多个 BL1081 REFIN 引脚

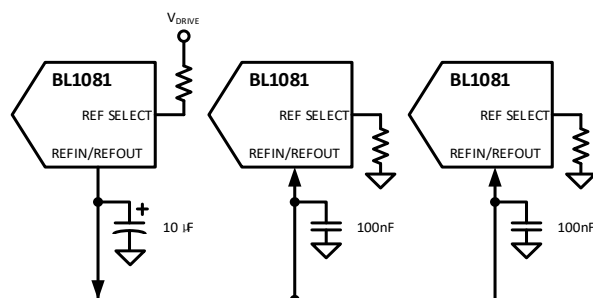


图 37. 内部基准电压源驱动多个 BL1081 REFIN 引脚

典型连接图

图 388 显示了 BL1081 的典型连接图。器件有 4 个 A_{VCC} 电源引脚。这四个电源引脚应各使用一个 100nF 去耦电容，并在电源侧使用一个 10 μ F 电容去耦。BL1081 即可在内部基准电压下工作，也可在外部施加的基准电压下工作。在图 387 配置中，BL1081 被配置为在内部施加的基准电压下工作。当电路板上只有一个 BL1081 器件时，应当利用一个 10 μ F 电容对其 REFIN/REFOUT 引脚去耦。当应用中使用多个 BL1081 器件时，请参阅“内部/外部基准电压”部分。REFCAPA 和 REFCAPB 引脚短路连在一起，并通过一个 10 μ F 陶瓷电容来去耦。

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 电压控制输出逻辑信号的电压值。关于布局、去耦和接地提示，请参考“布局指南”部分。

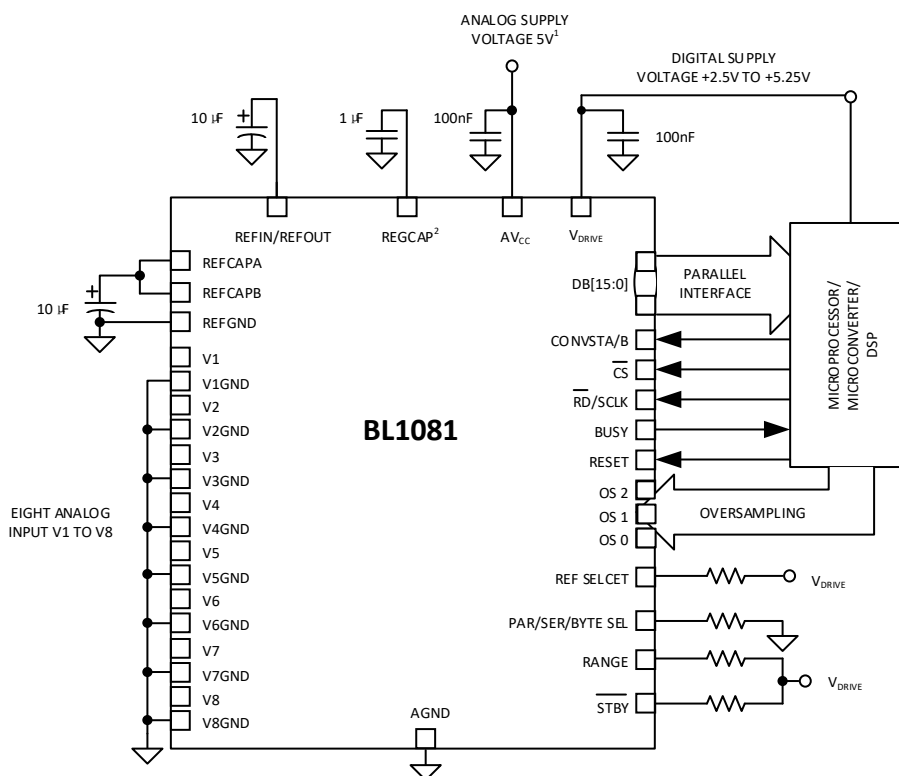
省电模式

BL1081 提供一种省电模式：待机模式。 $\overline{\text{STBY}}$ 引脚和 RANGE 引脚的输入控制 BL1081 是处在正常模式还是省电模式，BL1081 仅支持表 7 中引脚配置。当 BL1081 处于待机模式时，最大功耗为 10mA，片内基准电压源和稳压器仍然工作。由于 REFCAPA 和 REFCAPB 引脚上的电容须有一个充电并稳定的过程，从待机模式恢复至正常工作模

式时间约为 500ns，，经过所需上电时间后，还须对 BL1081 施加 RESET 信号。

表 7

省电模式	STBY	RANGE
待机	0	1



1. 在 AV_{CC} 引脚上显示的去耦适用于每个 AV_{CC} 引脚 (PIN1, PIN37, PIN38, PIN48) 去耦电容可以在 AV_{CC} 引脚 PIN37 和 PIN38 之间共享
2. 在 REGCAP 引脚的去耦应独立于每个 REGCAP 引脚 (PIN36, PIN39)，不允许短接使用

图 38. BL1081 典型连接图

转换控制

所有模拟输入通道同步采样

BL1081 可以对所有模拟输入通道进行同步采样。当两个 CONVST 引脚(CONVST A 和 CONVST B)连在一起时, 所有通道同步采样。使用一个 CONVST 信号便可控制两个 CONVSTx 输入。在此公用 CONVST 信号的上升沿, 所有模拟输入通道将被同步采样(BL1081 的 V1 至 V8)。

BL1081 内置一个片内振荡器用于转换。所有 ADC 通道的转换时间为 t_{CONV} 。BUSY 信号用于告知用户正在进行转换, 因此当施加 CONVST 上升沿时, BUSY 变为逻辑高电平, 在整个转换过程结束时变为低电平。BUSY 下降沿表示, 现在可以从并行总线 DB[15:0]、DOUTA /DOUTB 串行数据电路或并行字节总线 DB[7:0]读取新数据。

两组通道同步采样

在不使用过采样时, BL1081 还允许模拟输入通道以两组的形式进行同步采样。这可以用在电力线保护和测量系统中, 以补偿 PT 和 CT 变压器所引入的相位差。通过脉冲独立激活两个 CONVST 引脚, CONVST A 用来对第一组通道同步采样(V1 至 V4); CONVST B 用来对第二组通道同步采样(V5 至 V8), 如图 399 所示。只有在两个 CONVSTx 上升沿均已到达之后, 转换过程开始, BUSY 变为高电平。在表 2 中, 时间 t_5 表示 CONVSTx 采样点之间的最大容许时间。

使用两个独立的 CONVSTx 信号时, 数据读取过程不变。将所有不使用的模拟输入通道接 AGND。不使用通道的结果仍会包括在所读取的数据中, 因为 ADC 始终会转换所有通道。

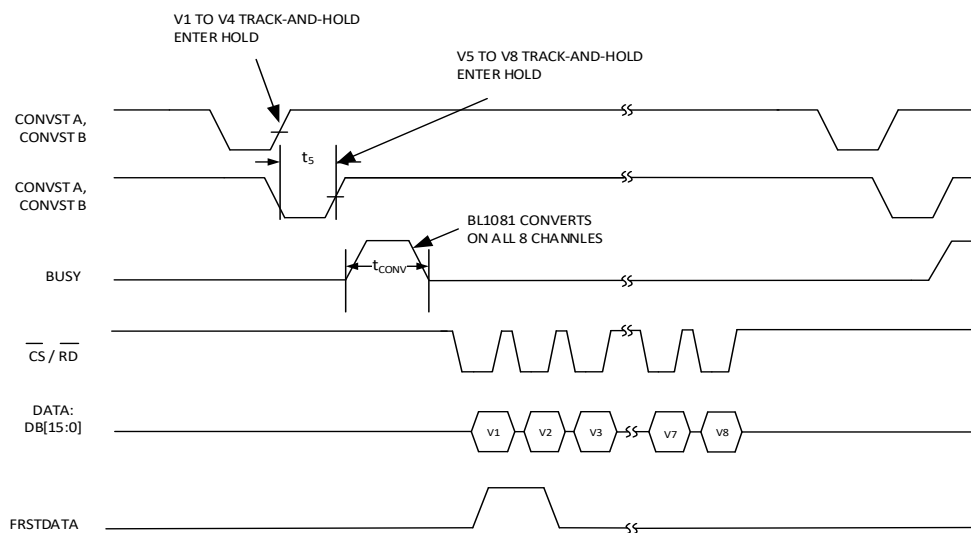


图 39. BL1081 分两组通道同步采样, 使用独立的 CONVSTA 和 CONVSTB-并行模式

数字接口

BL1081 提供三种接口选项：并行接口、高速串行接口和并行字节接口。所需接口模式可通过 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 和 $\text{DB15}/\text{BYTE SEL}$ 引脚来选择。

表 8 接口模式选择

$\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$	$\text{DB15}/\text{BYTE SEL}$	接口模式
0	0	并行接口
1	0	串行接口
1	1	并行字节接口

下面几节讨论这些接口模式的工作原理。

并行接口($\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 0$)

通过并行总线读取数据时，需将 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 引脚和低电平相连。通过内部选通 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号，可以将转换结果依次输出到数据总线。

$\overline{\text{CS}}$ 输入信号的上升沿使总线进入三态，其下降沿使总线脱离高阻态。 $\overline{\text{CS}}$ 是数据线的使能控制信号，利用该功能可以让多个 BL1081 器件共享同一并行数据总线。

对于单个 BL1081 的应用， $\overline{\text{CS}}$ 信号可永久接低电平，而 $\overline{\text{RD}}$ 信号可用来获取转换结果，如图 4 所示。BUSY 信号变为低电平后，可以读取新数据(见图 2)；或者 BUSY 为高电平时，可以读取前一次转换的数据(见图 3)。对于多个

BL1081 的应用，需要通过 $\overline{\text{CS}}$ 信号切换以控制多个 ADC 的并行数据总线的输出状态。

在 BL1081 被选通期间， $\overline{\text{RD}}$ 引脚用来从输出转换结果寄存器读取数据。对 $\overline{\text{RD}}$ 引脚施加一个 $\overline{\text{RD}}$ 脉冲序列，可使各通道的转换结果按升序逐个输出到并行总线 $\text{DB}[15:0]$ 。 $\overline{\text{CS}}$ 变为低电平后的第一个 $\overline{\text{RD}}$ 下降沿输出通道 V1 的转换结果，第二个 $\overline{\text{RD}}$ 下降沿则用 V2 转换结果更新总线，以此类推。当 $\overline{\text{RD}}$ 信号为逻辑低电平时，可将各通道的数据转换结果传输到数字主机(DSP、FPGA)。

FRSTDATA 信号在第一个 $\overline{\text{RD}}$ 下降沿输出，指示 V1 的转换结果正在总线上输出，且跟随第二个 $\overline{\text{RD}}$ 下降沿关断输出指示。

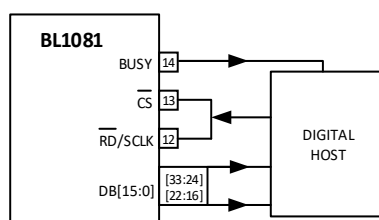


图 40. 一个 BL1081 使用并行总线。RD 和 CS 短接在一起

当系统板上只有一个 BL1081 且它不共享并行总线时，可以将 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号可以连在一起，允许仅用一个控制信号来读取数据，如图 5 所示。这种情况下，数据总线在 $\overline{\text{CS}}/\overline{\text{RD}}$ 的下降沿时脱离三态。利用 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 合并信号，进行数据传输通信。

并行字节($\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1, \text{DB15} = 1$)

并行字节接口模式的工作原理与并行接口模式非常类似，不过各通道转换结果是分两次 8 位传输读出。因此，读取 BL1081 的所有八个转换结果需要 16 个 $\overline{\text{RD}}$ 脉冲。将 BL1081 配置为并行字节模式时， $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 和 $\text{DB15}/\text{BYTE SEL}$ 引脚应与逻辑高电平相连(见表 8)。并行字节模式下， $\text{DB}[7:0]$ 用来将数据传输至数字主机。DB0 为数据传输的 LSB，DB7 为数据传输的 MSB。DB14 充当 HBEN 引脚。当 DB14/HBEN 接逻辑高电平时，首先输出转换结果的高字节(MSB)，然后输出低字节(LSB)。当 DB14 接逻辑低电平时，首先输出结果的低字节(LSB)，然后输出高字节(MSB)。FRSTDATA 引脚将保持高电平，直到从 BL1081 读取 V1 的全部 16 位转换结果。

串行接口($\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL} = 1$)

通过设置 $\overline{\text{PAR}}/\text{SER}/\text{BYTE SEL}$ 引脚至高电平，将 BL1081 数据接口工作模式设置为串行接口。 $\overline{\text{CS}}$ 和 SCLK 信号用作控制串行接口输出数据。BL1081 有两个串行数据输出引脚： DOUT_A 和 DOUT_B 。可通过单或双 DOUT 线路从 BL1081 回读数据。双 DOUT 线路模式下，通道 V1 至 V4 的转换结果首先出现在 DOUT_A 上，通道 V5 至 V8 的转换结果则首先出现在 DOUT_B 上。

$\overline{\text{CS}}$ 下降沿使数据输出线路 DOUT_A 和 DOUT_B 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 DOUT_A 和 DOUT_B 。可以使 $\overline{\text{CS}}$ 输入在整个串行读取操作过程中保持低电平，也可通过脉冲激活它，以使能各通道的 16 个 SCLK 周期帧读取。图 4141 显示采用双 DOUT 线路在 BL1081 上读取八个同步转换结果。这种情况下，使用 64 个 SCLK 传输来访问 BL1081 的数据，并且 $\overline{\text{CS}}$ 保持低电平，以使能全部 64 个 SCLK 周期帧。也可以仅用一路 DOUT 线逐个输出数据；这种情况下，建议用 DOUT_A 访问所有转换数据，因为通道数据以升序输出。通过一路 DOUT 线路访问所有八个转换结果时，总共需要 128 个 SCLK 周期。串行模式下，不用的 DOUT 线应保持不连接。如果 DOUT_B 线用作一路 DOUT 线，通过结果将以 V5、V6、V7、V8、V1、V2、V3、V4

的顺序输出，在 DOUTB 上读取 V5 后，FRSTDATA 指示就会恢复低电平。

图 6 显示串行模式下从 BL1081 读取一个通道的数据(由 \overline{CS} 信号使能帧传输)的时序图。SCLK 输入信号为串行读取操作提供时钟源。

\overline{CS} 下降沿使总线脱离三态，并逐个输出 16 位转换结果的 MSB。第一个通道的 MSB 在 \overline{CS} 下降沿后被输出在 DOUTX 上，后续 15 个数据位及其余通道的转换结果数据位均在 SCLK 的上升沿逐个输出，数据在 SCLK 下降沿有效。为获取任意一个通道的全部 16 位转换结果，数字主机必须在 \overline{CS} 低电平期间向 BL1081 提供 16 个 SCLK 时钟周期以获取完整的转换结果。

FRSTDATA 输出信号指示何时 DOUTA 返回 V1 的转换结果。当 \overline{CS} 输入为高电平时，FRSTDATA 输出引脚处于三态。在串行模式下 \overline{CS} 下降沿使 FRSTDATA 脱离三态，并将 FRSTDATA 引脚设为高电平，表示 DOUTA 数据线正在

输出 V1 的转换结果。在第 16 个 SCLK 下降沿之后，FRSTDATA 输出恢复逻辑低电平。如果所有通道都在 DOUTB 上读取，则当 V1 输出到此串行数据输出引脚时，FRSTDATA 输出不会变为高电平。只有当 DOUTA 提供 V1 转换结果时(对于 BL1081，此时 DOUTB 提供 V5 转换结果)，它才会变为高电平。

转换期间读取

当 BUSY 为高电平，转换正在进行时，也可以在此期间从 BL1081 读取数据，不会影响转换器的性能，而且可以实现更快的吞吐速率。转换期间可以执行并行、并行字节或串行读取，可以使用或不用过采样。图 3 显示并行或串行模式下 BUSY 为高电平时读取操作的时序图。

在 BUSY 下降沿时，输出数据寄存器会被新转换数据更新，除此之外的任何时候都可以从 BL1081 读取数据。这种情况下应满足表 2 所表示的时间 t_6 要求。

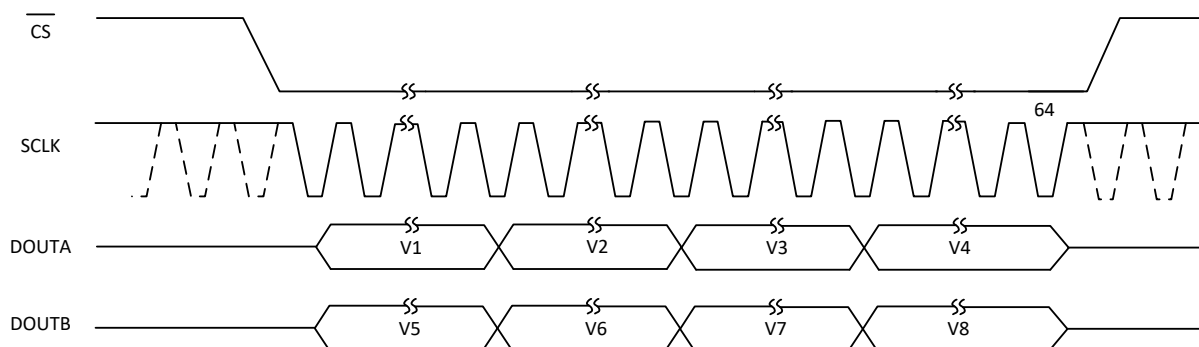


图 41. 采用双 DOUT 线路的 BL1081 串行接口

数字滤波器

BL1081 内置一个可编程的一阶 sinc 数字滤波器，可应用于较低吞吐速率且需要更高信噪比或更宽动态范围的实际场景中。BL1081 支持 2/4/8/16/32/64 倍过采样。如果选择过采样倍率为 8，那么过采样倍率生效后的下一个 CONVSTx 上升沿触发各通道的第一次采样，所有通道的其余 7 次采样由内部产生的采样时钟触发，然后对这些采样点求平均值，以改进 SNR 性能。开启过采样时，输出结果被抽取为 16 位分辨率。

数字滤波器的过采样倍率受过采样引脚 OS[2:0] 控制，其中 OS2 为 MSB 控制位，OS0 为 LSB 控制位。表 9 给出 ±10V 范围和 ±5V 范围下，不同过采样倍率与引脚 OS[2:0] 的对应关系、以及不同过采样倍率下的 SNR 改善情况。如表 9 所示，随着过采样倍率提高，SNR 性能得到改善，但 3dB 带宽有所降低，所允许的采样频率也随之降低。例如，在所需采样频率为 10kSPS 的应用中，过采样倍率最高可以为 8。此时，SNR 性能会有改善，但输入 3dB 带宽在约 6.1kHz 以下。在 ADC 转换过程中，OS 引脚硬件配置在 BUSY 的下降沿锁存，在下次 ADC 转换时过采样倍率生效。

开启过采样时，CONVST A 和 CONVST B 引脚必须连接在一起驱动，转换过程中 BUSY 保持高电平的时间会变长，同

时总转换时间也变长。BUSY 保持高电平的实际时间取决于所选的过采样倍率；过采样倍率越高，则 BUSY 保持高电平的时间越长(见表 2)。

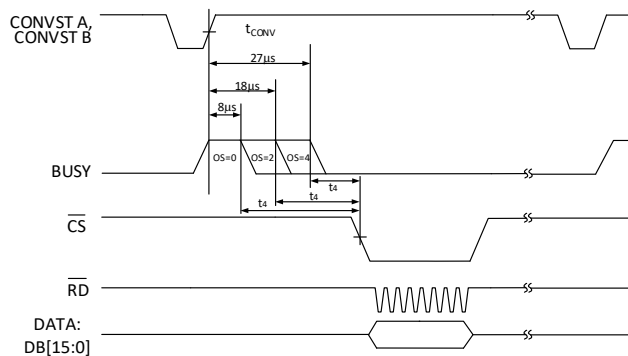


图 42. 无过采样, 2 倍过采样和 4 倍过采样, 转换后读取

图 42 显示转换时间和 BUSY 信号宽度随着过采样倍率的提高而延长。例如，当采样速率为 10kSPS 时，周期时间为 100μs。图 42 给出 OS=2 和 OS=4 的情况。对于 10kSPS 采样速率，仍有足够的周期时间来进一步提高过采样倍率，使 SNR 性能得到更大的改善。当过采样开启时，为实现最快吞吐速率，可以在 BUSY 高电平期间执行读取操作。由于新转换数据的更新发生在 BUSY 下降沿，因此转换数据的读取应避开此边沿。

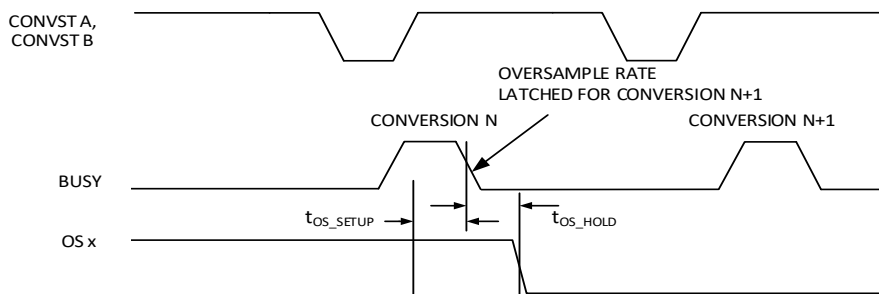


图 43. OSx 引脚时序

表 9

OS[2:0]	过采样倍率	5V 范围 SNR(dB)	10V 范围 SNR(dB)	5V 范围 3dB 带宽 (kHz)	10V 范围 3dB 带宽 (kHz)	最大吞吐量 CONVST 频率 (kHz)
000	无过采样	87.5	88	17.7	24.5	100
001	2	89.8	90.3	15.2	19	50
010	4	92.1	92.1	10.6	11.7	25
011	8	93.8	94.3	6	6.1	12.5
100	16	95.1	95.5	3.1	3.1	6.25
101	32	96.2	96.5	1.56	1.56	3.125
110	64	96.6	96.9	0.78	0.78	1.5
111	无效					

图 44 至图 50 以直流统计直方图形式显示了过采样对输出码的影响。随着过采样倍率提高，码字分布缩小。

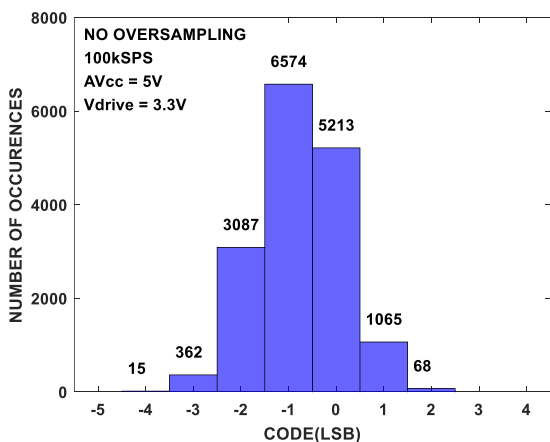


图 44. 码直方图: 无过采样

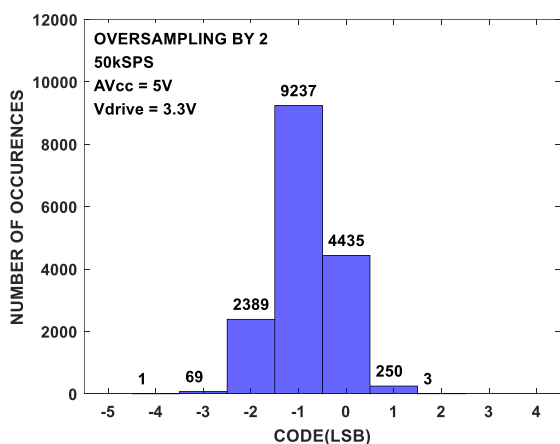


图 45. 码直方图: 2 倍过采样

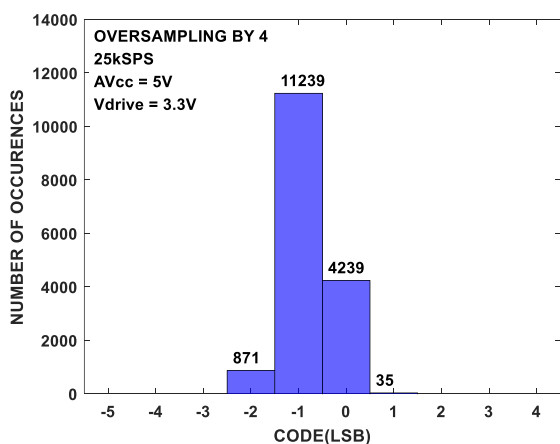


图 46. 码直方图: 4 倍过采样

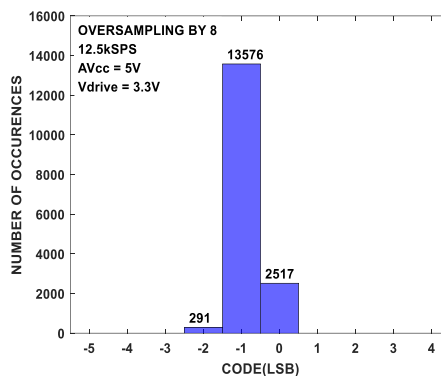


图 47. 码直方图: 8 倍过采样

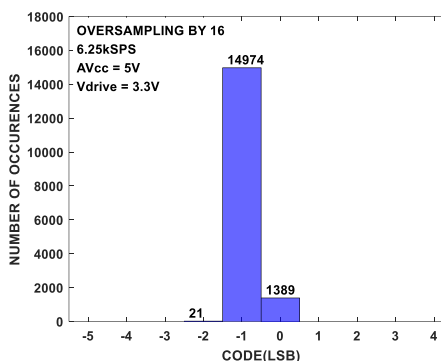


图 48. 码直方图: 16 倍过采样

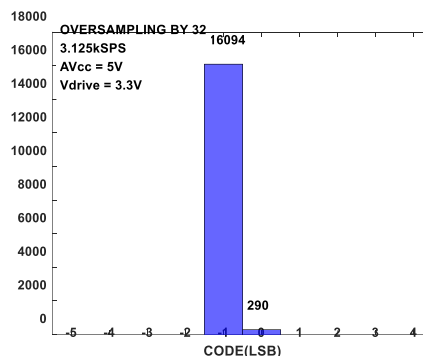


图 49. 码直方图: 32 倍过采样

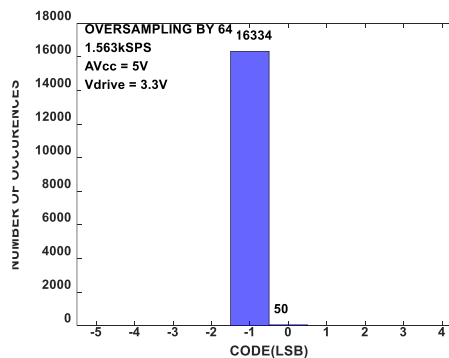


图 50. 码直方图: 64 倍过采样

布局指南

BL1081 所在的印制电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域。

应使用一个接地层，数字和模拟部分共用地层或独立地层。每个接地引脚应使用单个过孔或多个过孔接入接地层，确保与地层的良好连接，避免多个接地引脚共用一个过孔到地层的连接情况。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应将接地层布设在 BL1081 下方，以避免噪声耦合。如 CONVST A、CONVST B 或时钟等快速切换信号要使用地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号线路绝对不能靠近模拟信号路径。避免数字信号与模拟信号交叠。电路板上邻近层的走线应彼此垂直，以减小电路板的馈通效应。

BL1081 上 AVCC 和 VDRIVE 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在 BL1081 电源引脚与电路板的电源走线之间建立良好连接。各电源引脚应使用单个过孔或多个过孔连接到电源层。

良好的去耦也很重要，以便降低 BL1081 的电源阻抗，并减少电源尖峰幅度。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。REFIN/REFOUT 引脚和 REFCAPA、REFCAPB 引脚的去耦电容应尽可能靠近相应

的 BL1081 引脚。可能的话，应将这些电容放在电路板与 BL1081 器件相同的一侧。图 5151 显示了底层去耦配置，它应用于 4 个 AVCC 和 VDRIVE 引脚的去耦。AVCC 引脚的 100nF 陶瓷电容应靠近器件的相应引脚，一个 100nF 电容可以在引脚 37 和引脚 38 之间共享。

芯片包含两个 REGCAP 引脚（引脚 36 和引脚 39），需要独立使用 1 μ F 电容去耦，同时应注意这两个引脚不能短接使用，否则会引起功能失效。

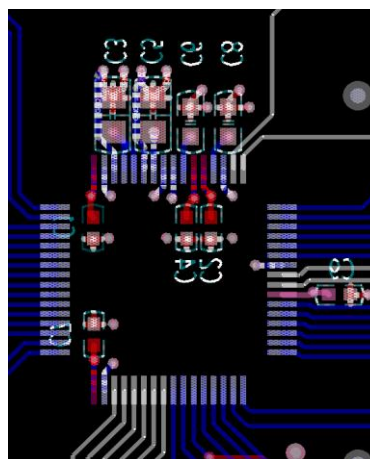


图 51.BL1081 外围去耦

外形尺寸

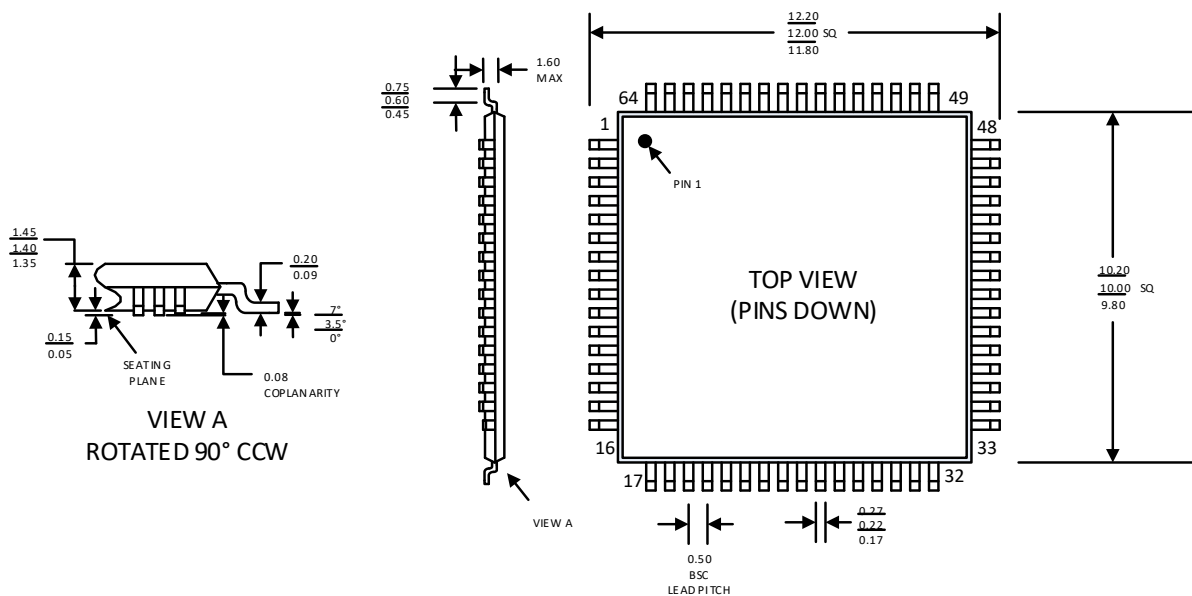


图 52.64 脚 LQFP 封装 (ST-64-2) 尺寸单位: mm