

产品特性

- 8路同步采样输入
- 真双极性模拟输入范围： $\pm 10V$ 、 $\pm 5V$
- 5V单模拟电源， V_{DRIVE} ：2.3V至5V
- 完全集成的数据采集解决方案
- $\pm 16V$ 模拟输入箝位保护
- 具有 $1M\Omega$ 模拟输入阻抗的输入缓冲器
- 二阶抗混叠模拟滤波器
- 片内精密基准电压及缓冲
- 16位、200kSPS ADC（所有通道）
- 通过数字滤波器提供过采样功能
- 灵活的并行/串行接口
- SPI/QSPI™/MICROWIRE™/DSP 兼容
- 性能
- 模拟输入通道提供 7kV ESD 额定值
- 86.5dBFS SNR, -99dB THD
- $\pm 1.2LSB$ INL, $\pm 0.5LSB$ DNL
- 低功耗：170mW
- 待机模式：56.5mW
- 64引脚 LQFP 封装
- 与 AD7606B 系列产品引脚兼容
- 寄存器读写与 CRC 校验

应用

- 电力线监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统（DAS）

高精度数据采集系统产品系列表

产品名	通道	分辨率	采样率	数据接口
BL1081	8	16	100KS/s	SPI
BL1082	8	16	200KS/s	SPI
BL1083	8	16	200KS/s	SPI, 支持 CRC 校验
BL1086	4	16	300KS/s	SPI

功能框图

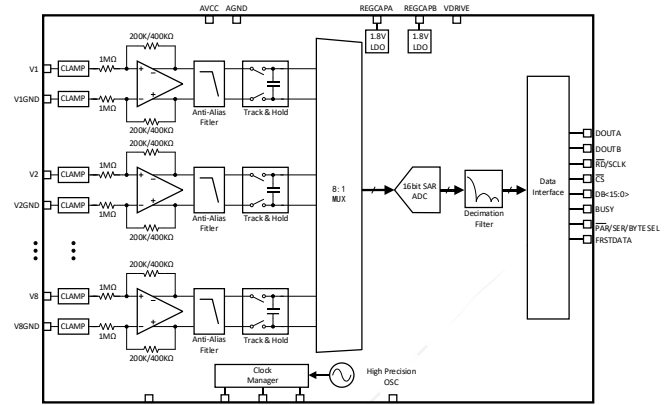


图 1. 功能框图

产品描述

BL1083 是 16 位、8 通道同步采样模数数据采集系统(DAS)。器件内置模拟输入箝位保护、二阶抗混叠滤波器、采样保持电路、16 位逐次逼近型模数转换器(SAR ADC)、灵活的数字滤波器、2.5V 低温飘基准电压源、参考电压缓冲器以及高速串行和并行接口。

BL1083 采用 5V 单电源供电，可以处理 $\pm 10V$ 和 $\pm 5V$ 真双极性输入信号，同时所有通道均能以高达 200kSPS 的吞吐速率采样。输入箝位保护电路可以耐受最高达 $\pm 16V$ 的电压。无论以何种采样频率工作，BL1083 的模拟输入阻抗均为 $1M\Omega$ 。它采用单电源工作方式，具有片内滤波和高输入阻抗，因此无需驱动运算放大器和外部双极性电源。BL1083 抗混叠滤波器的 3dB 截止频率为 23.4kHz；当采样频率为 200kSPS 时，它具有 40dB 抗混叠抑制特性。灵活的数字滤波器采用引脚驱动，可以改善信噪比(SNR)，并降低 3dB 带宽。

BL1083 定义了硬件模式和软件模式，芯片将通过 OS 引脚切换这两种不同的模式。在软件模式下，有寄存器的读写功能，并允许用户打开内置的 CRC 校验功能。

BL1083 采用 64 引脚 LQFP 封装，额定工作温度范围为 $-40^{\circ}C$ 至 $+85^{\circ}C$ 。

目录

产品特性.....	1	术语.....	19
应用.....	1	工作原理.....	20
功能框图.....	1	转换器详解.....	20
产品描述.....	1	模拟输入.....	20
目录.....	2	ADC 传递函数.....	21
修订历史.....	2	内部/外部基准电压.....	22
技术规格.....	3	省电模式.....	22
时序规格.....	6	数字接口.....	23
时序图.....	8	硬件模式.....	23
绝对最大额定值.....	11	软件模式.....	23
热特性.....	11	并行接口(PAR/SER SEL =0).....	23
ESD 警告.....	11	串行接口(PAR/SER SEL =1).....	25
引脚配置和功能描述.....	12	CRC 校验和计算方法.....	28
典型工作特性.....	15	数字滤波器.....	30
BL1083.....	15	典型连接图.....	32
		布局指南.....	35
		外形尺寸.....	36

修订历史

2025 年 6 月：正式版 V1.0 版本

技术规格

除非另有说明， $V_{REF}=2.5V$ 内部基准电压， $A_{VCC}=5V$ ， $V_{DRIVE}=3.3V$ ， $f_{SAMPLE}=200kSPS$ ， $T_A=-40^{\circ}C$ 至 $+85^{\circ}C$ 。

表 1

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	$f_{IN}=1kHz$ 正弦波，除非另有说明				
信噪比(SNR) ^{1,2}	16 倍过采样； $\pm 10V$ 范围； $f_{IN}=133Hz$		93.7		dB
	16 倍过采样； $\pm 5V$ 范围； $f_{IN}=133Hz$		93.2		dB
	无过采样； $\pm 10V$ 范围		85.6		dB
	无过采样； $\pm 5V$ 范围		85.2		dB
信纳比(SINAD) ¹	无过采样； $\pm 10V$ 范围		85.6		dB
	无过采样； $\pm 5V$ 范围		85.2		dB
动态范围	无过采样； $\pm 10V$ 范围		86		dB
	无过采样； $\pm 5V$ 范围		86		dB
总谐波失真(THD) ¹			-99		dB
峰值谐波或杂散噪声(SFDR) ¹			-106.2		dB
交调失真(IMD) ¹	$f_a=1kHz$ ， $f_b=1.1kHz$ ， $T_A=25^{\circ}C$				
二阶项			-106		dB
三阶项			-95.5		dB
模拟输入滤波器					
全功率带宽	-3dB， $\pm 10V$ 范围		23.4		kHz
	-3dB， $\pm 5V$ 范围		16.5		kHz
	-0.1dB， $\pm 10V$ 范围		9.2		kHz
	-0.1dB， $\pm 5V$ 范围		6.1		kHz
直流精度					
分辨率	无失码	16			Bits
微分非线性 ¹			± 0.5		LSB ³
积分非线性 ¹			± 1.2		LSB
正满量程误差 ^{1,4}	外部基准电压		± 10		LSB
	内部基准电压		± 25	± 35	LSB
正满量程误差漂移	外部基准电压		2		ppm/ $^{\circ}C$
	内部基准电压		6		ppm/ $^{\circ}C$
正满量程误差匹配 ¹	$\pm 10V$ 范围		2		LSB
	$\pm 5V$ 范围		12		LSB
双极性零代码误差 ^{1,5}	$\pm 10V$ 范围		± 2		LSB
	$\pm 5V$ 范围		± 10		LSB
双极性零代码误差漂移	$\pm 10V$ 范围		15		$\mu V/^{\circ}C$
	$\pm 5V$ 范围		20		$\mu V/^{\circ}C$

参数	测试条件/注释	最小值	典型值	最大值	单位
双极性零代码误差匹配 ¹	±10V 范围		2		LSB
	±5V 范围		12		LSB
负满量程误差 ^{1,4}	外部基准电压		±10		LSB
	内部基准电压		±25	±35	LSB
负满量程误差漂移	外部基准电压		2		ppm/°C
	内部基准电压		6		ppm/°C
负满量程误差匹配 ¹	±10V 范围		5		LSB
	±5V 范围		20		LSB
模拟输入					
输入电压范围	RANGE=1			±10	V
模拟输入电流	RANGE=0			±5	V
	10V; 见图 26		6.9		μA
	5V; 见图 26		2.8		μA
输入阻抗	见“模拟输入”部分		1		MΩ
基准输入/输出					
基准输入电压范围	见“ADC 传输函数”部分		2.5		V
基准输出电压	REF SELECT=1 T _A =25°C	2.498	2.5	2.502	V
基准源温度系数	REFOUT		6		ppm/°C
逻辑输入					
输入高电压(V _{INH})		0.9×V _{DRIVE}			V
输入低电压(V _{INL})				0.1×V _{DRIVE}	V
输入电流(I _{IN})				±2	μA
输入电容(C _{IN})			5		pF
逻辑输出					
输入高电压(V _{OH})	I _{SOURCE} =100μA	V _{DRIVE} -0.2			V
输入低电压(V _{OL})	I _{SINK} =100μA			0.2	V
输出编码	二进制补码				
转换速率					
转换时间	包括所有八个通道; 见表 2		4.38		μs
采样保持器采集时间			1		μs
吞吐速率	每个通道, 包括所有八个通道			200	kSPS
电源要求					
AV _{CC}		4.75		5.25	V
V _{DRIVE}		2.3		5.25	V
V _{DRIVE} 电流(I _{DRIVE})					
正常模式(静态)			0.5		mA
正常模式(工作状态) ⁶	f _{SAMPLE} =200kSPS		1.5		mA
待机模式			0.5		mA
AV _{CC} 电流(I _{AVCC})					
正常模式(静态)			27		mA
正常模式(工作状态) ⁶	f _{SAMPLE} =200kSPS		33		mA
待机模式			11		mA

功耗				
正常模式(静态)			137	mW
正常模式(工作状态) ⁶	$f_{\text{SAMPLE}}=200\text{kSPS}$		170	mW
待机模式			56.5	mW

1. 参见“术语”部分。

2. 此特性适用于转换期间或转换之后读取时。

3. LSB 表示最低有效位。±5V 输入范围时，1LSB=152.588μV。±10V 输入范围时，1LSB=305.175μV。

4. 这些特性包括全温度范围变化和内部基准电压缓冲的贡献，但不包括外部基准电压源的误差贡献。

5. 双极性零代码误差相对于模拟输入电压而计算。

6. 工作功耗/电流数值包括以过采样模式运行时的贡献。

时序规格

除非另有说明, $V_{REF}=2.5V$ 内部基准电压, $A_{VCC}=5.0V$, $V_{DRIVE}=3.3V$, $T_A=-40^{\circ}C$ 至 $+85^{\circ}C$ 。

表 2

参数	最小值	典型值	最大值	单位	描述
并行\串行					
t_{CYCLE}	5			μS	1/吞吐速率
	5			μS	并行模式, 转换期间或之后读取; 或串行模式: $V_{DRIVE}=3.3V$, 利用 D_{OUTA} 和 D_{OUTB} 线路在转换期间读取
	5			μS	串行模式, 转换期间读取;
				μS	串行模式, 转换之后读取; $V_{DRIVE}=3.3V$, D_{OUTA} 和 D_{OUTB} 线路转换时间
t_{CONV}					转换时间
		4.38		μS	关闭过采样
		8.96		μS	2 倍过采样
		18.64		μS	4 倍过采样
		38.12		μS	8 倍过采样
		80		μS	16 倍过采样
		154.11		μS	32 倍过采样
		309.01		μS	64 倍过采样
$t_{WAKE-UP STANDBY}$			500	ns	\overline{STBY} 上升沿到 $CONVST$ 上升沿; 从待机模式上电的时间
t_{RESET}	35			ns	RESET 高电平脉冲宽度
t_{OS_SETUP}	25			ns	BUSY 到 OSX 引脚设置时间
t_{OS_HOLD}	25			ns	BUSY 到 OSX 引脚保持时间
t_1			30	ns	$CONVST$ 高电平到 BUSY 高电平
t_2	20			ns	最短 $CONVST$ 低电平脉冲
t_3	20			ns	最短 $CONVST$ 高电平脉冲
t_4	0			ns	BUSY 下降沿到 \overline{CS} 下降沿设置时间
t_5	25			ns	RESET 低电平到 $CONVST$ 高电平之间的最短延迟时间
t_6			25	ns	最后 \overline{CS} 上升沿与 BUSY 下降沿之间的最长时间
并行模式时序规格					
t_8	0			ns	\overline{CS} 到 \overline{RD} 设置时间
t_9	0			ns	\overline{CS} 到 \overline{RD} 保持时间
t_{10}					\overline{RD} 低电平脉冲宽度
	20			ns	V_{DRIVE} 高于 4.75V
	20			ns	V_{DRIVE} 高于 3.3V
	20			ns	V_{DRIVE} 高于 2.7V
t_{11}	20			ns	\overline{RD} 高电平脉冲宽度
t_{12}	20			ns	\overline{CS} 高电平脉冲宽度(见图 5); \overline{CS} 与 \overline{RD} 相连
t_{13}					从 \overline{CS} 直到 $DB[15:0]$ 三态禁用的延迟时间
			20	ns	V_{DRIVE} 高于 4.75V
			20	ns	V_{DRIVE} 高于 3.3V

参数	最小值	典型值	最大值	单位	描述
t_{14}^2			20	ns	V_{DRIVE} 高于 2.7V
			20	ns	V_{DRIVE} 高于 2.3V
					\overline{RD} 下降沿后的数据访问时间
			15	ns	V_{DRIVE} 高于 4.75V
			15	ns	V_{DRIVE} 高于 3.3V
			20	ns	V_{DRIVE} 高于 2.7V
t_{15}	2			ns	\overline{RD} 下降沿后的数据保持时间
t_{16}	2		8	ns	\overline{CS} 到 DB[15:0]保持时间
t_{17}			22	ns	从 \overline{CS} 上升沿到 DB[15:0]三态使能的延迟时间
$t_{S-\overline{CS_WR}}$	0			ns	\overline{CS} 到 \overline{WR} 建立时间
t_{HP_WR}				ns	\overline{WR} 高电平脉冲宽度
t_{LP_WR}				ns	\overline{WR} 低电平脉冲宽度
$t_{H_WR-\overline{CS}}$	90			ns	V_{DRIVE} 高于 4.75V
	90			ns	V_{DRIVE} 高于 3.3V
	90			ns	V_{DRIVE} 高于 2.7V
	220			ns	V_{DRIVE} 高于 2.3V
	0			ns	\overline{WR} 保持时间
$t_{S_DB_WR}$	10			ns	配置数据到 \overline{WR} 建立时间
$t_{H_WR_DB}$	10			ns	配置数据到 \overline{WR} 保持时间
t_{CYC_WR}	230			ns	配置数据建立时间, \overline{WR} 上升沿到下一个 \overline{WR} 上升沿
串行模式时序规格					
f_{SCLK}			25	MHz	串行读取时钟频率
			25	MHz	V_{DRIVE} 高于 4.75V V_{DRIVE} 高于 3.3V
t_8	5			ns	\overline{CS} 到 SCLK 下降沿建立时间
t_9	5			ns	\overline{CS} 到 SCLK 上升沿保持时间
t_{18}					从 \overline{CS} 直到 D_{OUTA}/D_{OUTB} 三态禁用的延迟时间/从 \overline{CS} 直到 MSB 有效延迟时间
			20	ns	V_{DRIVE} 高于 4.75V
			20	ns	V_{DRIVE} 高于 3.3V
			20	ns	$V_{DRIVE}=2.3V$ 至 2.7V
					SCLK 上升沿后的数据访问时间
t_{19}			15	ns	V_{DRIVE} 高于 4.75V
			17	ns	V_{DRIVE} 高于 3.3V
			20	ns	V_{DRIVE} 高于 2.7V
			25	ns	V_{DRIVE} 高于 2.3V
t_{20}	$0.4 t_{SCLK}$			ns	SCLK 低电平脉冲宽度
t_{21}	$0.4 t_{SCLK}$			ns	SCLK 高电平脉冲宽度
t_{22}	2			ns	SCLK 上升沿到 D_{OUTA}/D_{OUTB} 有效的保持时间
t_{23}			22	ns	\overline{CS} 上升沿到 D_{OUTA}/D_{OUTB} 三态使能的延迟时间
$t_{S_SDI_SCK}$	5			ns	SCLK 上升沿前的数据输入建立时间
$t_{H_SCK_SDI}$	0			ns	SCLK 下降沿后的数据输入保持时间

参数	最小值	典型值	最大值	单位	描述
FRSTDATA 操作					
t_{24}			20	ns	从 \overline{CS} 下降沿直到 FRSTDATA 三态禁用的延迟时间 V_{DRIVE} 高于 4.75V
			20	ns	V_{DRIVE} 高于 3.3V
			20	ns	V_{DRIVE} 高于 2.7V
			20	ns	V_{DRIVE} 高于 2.3V
t_{25}			20	ns	从 \overline{CS} 下降沿到 FRSTDATA 高电平延迟时间, 串行模式 V_{DRIVE} 高于 4.75V
			20	ns	V_{DRIVE} 高于 3.3V
			20	ns	V_{DRIVE} 高于 2.7V
			20	ns	V_{DRIVE} 高于 2.3V
t_{26}			15	ns	从 \overline{RD} 下降沿直到 FRSTDATA 高电平的延迟时间 V_{DRIVE} 高于 4.75V
			20	ns	V_{DRIVE} 高于 3.3V
			20	ns	V_{DRIVE} 高于 2.7V
			25	ns	V_{DRIVE} 高于 2.3V
t_{27}			15	ns	从 \overline{RD} 下降沿直到 FRSTDATA 低电平的延迟时间 $V_{DRIVE}=2.3V$ 至 5.25V
t_{28}			15	ns	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平延迟时间 $V_{DRIVE}=3.3V$ 至 5.25V
			20	ns	$V_{DRIVE}=2.3V$ 至 3.3V
t_{29}			22	ns	从 \overline{CS} 上升沿到 FRSTDATA 三态使能的延迟时间

1. 对于这些测量, 数据输出引脚上使用了缓冲, 它相当于输出引脚上有 10pF 的负载。

时序图

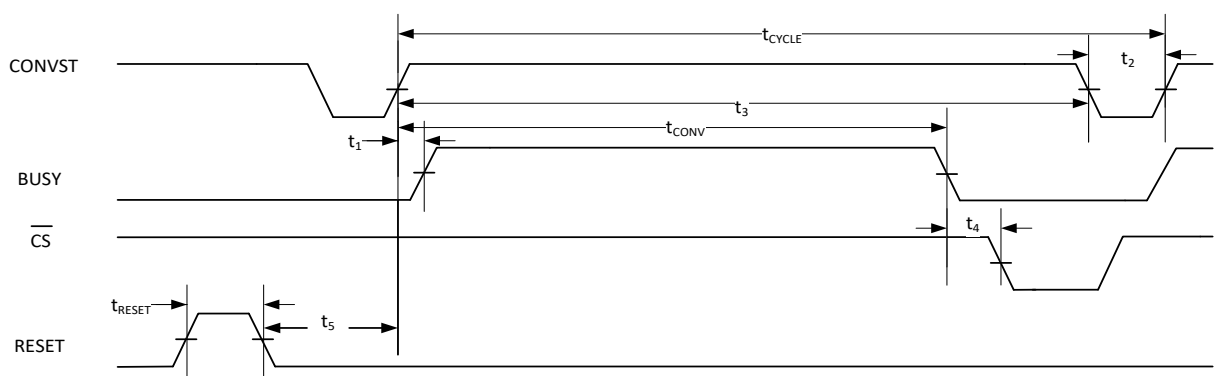


图 2. CONVST 时序——转换之后读取

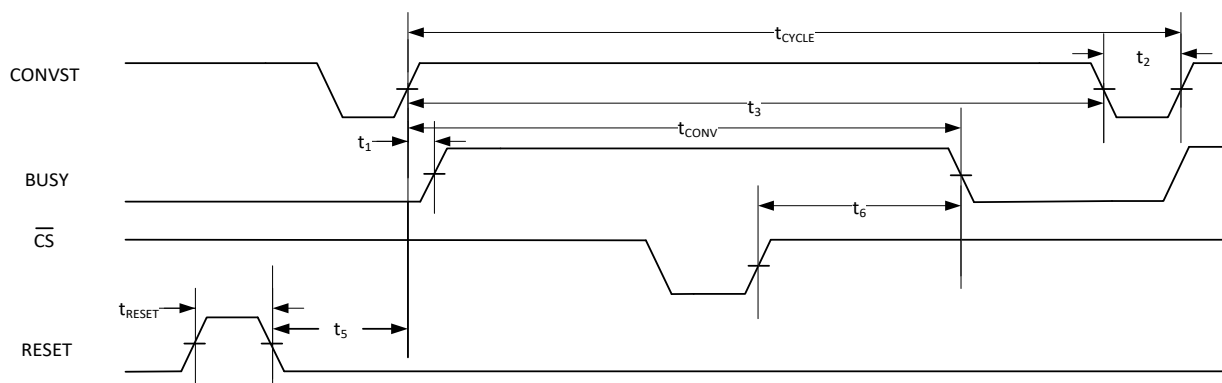


图 3. CONVST 时序——转换期间读取

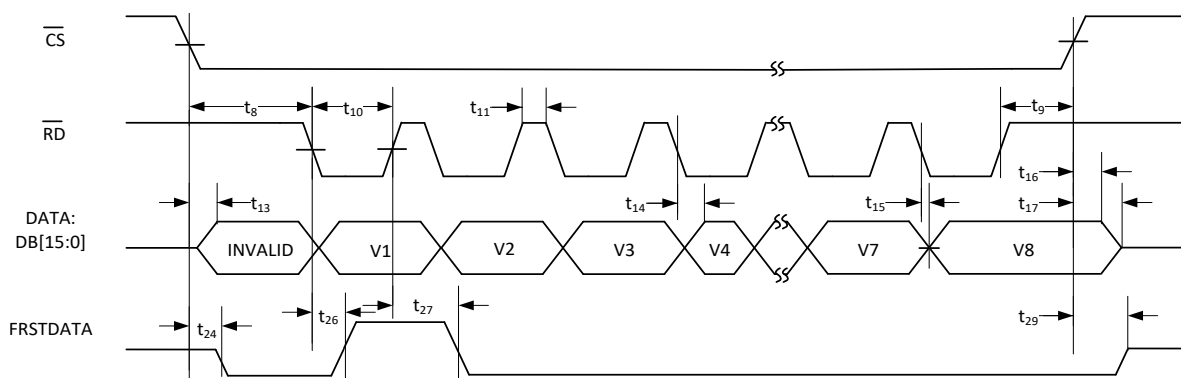


图 4. 并行模式，独立 \overline{CS} 和 \overline{RD} 脉冲

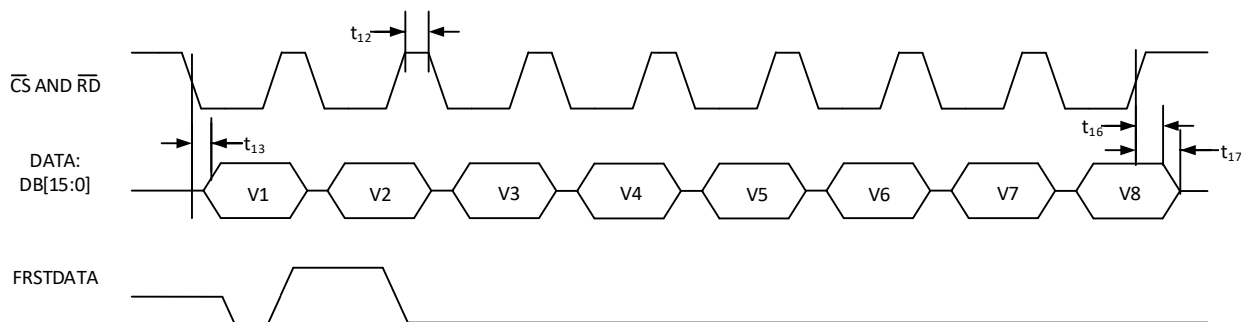


图 5. \overline{CS} 和 \overline{RD} 相连的并行模式

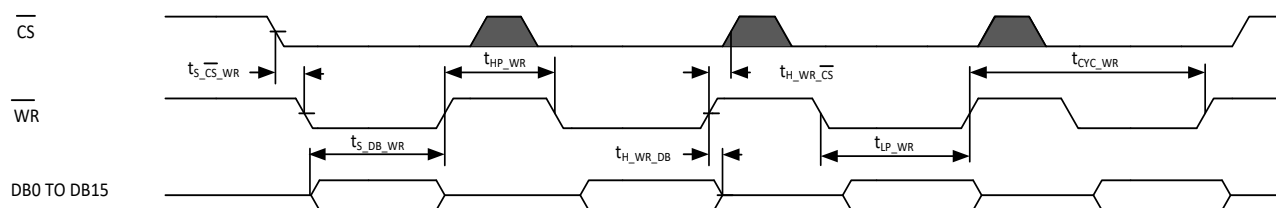


图 6. 并行模式写操作

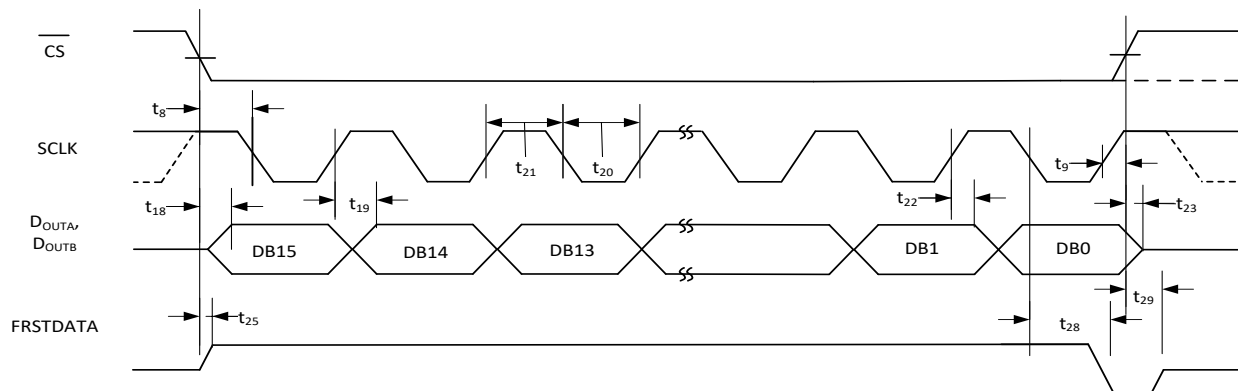


图 7. 串行接口, ADC 读取模式 (通道 1)

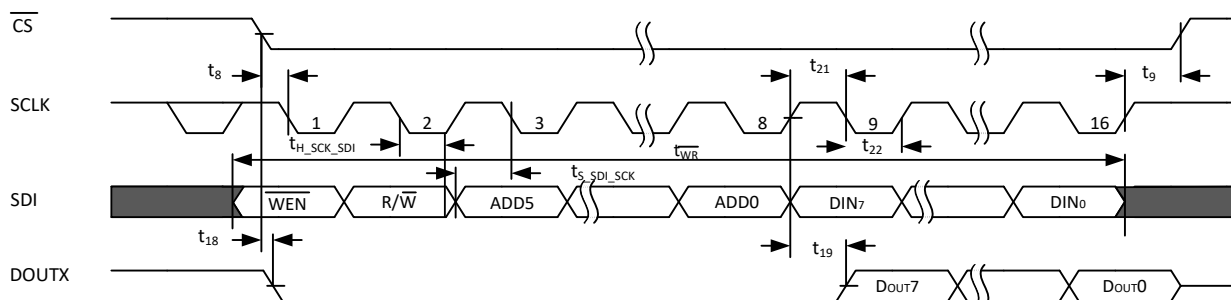


图 8. 串行接口, 寄存器映射读/写操作

绝对最大额定值

除非另有说明， $T_A=25^{\circ}\text{C}$ 。

表 3

参数	额定值
电气参数	
AV_{CC} 至 AGND	-0.3V 至 +7V
V_{DRIVE} 至 AGND	-0.3V 至 $AV_{CC}+0.3V$
模拟输入电压至 AGND ¹	$\pm 16V$
数字输入电压至 DGND	-0.3V 至 $V_{DRIVE}+0.3V$
数字输入电压至 GND	-0.3V 至 $V_{DRIVE}+0.3V$
REFIN 至 AGND	-0.3V 至 $AV_{CC}+0.3V$
输入电流至除电源外的任何引脚 ¹	$\pm 10\text{mA}$
工作温度范围	-40°C 至 $+85^{\circ}\text{C}$
存储温度范围	-65°C 至 $+150^{\circ}\text{C}$
结温	$+150^{\circ}\text{C}$
铅锡焊接温度， 回流焊（10 秒至 30 秒）	$240 (+0)^{\circ}\text{C}$
无铅回流焊温度	$260 (+0)^{\circ}\text{C}$
ESD（除模拟输入外的所有引脚）	2kV
ESD（仅模拟输入引脚）	7kV

1. 高达 100mA 的瞬态电流不会造成 SCR 闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。这些技术规格适用于 4 层电路板。

表 4

封装类型	θ_{JA}	θ_{JC}	单位
64 引脚 LQFP	45	11	$^{\circ}\text{C}/\text{W}$

ESD 警告

ESD（静电放电）敏感器件

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

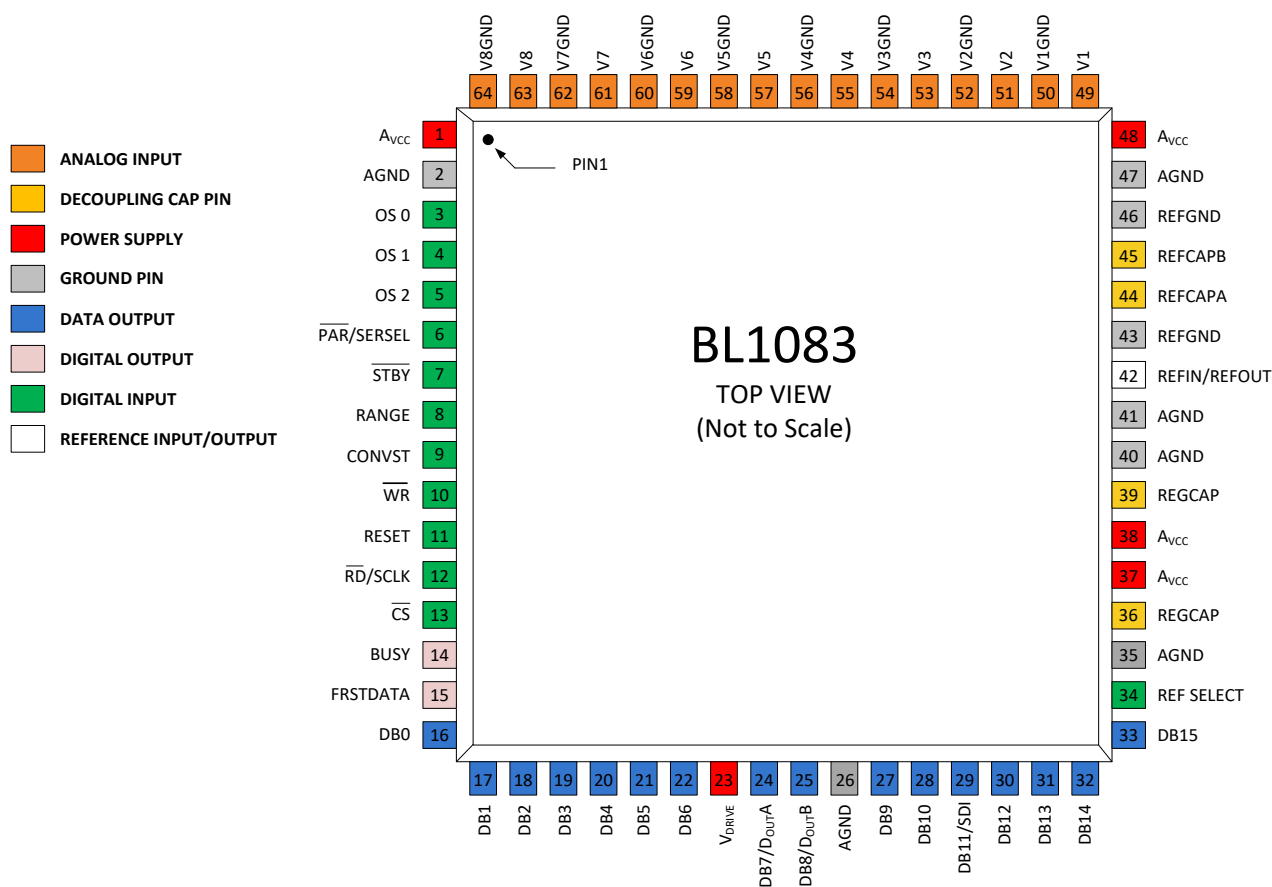


图 9. BL1083 引脚配置 (顶视图)

表 5. 引脚功能描述

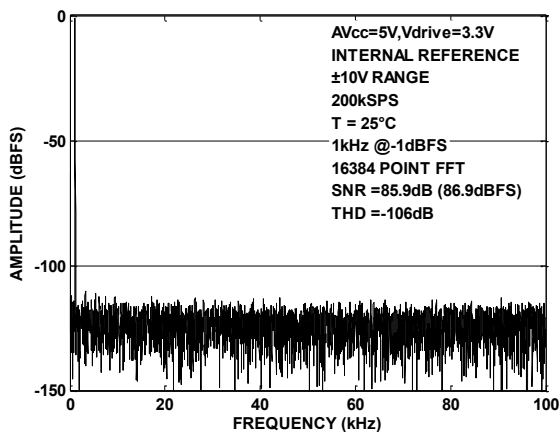
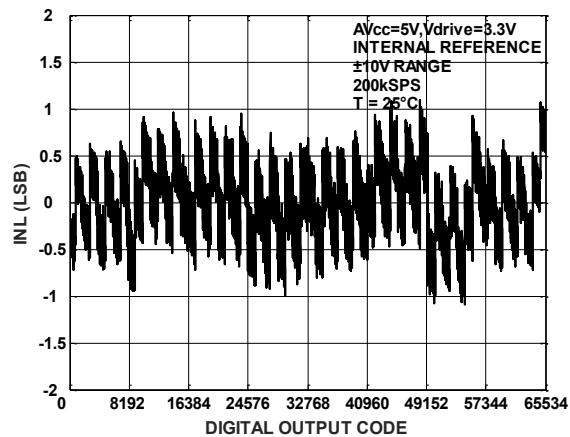
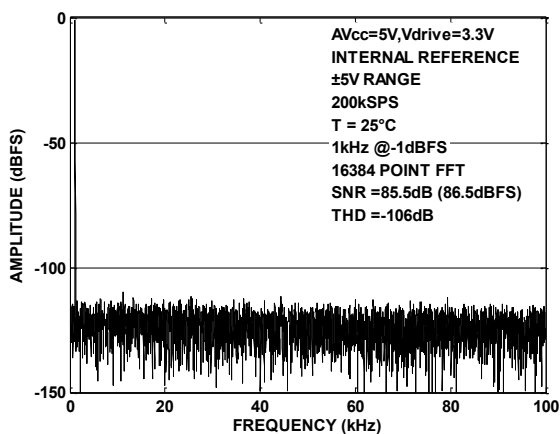
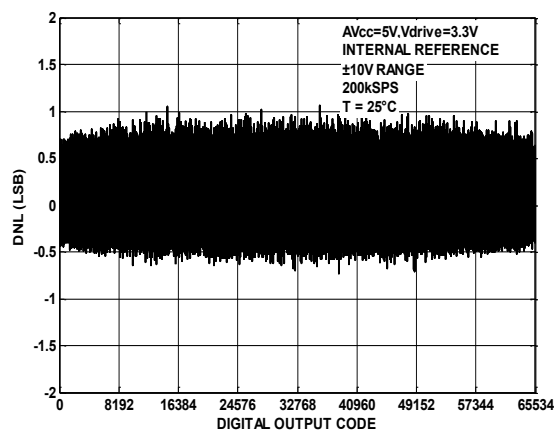
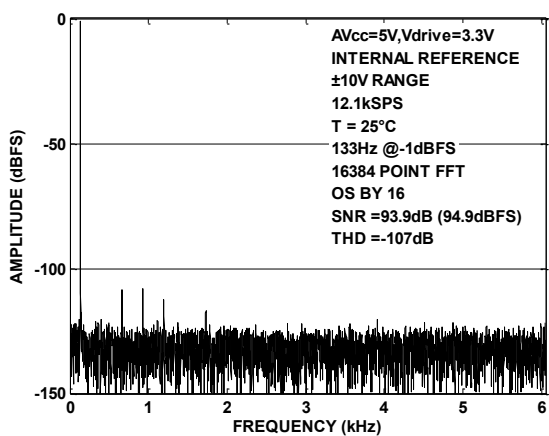
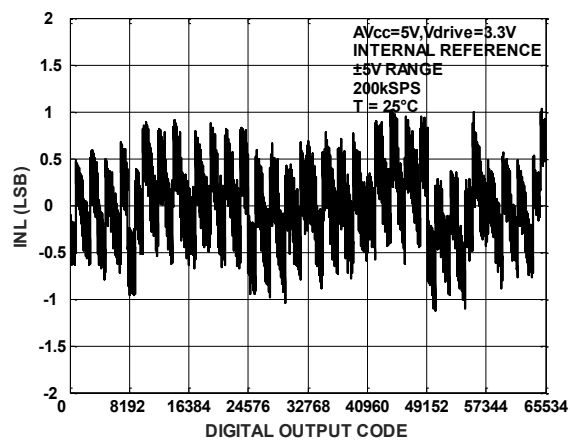
引脚编号	引脚名称	类型	描述
电源			
1,37,38, 48	AV _{CC}	电源	模拟电源电压, 4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压, 须将这些电源引脚去耦至 AGND。
2,26,35, 40,41,47	AGND	地	模拟地。这些引脚是 BL1083 上所有模拟电路的接地基准点, 所有模拟输入信号和外部基准信号都应参考这些引脚, 所有的 6 个 AGND 引脚都应连接到系统的 AGND 平面。
23	V _{DRIVE}	电源	逻辑电源输入, 此引脚的电源电压 (2.3V 至 5.25V) 决定逻辑接口的工作电压。此引脚的标称电源与主机接口 (即 DSP 和 FPGA) 电源相同。
50,52,54, 56,58,60, 64	V1GND,V2GND, V3GND,V4GND, V5GND,V6GND, V7GND,V8GND	地	模拟输入接地引脚。这些引脚与模拟输入引脚 V1 至 V8 对应。所有模拟输入 AGND 引脚都应连接到 AGND 系统平面。
36,39	REGCAP	电源	内部稳压器电压输出的去耦电容引脚。应分别将这些输出引脚通过一个 1μF 电容去耦至 AGND。这两个引脚不能互相短接, 否则将引起功能失效。

引脚编号	引脚名称	类型	描述
数字			
5,4,3	OS[2:0]	输入	过采样模式引脚。逻辑输入。这些输入用来选择过采样倍率或启用软件模式。OS 2 为 MSB 控制位，OS 0 为 LSB 控制位。关于过采样工作模式的更多信息，见“数字滤波器”部分；关于过采样解码，见表 13。
6	PAR/SER SEL	输入	并行/串行选择输入。逻辑输入。如果此引脚与逻辑低电平相连，选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。关于每个可用接口的更多信息，请参见“数字接口”部分。
7	$\overline{\text{STBY}}$	输入	待机模式输入，此引脚拉低使 ADC 进入待机模式。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其他电路均关断。
8	RANGE	输入	模拟输入电压范围选择。逻辑输入。此引脚的极性决定模拟输入通道的输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为 $\pm 10\text{V}$ 。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为 $\pm 5\text{V}$ 。此引脚的逻辑状态改变会立即影响模拟输入范围。对于快速吞吐速率应用，转换期间建议不要更改此引脚的逻辑状态。详细信息请参见“模拟输入”部分。
9	CONVST	输入	转换开始输入。逻辑输入，用来启动模拟输入通道转换。 当引脚从低电平变为高电平时，模拟输入的前端采样保持电路被设置为保持。
10	$\overline{\text{WR}}$	输入	数字输入。在硬件模式下，此引脚可连接到高电平，也可连接到低电平，还可与 CONVST 信号短接。在软件模式下，此引脚为低电平有效写入，用于通过并行接口写入寄存器。更多信息请参见“并行接口”部分。
11	RESET	输入	复位输入。当设置为逻辑高电平时，RESET 上升沿复位 BL1083。器件应该在上电后收到一个 RESET 脉冲。RESET 高脉冲宽度典型值为 35ns。如果在转换期间施加 RESET 脉冲，转换将中断。如果在读取期间施加 RESET 脉冲，输出寄存器的内容将复位至全 0。 在进入和退出软件模式后，需要施加复位脉冲。复位会将器件恢复为默认上电状态。
12	$\overline{\text{RD}}/\text{SCLK}$	输入	选择并行接口时为并行数据读取控制输入($\overline{\text{RD}}$)/选择串行接口时为串行时钟输入(SCLK)。更多信息请参见“数字接口”部分。
13	$\overline{\text{CS}}$	输入	片选。对于串行和并行接口，此引脚均为低电平有效片选输入，用于 ADC 数据读取和寄存器读写。更多信息请参见“数字接口”部分。
14	BUSY	输出	输出繁忙。CONVST 达到上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY 输出保持高电平，直到所有通道的转换过程完成为止。BUSY 下降沿表示转换数据正被锁存至输出数据寄存器，经过时间 t_4 之后便可供读取。在 BUSY 为高电平时执行的数据读取操作应当在 BUSY 下降沿之前完成。当 BUSY 信号为高电平时，CONVST 的上升沿不起作用。
15	FRSTDATA	输出	数字输出。FRSTDATA 输出信号指示何时在并行接口（见图 4）或串行接口（见图 7）上读回第一通道 V1。详情请参见“数字接口”部分。
22 to 16	DB[6:0]	输入/ 输出	并行输出/输入数据位。使用并行接口时，这些引脚充当三态并行数字输入/输出引脚。使用串行接口时，这些脚应该接到 AGND。更多信息请参见“并行接口”部分。
24	DB7/ D _{OUTA}	输入/ 输出	并行输出/输入数据位 7(DB7)/串行数据输出(D _{OUTA})。

引脚编号	引脚名称	类型	描述
25	DB8/ D _{OUTB}	输入/ 输出	使用并行接口时，此引脚充当三态并行数字输入/输出引脚。使用串行接口时，此引脚用作 D _{OUTA} 。有关每种数据接口和更多工作模式的信息，请参见表 9 和表 10。 并行输出/输入数据位 8(DB8)/串行数据输出(D _{OUTB})。
28	DB11/SDI	输入/ 输出	使用并行接口时，此引脚充当三态并行数字输入/输出引脚。使用串行接口时，此引脚用作 D _{OUTB} 。有关每种数据接口和更多工作模式的信息，请参见表 9 和表 10。 并行输出/输入数据位 11(DB11)/串行数据输入(SDI)。
26,27, 29 to 33	DB[9],DB[10], DB[12:15]	输入/ 输出	使用并行接口时，此引脚充当三态并行数字输入/输出引脚。在软件模式下使用串行接口时，此引脚用作串行数据输入。有关每种数据接口和更多工作模式的信息，请参见表 9 和表 10。 并行输出/输入数据位。使用并行接口时，这些引脚充当三态并行数字输入/输出引脚。使用串行接口时，这些脚应该接到 AGND。更多信息请参见“并行接口”部分。
34	REF SELECT	输入	内部/外部基准电压选择输入。逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚。
REF			
42	REFIN/ REFOUT	输入/ 输出	基准电压输入(REFIN)/基准电压输出(REFOUT)。如果 REF SELECT 引脚设置为逻辑高电平，此引脚将提供 2.5V 片内基准电压供外部使用。或者，可将 REF SELECT 引脚设置为逻辑低电平以禁用内部基准电压，并将 2.5V 外部基准电压施加到此输入端(见“内部/外部基准电压”部分)。无论使用内部还是外部基准电压，都需对此引脚去耦。应在此引脚与 REFGND 引脚附近的地之间连接一个 10μF 电容。
43,46	REFGND	地	基准电压接地引脚。这些引脚应连接到 AGND。
44,45	REFCAPA, REFCAPB	输出	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低 ESR 10μF 陶瓷电容去耦至 AGND。这些引脚上的电压通常为 4.5V。
模拟			
49,,51,53, 55,57,59, 61,63	V1,V2,V3,V4 V5,V6,V7,V8	输入	模拟输入。这些引脚为单端模拟输入。这些通道的模拟输入范围由 RANGE 引脚决定。

典型工作特性

BL1083

图 10. BL1083 FFT $\pm 10V$ 范围图 13. BL1083 典型 INL, $\pm 10V$ 范围图 11. BL1083 FFT $\pm 5V$ 范围图 14. BL1083 典型 DNL, $\pm 10V$ 范围图 12.16 倍过采样 FFT 图, $\pm 10V$ 范围图 15. BL1083 典型 INL, $\pm 5V$ 范围

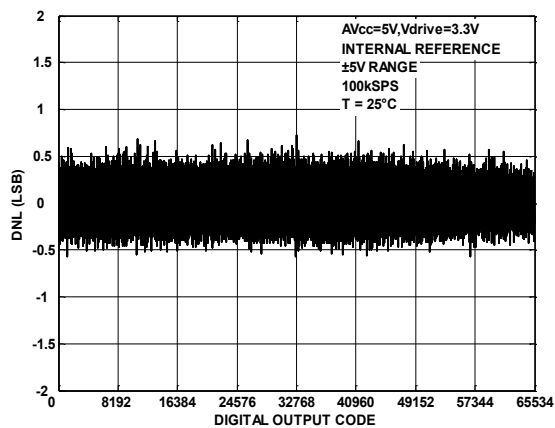


图 16. BL1083 典型 DNL, ±5V 范围

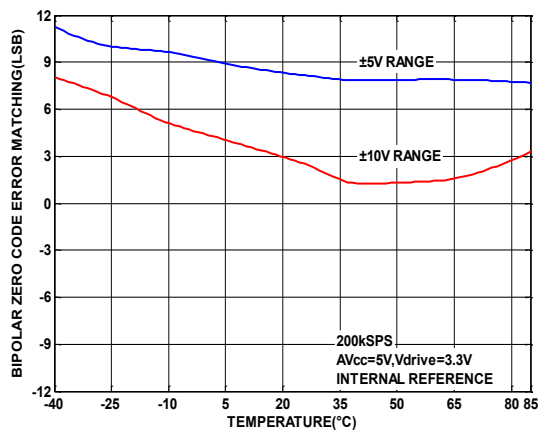


图 19. 通道间的双极性零代码误差匹配

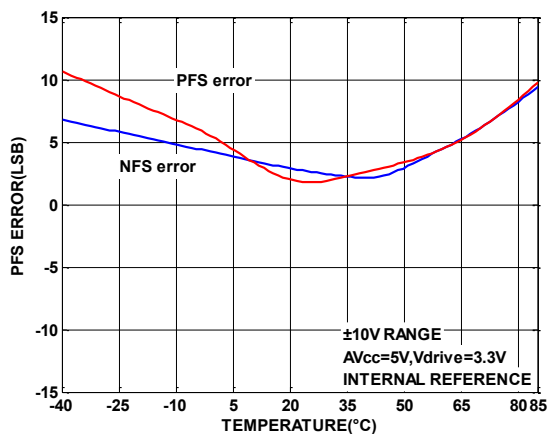


图 17. NFS 与 PFS 误差匹配

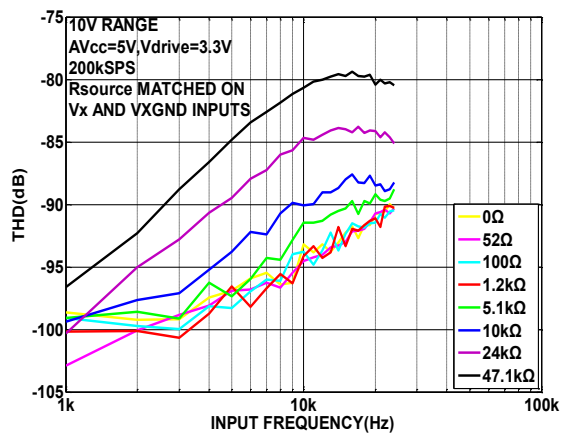


图 20. 各种源阻抗下 THD 与输入频率的关系, ±10 范围

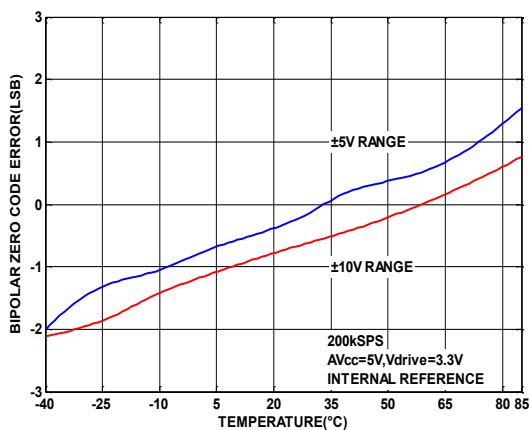


图 18. 双极性零代码误差与温度的关系

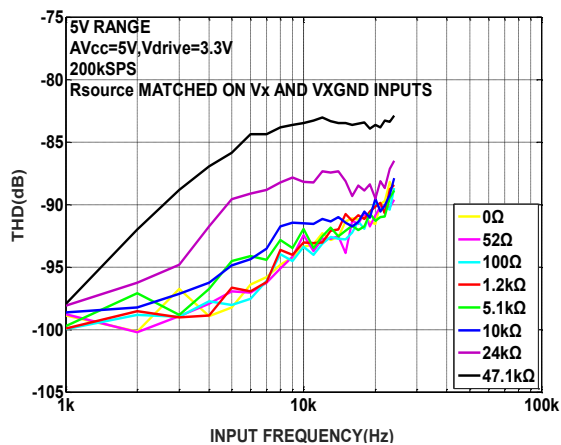


图 21. 各种源阻抗下 THD 与输入频率的关系, ±5V 范围

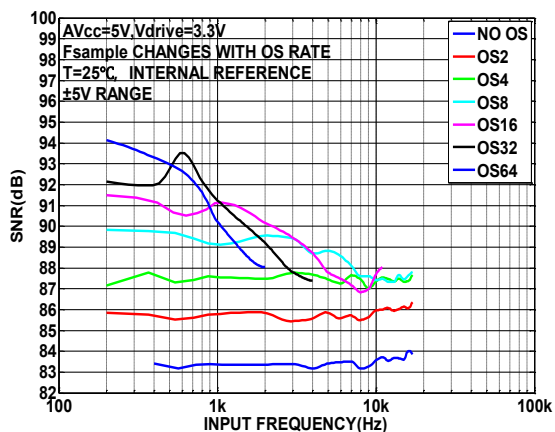


图 22. 不同过采样倍率下 SNR 与输入频率的关系, ±5V 范围

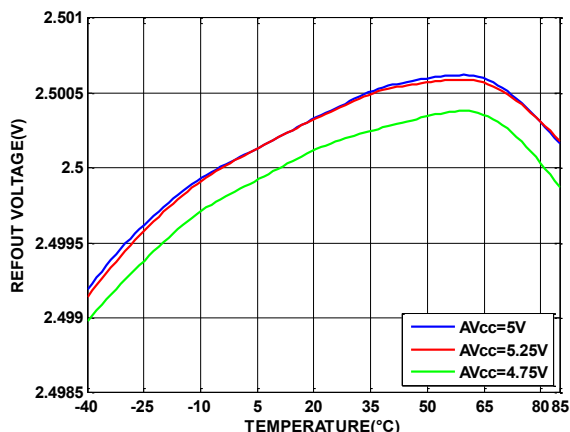


图 25. 不同电源电压下基准输出电压与温度的关系

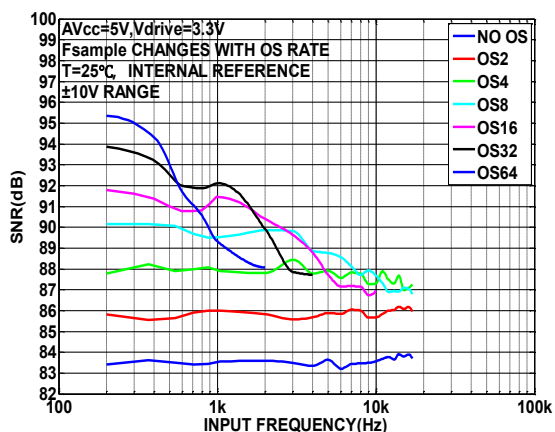


图 23. 不同过采样倍率下 SNR 与输入频率的关系, ±10V 范围

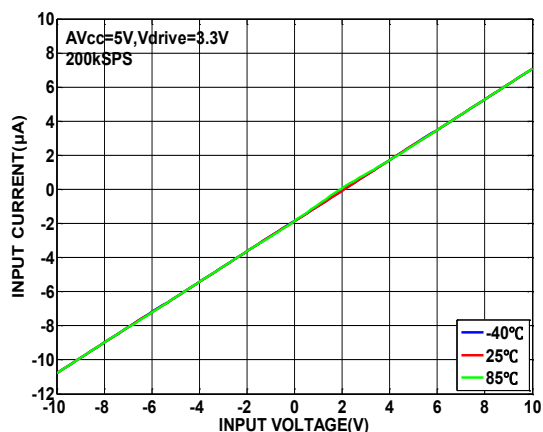


图 26. 不同模拟输入电压下模拟输入电流与温度的关系

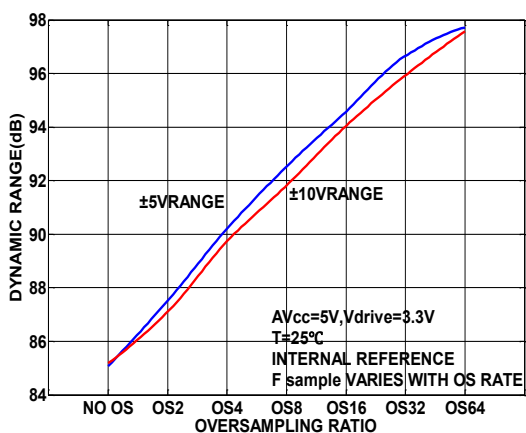


图 24. 动态范围与过采样倍率的关系

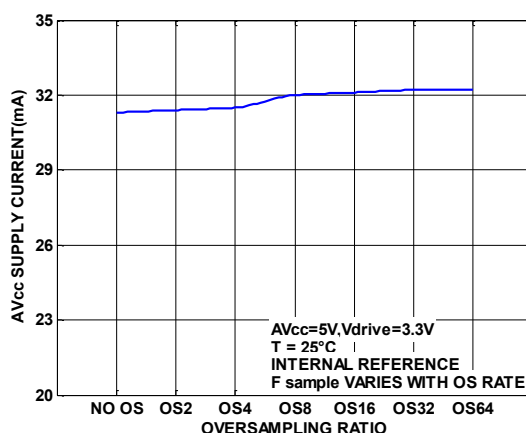


图 27. 电源电流与过采样倍率的关系

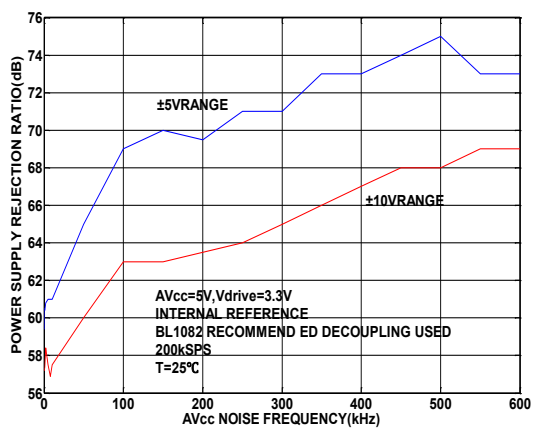


图 28. 电源抑制比 (PSRR)

术语

积分非线性(INL)

ADC 传递函数与一条通过 ADC 传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的 1/2 LSB 处的电平，终点在高于最后一个码转换的 1/2 LSB 处的满量程。

微分非线性(DNL)

ADC 中任意两个相邻码之间所测得变化值与理想的 1LSB 变化值之间的差异。

双极性零代码误差

半量程转换(全 1 到全 0)与理想值，即 $0V - 1/2$ LSB 的偏差。

双极性零代码误差匹配

任何两个输入通道之间双极性零代码误差的绝对差。

正满量程误差

校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换($10V - 1/2$ LSB(9.99954)和 $5V - 1/2$ LSB (4.99977))的偏差。正满量程误差包括内部基准电压缓冲的贡献。

正满量程误差匹配

任何两个输入通道之间正满量程误差的绝对差。

负满量程误差

校正双极性零代码误差之后，实际的第一个码转换与理想的第一个码转换($-10V + 1/2$ LSB(-9.99984)和 $-5V + 1/2$ LSB (4.99992))的偏差。负满量程误差包括内部基准电压缓冲的贡献。

负满量程误差匹配

任何两个输入通道之间负满量程误差的绝对差。

信纳比(SINAD)

在 ADC 输出端测得的信号对噪声及失真比。这里的信号是基波的均方根幅值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想 N 位转换器，信纳比理论值计算公式为：

$$\text{信纳比} = (6.02N + 1.76)\text{dB}$$

因此，16 位转换器的信纳比理论值为 98dB。

总谐波失真(THD)

所有谐波均方根和与基波的比值。对于 BL1083，其定义为

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中： V_1 是基波幅值的均方根值。

V_2 至 V_9 是二次到九次谐波幅值的均方根值。

峰值谐波或杂散噪声

在 ADC 输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪声底的 ADC，则由噪声峰值决定。

交调失真

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和差频率 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3$) 的形式产生失真产物。交调失真项的 m 和 n 都不等于 0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

交调失真根据 THD 参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)来表示。

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。电源抑制比(PSRR)定义为满量程频率 f 下 ADC 输出功率与频率 f_s 下施加于 ADC V_{DD} 和 V_{SS} 电源的 100mV 峰峰值正弦波功率的比值：

$$\text{PSRR(dB)} = 10 \log(P_f/P_{fs})$$

其中： P_f 是在频率 f 下 ADC 的输出功率。

P_{fs} 是在频率 f_s 下耦合到 AV_{CC} 电源的功率。

工作原理

转换器详解

BL1083 是采用高速、低功耗、逐次逼近型模数转换器 (SAR ADC) 的数据采集系统, 分别可以对 8 个模拟输入通道进行同步采样。其模拟输入可以接受真双极性输入信号。使用 RANGE 引脚可以选择 $\pm 10\text{V}$ 或 $\pm 5\text{V}$ 的输入范围。BL1083 采用 5V 单电源供电。

BL1083 内置输入箝位保护、可变增益放大器、二阶抗混叠滤波器、采样保持电路、片内基准电压源、参考电压缓冲器、高速 SAR ADC、数字滤波器以及高速并行和串行接口。BL1083 采样通过 CONVST 信号进行控制。

模拟输入

模拟输入范围

BL1083 可处理真双极性、单端输入电压。RANGE 引脚的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连, 则所有通道的模拟输入范围为 $\pm 10\text{V}$ 。如果此引脚与逻辑低电平相连, 则所有通道的模拟输入范围为 $\pm 5\text{V}$ 。此引脚的逻辑状态改变会立即影响模拟输入范围, 但是, 除正常采集时间要求外, 还有典型值约为 $80\mu\text{s}$ 的建立时间要求。建议根据系统信号所需的输入范围, 通过硬连线设置 RANGE 引脚。

模拟输入阻抗

BL1083 的模拟输入阻抗为 $1\text{M}\Omega$ 。这是固定输入阻抗, 不随 BL1083 采样频率而变化。高模拟输入阻抗可免除 BL1083 前端的驱动放大器, 允许其与信号源或传感器直接相连。由于无需驱动放大器, 因此可去掉信号链中的双极性电源(它通常是系统中的噪声源)。

模拟输入箝位保护

图 29 显示了 BL1083 的模拟输入结构。其各路模拟输入均含有箝位保护电路。虽然采用 5V 单电源供电, 但此模拟输入箝位保护允许输入过压达到 $\pm 16\text{V}$ 。

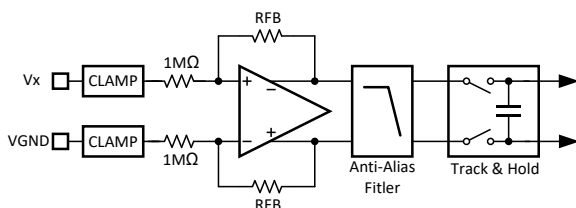


图 29. 模拟输入电路

图 30 显示了箝位电路电压与电流的关系。当输入电压不超过 $\pm 16\text{V}$ 时, 箝位电路中无电流。当输入电压超过 $\pm 16\text{V}$ 时, BL1083 箝位电路开启。

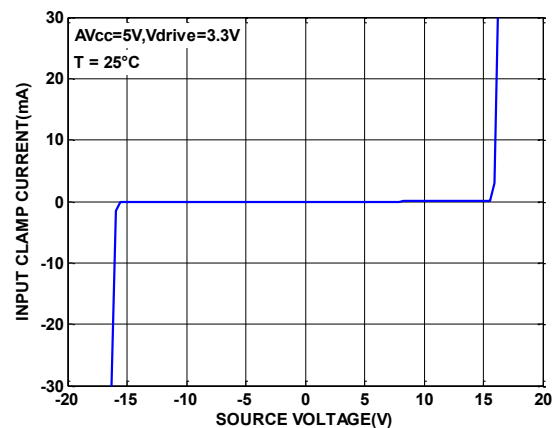


图 30. 输入箝位保护特性

模拟输入通道上应放置一个串联电阻, 以将输入电压超过 $\pm 16\text{V}$ 时的电流限制在 $\pm 10\text{mA}$ 以下。如果模拟输入通道 V_x 上有一个串联电阻, 则模拟输入 GND 通道 $V_{x\text{GND}}$ 上也需要一个与之对应相等的电阻(见图 31)。如果 $V_{x\text{GND}}$ 通道上没有对应的电阻, 该通道将出现失调误差。

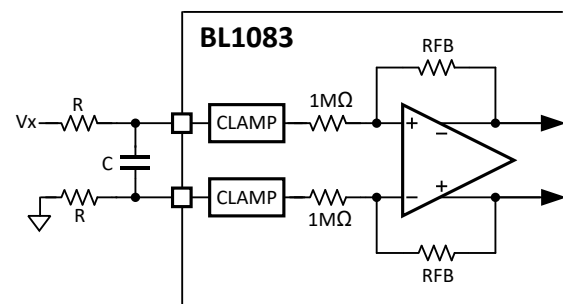


图 31. BL1083 模拟输入端上的输入电阻匹配

模拟输入抗混叠滤波器

BL1083 还提供了模拟抗混叠滤波器。图 32 显示了模拟抗混叠滤波器的频率。在±5V 范围内，-3dB 带宽典型值为 16.5kHz。在±10V 范围内，-3dB 带宽典型值为 23.4kHz。

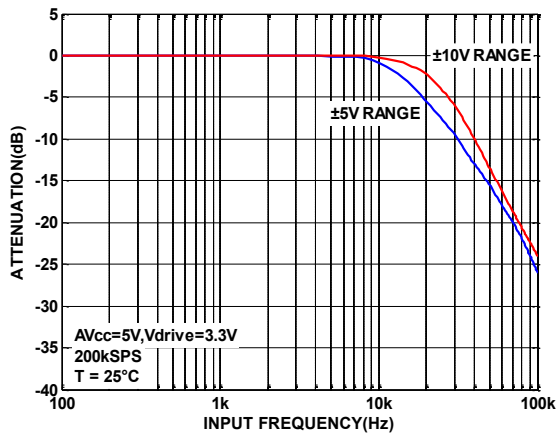


图 32. 模拟抗混叠滤波器频率响应

采样保持放大器

BL1083 上的采样保持放大器可使 ADC 以 16 位分辨率精确采集满量程幅值的输入信号。采样保持放大器在 CONVST 上升沿时对其各自输入进行同步采样。一个器件的八个采样保持放大器以及不同器件的采样保持放大器的孔径时间(即从外部 CONVST 信号上升沿到采样保持器实际进入保持模式的延迟时间)通过设计保证严格匹配。因此，允许一个系统中的多片 BL1083 进行同步采样。BUSY 下降沿表示所有八个通道的转换过程均已结束，此时采样保持器返回跟踪模式，下一批转换的采集时间开始计时。

转换采用内部时钟，BL1083 所有通道的转换时间为 4.38 μs，八个通道均完成转换后，BUSY 信号恢复低电平，表示转换过程结束。在 BUSY 下降沿时，采样保持放大器返回跟踪模式。BUSY 变为低电平后，可以通过并行串行接口从输出寄存器中读取新数据。或者，当 BUSY 为高电平时，可以读取前一次转换的数据。在转换期间从 BL1083 读取数据对性能几乎没有影响，可以实现更快的吞吐速率。

ADC 传递函数

BL1083 的输出编码为二进制补码。所设计的码转换在连续 LSB 整数值的中间(即 1/2 LSB 和 3/2LSB)进行。BL1083 的 LSB 大小为 FSR/65,536。BL1083 的理想传递特性如图 33 所示。

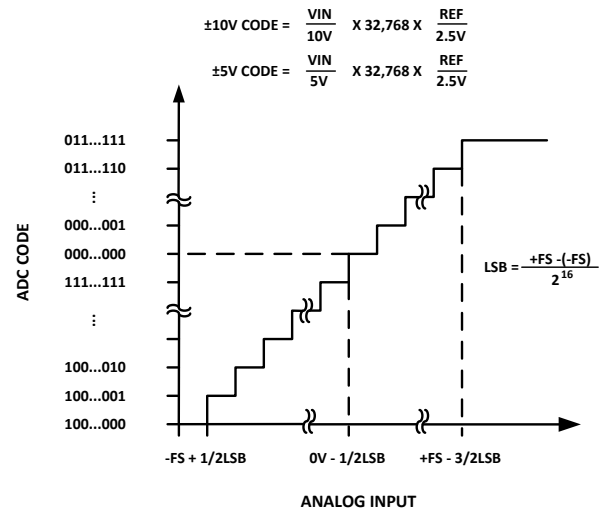


图 33. BL1083 传递特性

表 6

	+FS	MIDSCALE	-FS	LSB
±10V RANGE	+10V	0V	-10V	305μV
±5V RANGE	+5V	0V	-5V	152μV

LSB 大小取决于所选的模拟输入范围。

内部/外部基准电压

BL1083 内置一个 2.5V 片内带隙基准源。REFIN/REFOUT 引脚既可以使用该 2.5V 基准电压，以在内部产生 4.5V 片内参考电压，也允许施加一个 2.5V 外部基准电压。所施加的 2.5V 外部基准电压也会被内部缓冲放大至 4.5V。此 4.5V 缓冲的基准电压被用作 SAR ADC 参考电压。

REF SELECT 引脚是一个逻辑输入引脚，允许用户选择内部或外部基准电压。如果此引脚设为逻辑高电平，则选择并使用内部基准电压。如果此引脚设为逻辑低电平，则内部基准电压被禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚上。复位后，BL1083 工作在 REF SELECT 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 REFIN/REFOUT 引脚使用 10 μ F 陶瓷电容做去耦处理。

BL1083 内置一个参考电压缓冲器，用于将 2.5V REF 电压放大至约 4.5V 供 SAR ADC 使用，如图 34 所示。

REFCAPA 和 REFCAPB 引脚必须在外部短路连在一起，并通过一个 10 μ F 陶瓷电容连接至 REFGND，以确保缓冲器正常工作。

当 BL1083 配置为外部基准电压模式时，REFIN/REFOUT 引脚为高输入阻抗引脚。对于使用多个 BL1083 器件的应用，建议根据应用要求采取下列配置。

外部基准电压模式

该模式下，可以用一个外部基准电压源 ADR421 驱动所有 BL1083 器件的 REFIN/REFOUT 引脚(见图 35)。此配置中，BL1083 的每一个 REFIN/REFOUT 引脚都应该使用至少一个 100nF 的去耦电容。

内部基准电压模式

该模式下，被配置为内部基准电压模式的一个 BL1083 器件，可以被用来驱动配置为外部基准电压模式的其余 BL1083 器件(见图 36)。配置为内部基准电压模式的 BL1083 须利用 10 μ F 陶瓷去耦电容对其 REFIN/REFOUT 引脚去耦。配置为外部基准电压模式的其他 BL1083 器件应各利用至少一个 100nF 的去耦电容对其 REFIN/REFOUT 引脚去耦。

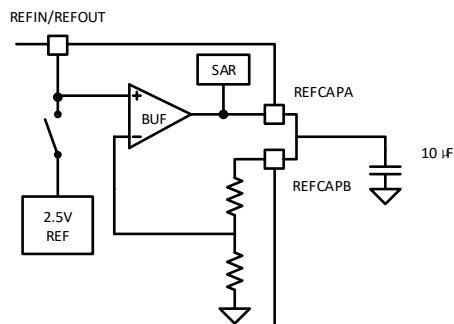


图 34. 基准电压电路

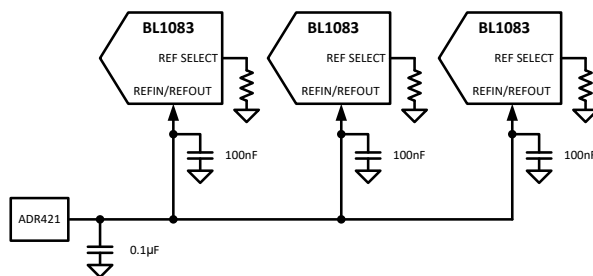


图 35. 一个外部基准电压源驱动多个 BL1083 REFIN 引脚

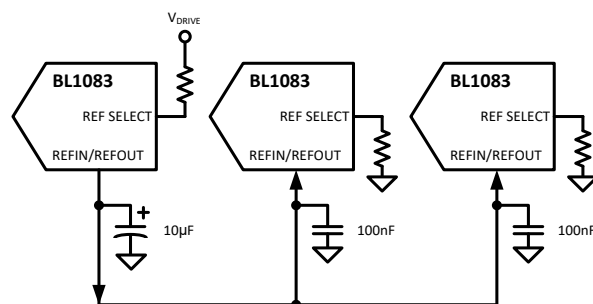


图 36. 内部基准电压源驱动多个 BL1083 REFIN 引脚

省电模式

BL1083 提供一种省电模式：待机模式。 $\overline{\text{STBY}}$ 引脚控制 BL1083 是处在正常模式还是省电模式，BL1083 支持硬件模式下表 7 中引脚配置以及软件模式下寄存器配置（地址 0x02 的位[1:0]）。当 BL1083 处于待机模式时，最大功耗为 11mA，片内基准电压源和稳压器仍然工作。由于 REFCAPA 和 REFCAPB 引脚上的电容须有一个充电并稳定的过程，从待机模式恢复至正常工作模式时间约为 500ns，经过所需上电时间后，还须对 BL1083 施加 RESET 信号。

表 7

省电模式	$\overline{\text{STBY}}$
待机	0

数字接口

BL1083 提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过 $\overline{\text{PAR/SER SEL}}$ 引脚来选择。

表 8. 接口模式选择

$\overline{\text{PAR/SER SEL}}$	接口模式
0	并行接口
1	串行接口

下面几节讨论这些接口模式的工作原理。

硬件模式

在硬件模式下，只有 ADC 读取模式可用。要从 BL1083 读取 ADC 数据，可以通过并行数据总线并使用标准 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号，或通过串行接口并使用标准 $\overline{\text{CS}}$ 、SCLK和两个 DOUTX 信号。

有关 ADC 读取模式工作原理的更多信息，参见“读取转换结果（并行 ADC 模式）”部分和“读取转换结果（串行 ADC 模式）”部分。

表 9. 每种工作模式数据接口引脚功能（并行接口）

引脚名称	引脚编号	硬件模式	软件模式	
			ADC 模式	寄存器模式
DB0 至 DB6	16 至 22	DB0 至 DB6		寄存器数据
DB7/DOUTA	24	DB7		寄存器数据 (MSB)
DB8/DOUTB	25	DB8		ADD0
DB9	27	DB9		ADD1
DB10	28	DB10		ADD2
DB11/SDI	29	DB11		ADD3
DB12 至 DB14	30 至 32	DB12 至 DB14		ADD4 至 ADD6
DB15	33	DB15		R/W

表 10. 每种工作模式数据接口引脚功能（串行接口）

引脚名称	引脚编号	硬件模式	软件模式	
			ADC 模式	寄存器模式
DB0 至 DB6	16 至 22	N/A		N/A
DB7/DOUTA	24	DOUTA	DOUTA	SDO
DB8/DOUTB	25	DOUTB	DOUTB	未用
DB9	27	N/A	未用	未用
DB10	28		未用	未用
DB11/SDI	29		未用	SDI
DB12 至 DB14	30 至 32			
DB15	33			N/A

1.N/A 表示不适用，将所有 N/A 引脚连接到 AGND。

软件模式

在软件模式下（仅当 OS[2:0]引脚都连接为高电平后 RESET 才有效），ADC 读取模式和寄存器模式均可使用。通过并行数据总线并使用标准 $\overline{\text{CS}}$ 、 $\overline{\text{RD}}$ 和 $\overline{\text{WR}}$ 信号，或通过串行接口并使用标准 $\overline{\text{CS}}$ 、SCLK、SDI 和 DOUTA 线，可以从 BL1083 读取 ADC 数据和寄存器读写。

OS 引脚在软件模式下将不再提供过采样比的配置，过采样比需要通过寄存器进行配置。有关寄存器模式工作原理的更多信息，参见“并行/串行寄存器模式”。

引脚功能因所选接口（并行或串行）和工作模式（硬件或软件）而异，如表 9 和表 10 所示。

并行接口($\overline{\text{PAR/SER SEL}}=0$)

通过并行总线读取数据时，需将 $\overline{\text{PAR/SER SEL}}$ 引脚和低电平相连。通过内部选通 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 输入信号，可以将转换结果依次输出到数据总线。

$\overline{\text{CS}}$ 输入信号的上升沿使总线进入三态，其下降沿使总线脱离高阻态。 $\overline{\text{CS}}$ 是数据线的使能控制信号，利用该功能可以让多个 BL1083 器件共享同一并行数据总线。

读取转换结果（并行 ADC 模式）

对于单个 BL1083 的应用， $\overline{\text{CS}}$ 信号可永久接低电平，而 $\overline{\text{RD}}$ 信号可用来获取转换结果，如图 4 所示。BUSY 信号变为低电平后，可以读取新数据(见图 2)；或者 BUSY 为高电平时，可以读取前一次转换的数据(见图 3)。对于多个 BL1083 的应用，需要通过 $\overline{\text{CS}}$ 信号切换以控制多个 ADC 的并行数据总线的输出状态。

在 BL1083 被选通期间， $\overline{\text{RD}}$ 引脚用来从输出转换结果寄存器读取数据。对 $\overline{\text{RD}}$ 引脚施加一个 $\overline{\text{RD}}$ 脉冲序列，可使各通道的转换结果按升序逐个输出到并行总线 DB[15:0]。 $\overline{\text{CS}}$ 变为低电平后的第一个 $\overline{\text{RD}}$ 下降沿输出通道 V1 的转换结果，第二个 $\overline{\text{RD}}$ 下降沿则用 V2 转换结果更新总线，以此类推。当 $\overline{\text{RD}}$ 信号为逻辑低电平时，可将各通道的数据转换结果传输到数字主机(DSP、FPGA)。

FRSTDATA 信号在第一个 $\overline{\text{RD}}$ 下降沿输出，指示 V1 的转换结果正在总线上输出，且跟随第二个 $\overline{\text{RD}}$ 下降沿关断输出指示。

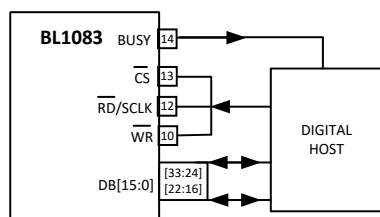
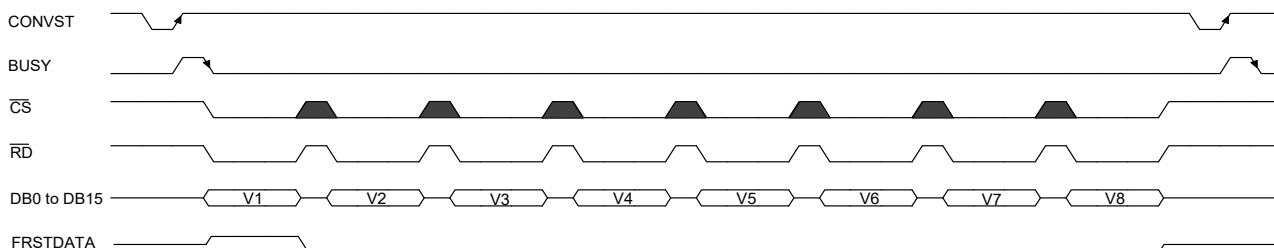
图 37. 一个 BL1083 使用并行总线 \overline{RD} 和 \overline{CS} 短接在一起

图 38. 并行接口，ADC 读取模式

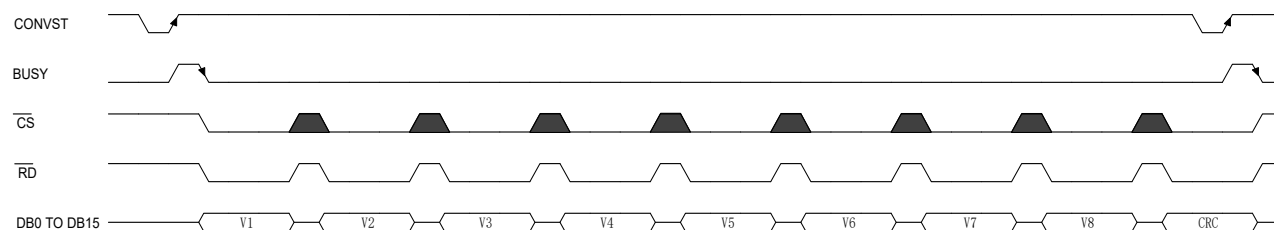


图 39. 并行接口，ADC 读取模式，使能 CRC

使能 CRC 的软件并行模式

在软件模式下，当通过寄存器配置（地址位 0x21 位 2）使能时，并行接口支持读取 ADC 数据并附加 CRC。CRC 为 16 位，在读取所有 8 通道转换结果后输出。如图 39 所示。CRC 计算包括 DBx 引脚上的所有数据。有关 CRC 的更多信息，请参见“CRC 校验和计算方法”部分。

并行寄存器模式（读取寄存器数据）

在软件模式下，表 12 中的所有可读/可写寄存器都可以通过并行接口读取。当 \overline{CS} 和 \overline{RD} 信号均为逻辑低电平以读取/写入寄存器内容时，DB[15:0] 保持高阻态。

寄存器读取通过两帧执行：首先将读取命令发送到 BL1083，其次是 BL1083 输出寄存器。寄存器读命令格式如所示。在第一帧，

- DB15 必须设置为 1 才能选择读取命令。读命令将 BL1083 置于寄存器模式。
- DB[14:8] 必须包含寄存器地址。
- 随后的 8 位 [7:0] 会被忽略。

寄存器地址在 \overline{WR} 信号的上升沿锁存在 BL1083 上。然后在下一帧拉低 \overline{RD} 信号，便可从锁存的寄存器中读取寄存器内容，如下所示：

当系统板上只有一个 BL1083 且它不共享并行总线时，可以将 \overline{CS} 和 \overline{RD} 信号可以连在一起，允许仅用一个控制信号来读取数据，如图 5 所示。这种情况下，数据总线在 $\overline{CS}/\overline{RD}$ 的下降沿时脱离三态。利用 \overline{CS} 和 \overline{RD} 合并信号，进行数据传输通信。

- BL1083 将 DB15 拉至 0。
- DB[14:8] 提供要被读取的寄存器地址。
- 随后的 8 位 DB[7:0] 提供寄存器内容。

要恢复到 ADC 读取模式，须写入地址 0x00，如“并行寄存器模式（写入寄存器数据）”部分所述。器件处于寄存器模式时，无法读取 ADC 数据。

并行寄存器模式（写入寄存器数据）

在软件模式下，表 12 中的所有可读/可写寄存器都可以通过并行接口写入。要写入一系列寄存器，须通过读取存储器映射上的任何寄存器来退出 ADC 读取模式（默认模式）。寄存器写命令通过单帧执行，使用并行总线

(DB[15:0])、 \overline{CS} 和 \overline{RD} 信号。写命令如所示。所示的写命令格式的结构如下：

- DB15 必须设置为 0 以选择写命令。
- DB[14:8] 必须包含寄存器地址。
- 随后的 8 位 [7:0] 包含要写入所选寄存器的数据。

数据在 \overline{WR} 信号的上升沿锁存在 BL1083 上。要恢复到 ADC 读取模式，须写入地址 0x00。器件处于寄存器模式时，无法读取 ADC 数据。

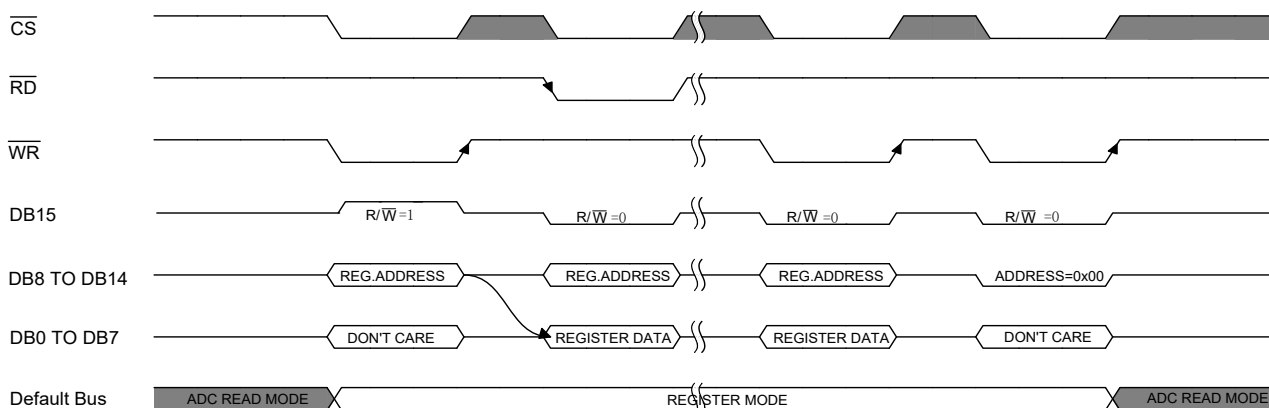


图 40. 并行接口寄存器读操作，随后是写操作

串行接口 (PAR/SER SEL = 1)

通过设置 $\overline{\text{PAR/SER SEL}}$ 引脚至高电平，将 BL1083 数据接口工作模式设置为串行接口。

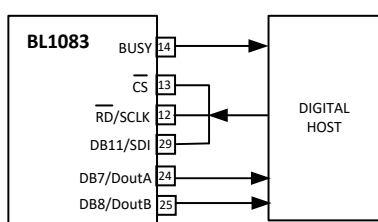


图 41. BL1083 接口图——一个 BL1083 使用串行接口和两条 DOUTX 线

读取转换结果 (串行 ADC 模式)

BL1083 有两个串行数据输出引脚：DOUTA 和 DOUTB。可通过单或双 DOUTX 线路从 BL1083 回读数据。双 DOUT 线路模式下，通道 V1 至 V4 的转换结果首先出现在 DOUTA 上，通道 V5 至 V8 的转换结果则首先出现在 DOUTB 上。在硬件模式下，只能选择双条 DOUTX 线。但是，通过在两个 CONVST 脉冲之间提供 8 个 16 位 SPI 帧，便可从 DOUTA 读取所有通道。

在软件模式单/双线下取决于寄存器（地址 0x02 位 3）中设置中的配置。

$\overline{\text{CS}}$ 和 SCLK 信号用作控制串行接口输出数据。 $\overline{\text{CS}}$ 下降沿使数据输出线路 DOUTA 和 DOUTB 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 DOUTA 和 DOUTB。可以使 $\overline{\text{CS}}$ 输入在整个串行读取操作过程中保持低电平，也可通过脉冲激活它，以使能各通道的 16 个 SCLK 周期帧读取。图 42 显示采用双 DOUT 线路在 BL1083 上读取八个同步转换结果。这种情况下，使用 64 个 SCLK 传输来访问 BL1083 的数据，并

且 $\overline{\text{CS}}$ 保持低电平，以使能全部 64 个 SCLK 周期帧。也可以仅用一路 DOUT 线逐个输出数据；这种情况下，建议用 DOUTA 访问所有转换数据，因为通道数据以升序输出。通过一路 DOUT 线路访问所有八个转换结果时，总共需要 128 个 SCLK 周期。串行模式下，不用的 DOUT 线应保持不连接。如果 DOUTB 线用作一路 DOUT 线，通过结果将以 V5、V6、V7、V8、V1、V2、V3、V4 的顺序输出，在 DOUTB 上读取 V5 后，FRSTDATA 指示就会恢复低电平。图 7 显示串行模式下从 BL1083 读取一个通道的数据（由 $\overline{\text{CS}}$ 信号使能帧传输）的时序图。SCLK 输入信号为串行读取操作提供时钟源。

FRSTDATA 输出信号指示何时 DOUTA 返回 V1 的转换结果。当 $\overline{\text{CS}}$ 输入为高电平时，FRSTDATA 输出引脚处于三态。在串行模式下 $\overline{\text{CS}}$ 下降沿使 FRSTDATA 脱离三态，并将 FRSTDATA 引脚设为高电平，表示 DOUTA 数据线正在输出 V1 的转换结果。在第 16 个 SCLK 下降沿之后，FRSTDATA 输出恢复逻辑低电平。如果所有通道都在 DOUTB 上读取，则当 V1 输出到此串行数据输出引脚时，FRSTDATA 输出不会变为高电平。只有当 DOUTA 提供 V1 转换结果时（对于 BL1083，此时 DOUTB 提供 V5 转换结果），它才会变为高电平。

转换期间读取

当 BUSY 为高电平，转换正在进行时，也可以在此期间从 BL1083 读取数据，不会影响转换器的性能，而且可以实现更快的吞吐速率。转换期间可以执行并行、并行字节或串行读取，可以使用或不用过采样。图 3 显示并行或串行模式下 BUSY 为高电平时读取操作的时序图。

在 BUSY 下降沿时，输出数据寄存器会被新转换数据更新，除此之外的任何时候都可以从 BL1083 读取数据。这种情况下应满足表 2 所表示的时间 t_6 要求。

串行ADC模式，使能CRC

在软件模式下，CRC可以通过写入寄存器映射来使能。在这种情况下，在最后一个通道完成输出后，CRC被附加在每条DOUTX线上，如图所示。有关如何计算CRC的更多信息，请参见“CRC校验和”部分。

串行寄存器模式（读取寄存器数据）

表 12 中的所有寄存器都可以通过串行接口读取。读命令的格式如图 44 所示。它由两个 16 位帧组成。在第一帧，

- SDI 中的第一位[15]必须设置为 0 以使能写入地址。
- 第二位[14]必须设置为 1 以选择读命令。
- SDI 中的[13:8]包含要在下一帧通过 DOUTA 输出的寄存器地址。
- SDI 中的后续 8 位[7:0]会被忽略。如果 BL1083 处于 ADC 模式，则 SDO 会持续通过[7:0]输出 ADC 数据，然后 BL1083 切换到寄存器模式。如果 BL1083 处于寄存器模式，则无论前一帧是读命令还是写命令，SDO 都会从先前寻址的寄存器中回读内容。要退出寄存器模式，需要写入地址 0x00。

串行寄存器模式（写入寄存器数据）

在软件模式下，表 12 中的所有可读/写寄存器都可以通过串行接口写入。要写入一系列寄存器，须通过读取存储器映射上的任何寄存器来退出 ADC 数据模式（默认模式）。通过单次 16 位 SPI 读取操作，可执行寄存器写命令。写命令的格式如图 45 所示，写命令格式的结构如下：

- 要使能写命令，必须将 SDI 中的第一位设置为 0。
- 第二位(R/W)位必须清 0。
- 位[ADD5:ADD0]包含要写入的寄存器地址。
- 随后的 8 位 (位[DIN7:DIN0]) 包含要写入选定寄存器的数据。SDI 数据在 SCLK 的下降沿从 DB11 输入，SDO 在 SCLK 的上升沿从 DB7(DOUTA)输出。当连续写入器件时，DOUTA 上出现的数据来自前一帧写入的寄存器地址。DOUTB 在传输过程中保持低电平。寄存器模式下没有 ADC 数据输出，因为 DOUTA 线被用于输出寄存器内容。写完所有需要的寄存器后，写入地址 0x00 会使 BL1083 返回 ADC 读取模式，此时 ADC 数据再次在 DOUTX 线上输出。在软件模式下，当 CRC 开启时，每帧还会多输入和输出 8 位，故需要 24 位帧。所有写操作的功能，将在下一个 CS 使能周期开始时生效。

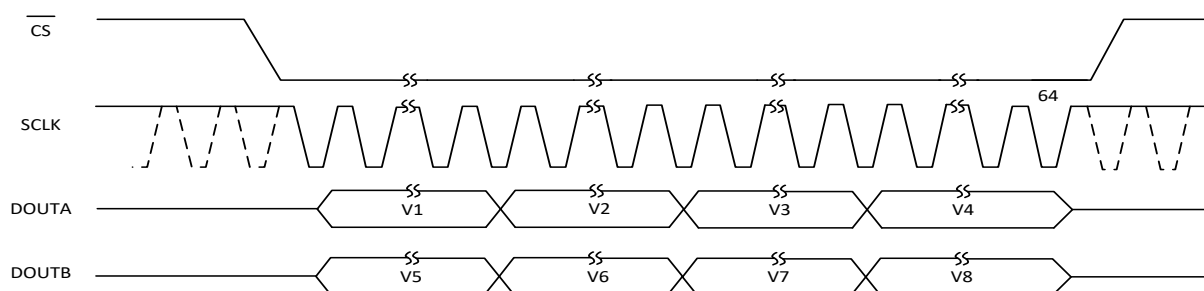


图 42. 采用双 Dout 线路的 BL1083 串行接口

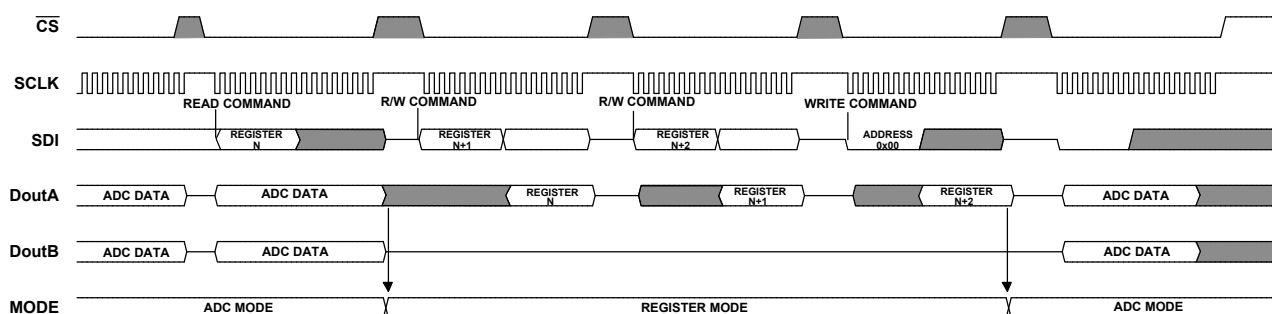


图 43. 主机操作 SPI 总线进入和退出寄存器模式

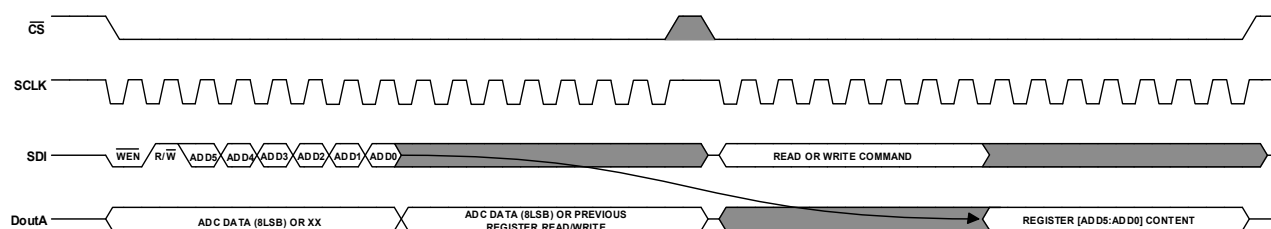


图 44. 串行接口寄存器模式下读命令格式

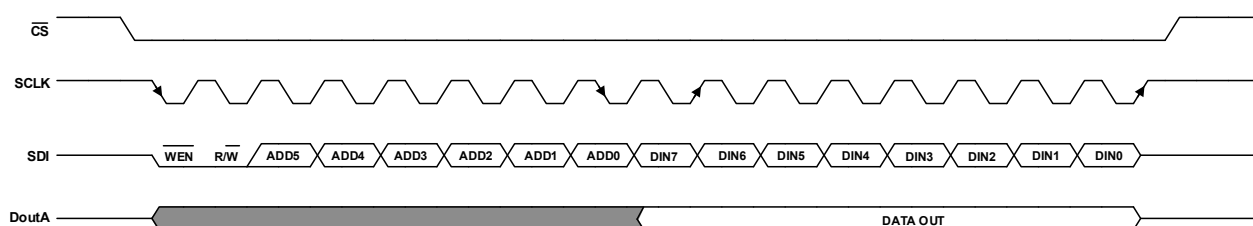


图 45. 串行接口寄存器模式下写命令格式

通过寄存器打开 CRC 校验和功能

在软件模式中，可以支持通过寄存器打开 BL1083 内置的 CRC 校验和功能，以检验数据发送和接收的正确性。在 CRC 功能被启用后，无论是寄存器模式还是数据模式，都将被启用 CRC 校验的特性。寄存器模式中，带有 CRC 的寄存器读写周期，将从 16 个周期拓展至 24 个周期，新增的 8 个周期用于传输 CRC 校验和，格式见。通过对寄存器地址 0x21 进行写操作，将值 0x05 写入后开启内置 CRC 功能，在下一个 \overline{CS} 使能周期开始时生效，意味着在下一个使能周期内，需要传输地址、数据及 CRC 共 24 个数据周期，包括退出寄存器模式 0x00 地址也需要 CRC 写入。

对于 8 位寄存器模式，数据通过下述 CRC 多项式完成校验和的计算，

$$x^8 + x^2 + x + 1$$

读取寄存器时，BL1083 将通过 DOUTA 返回上一周期的数据以及 CRC 校验和，格式见图 47；

写入寄存器时，主机需要将地址以及数据的总校验和一起通过 SDI 数据线发送。当 CRC 功能打开时，写入操作时若发送错误的 CRC 校验和后，芯片会判定本次写操作无效，对应的功能也不会发生改变。

ADC 模式数据接口的 CRC 校验

串行接口 ADC 模式下，BL1083 默认通过双线完成数据的发送。当开启 CRC 校验功能后，主机应当发送额外的 16 个数据周期以获取 16 位数据的 CRC 校验和，在数据接口中，CRC 采用 16 位多项式进行计算，

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1$$

当开启了 CRC 功能后，默认 ADC 模式为双线输出（模式控制寄存器地址 0x02 位 3），此时，DOUTA 会在 65th 至 80th 输出 CH1-CH4 的 CRC；DOUTB 会在 65th 至 80th 输出 CH5-CH8 的 CRC；当设置为单线模式输出时，在 129th 至 144th 输出全部八个通道的 CRC 数据，如图 49，DOUTB 输出数据则可以忽略。同时建议 SCLK 时钟频率在 20Mhz 或以下。

通过如下序列打开 CRC 功能使能

1. 通过 OS 配置 b111。
2. 对 RESET 引脚输入不小于 35ns 的高电平脉冲信号，使 BL1083 进入软件模式。
3. 读任意 SPI 地址，进入寄存器模式。
4. 0x02 写 0x00，设定单线模式，如无需要则跳过。
5. 0x02 写 0x00-0x06，设定过采样比，如无需要则跳过。
6. 0x21 写 0x05，使能 CRC 功能。
7. 0x00 写 0x00 及对应 CRC 0x00，共 24 SCLK 周期，退出寄存器模式。
8. 进入 ADC 数据模式，双线模式下需要 80 个 SCLK 周期，DOUTA/DOUTB 每根数据线包含 4 个通道数据及 1 个 CRC 校验和。单线模式下，DOUTA 需要 144 个周期，包含 8 个通道数据及 1 个 CRC 校验和。

地址(十六进制)	寄存器名称	位 7 (MSB)	位 6	位 5	位 4	位 3	位 2	位 1	位 0 (LSB)	默认值 (十六进制)	默认值注释
芯片配置寄存器											
0x00	退出寄存器模式	0	0	0	0	0	0	0	0	0x00	只写
0x01	状态检测寄存器	复位检测 0: 表示芯片未经过复位 1: 表示芯片经过复位, 该位在读取后自清零	禁用	禁用	禁用	禁用	禁用	禁用	禁用	0x00	只读
0x02	模式配置	禁用	禁用	禁用	禁用	串行输出模式 0 = 单线 1 = 双线	禁用	工作模式 00 = 正常工作 01 = 待机模式 10 = 未使用 11 = 未使用		0x08	读写, 默认双线模式
0x08	通道索引	禁用	禁用	禁用	禁用	禁用	过采样比 000 = 1 倍过采样 001 = 2 倍过采样 010 = 4 倍过采样 011 = 8 倍过采样 100 = 16 倍过采样 101 = 32 倍过采样 110 = 64 倍过采样 111 = 64 倍过采样			0x00	
0x21	数字接口诊断使能	禁用	禁用	禁用	禁用	禁用	数字接口CRC使能 0 = 禁用 1 = 使能	禁用	保留 1	0x01	

数字滤波器

BL1083 内置一个可编程的一阶 sinc 数字滤波器，可应用于较低吞吐速率且需要更高信噪比或更宽动态范围的实际场景中。BL1083 支持 2/4/8/16/32/64 倍过采样。如果选择过采样倍率为 8，那么过采样倍率生效后的下一个 CONVST 上升沿触发各通道的第一次采样，所有通道的其余 7 次采样由内部产生的采样时钟触发，然后对这些采样点求平均值，以改进 SNR 性能。开启过采样时，输出结果被抽取为 16 位分辨率。

在硬件模式下，数字滤波器的过采样倍率受过采样引脚 OS[2:0] 控制，其中 OS2 为 MSB 控制位，OS0 为 LSB 控制位。如所示。OSx 引脚在 BUSY 信号的下降沿和 RESET 信号的下降沿锁存。

在软件模式下，OSx 引脚都连接到高电平，过采样倍率通过寄存器（地址 0x08）选择。

如表 13 所示，随着过采样倍率提高，SNR 性能得到改善，但 3dB 带宽有所降低，所允许的采样频率也随之降低在 ADC 转换过程中。硬件模式下 OS 引脚硬件配置或软件模式下过采样寄存器配置在 BUSY 的下降沿锁存，在下次 ADC 转换时过采样倍率生效。

开启过采样时，转换过程中 BUSY 保持高电平的时间会变长，同时总转换时间也变长。BUSY 保持高电平的实际时间取决于所选的过采样倍率；过采样倍率越高，则 BUSY 保持高电平的时间越长(见表 2)。

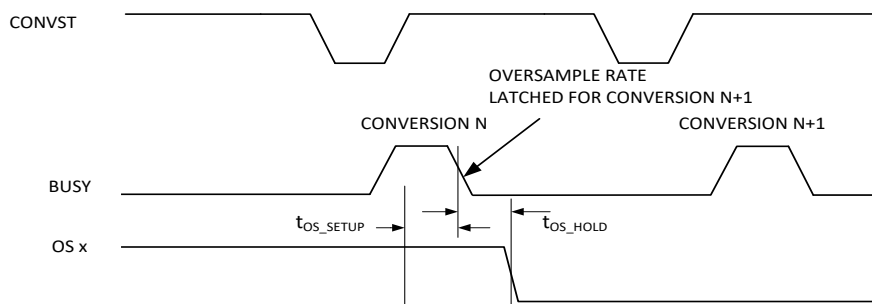


图 51. OSx 引脚时序

表 13. 过采样性能

OS[2:0]	过采样倍率	5V 范围 SNR(dBFS)	10V 范围 SNR(dBFS)	5V 范围 3dB 带宽 (kHz)	10V 范围 3dB 带宽 (kHz)	最大吞吐量 CONVST 频率 (kHz)
000	无过采样	86.2	86.6	16.5	23.4	200
001	2	88.1	88.5	15.8	21.6	100
010	4	90.3	90.7	13.5	17.0	50
011	8	92.0	92.3	9.4	10.4	25
100	16	94.2	94.7	5.3	5.6	12.1

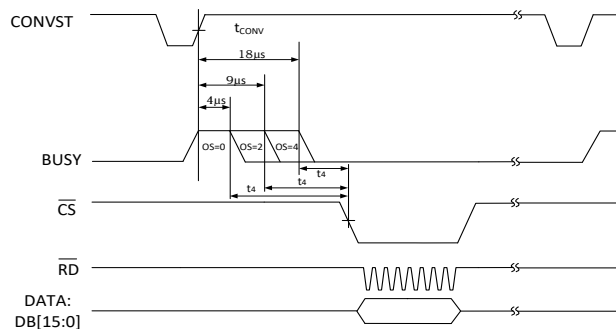


图 50. 无过采样，2 倍过采样和 4 倍过采样，转换后读取

图 50 显示转换时间和 BUSY 信号宽度随着过采样倍率的提高而延长。

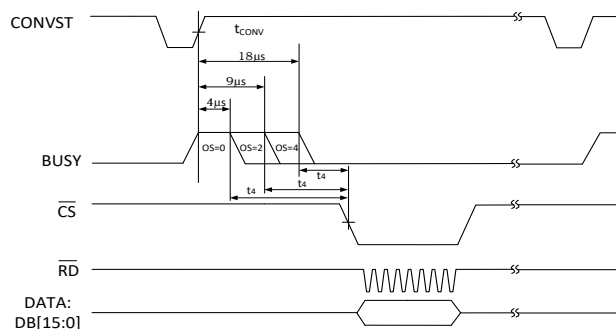


图 50 给出 OS=2 和 OS=4 的情况。对于 10kSPS 采样速率，仍有足够的周期时间来进一步提高过采样倍率，使 SNR 性能得到更大的改善。当过采样开启时，为实现最快吞吐速率，可以在 BUSY 高电平期间执行读取操作。由于新转换数据的更新发生在 BUSY 下降沿，因此转换数据的读取应避免开此边沿。

101	32	95.0	95.1	2.7	2.8	6
110	64	95.1	95.7	1.4	1.4	2.9
111	软件模式					

图 52 至图 58 以直方图形式显示了过采样对输出码的影响。随着过采样倍率提高，码字分布缩小。

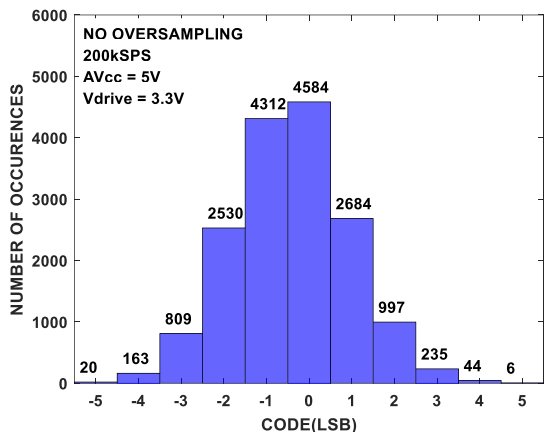


图 52. 码直方图: 无过采样

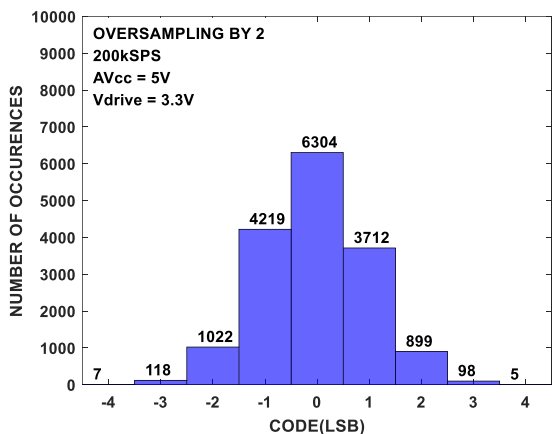


图 53. 码直方图: 2 倍过采样

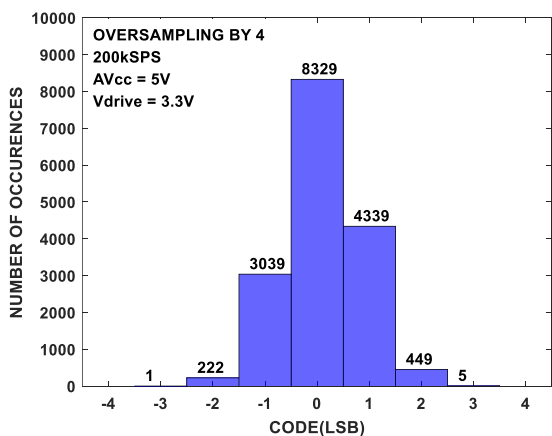


图 54. 码直方图: 4 倍过采样

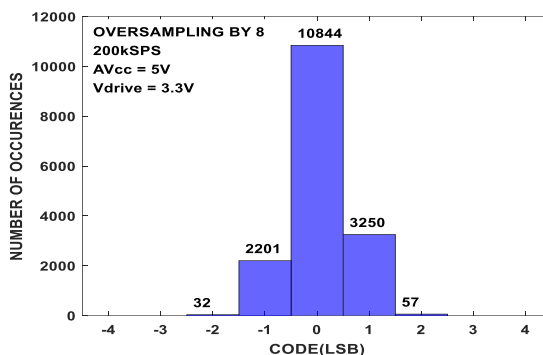


图 55. 码直方图: 8 倍过采样

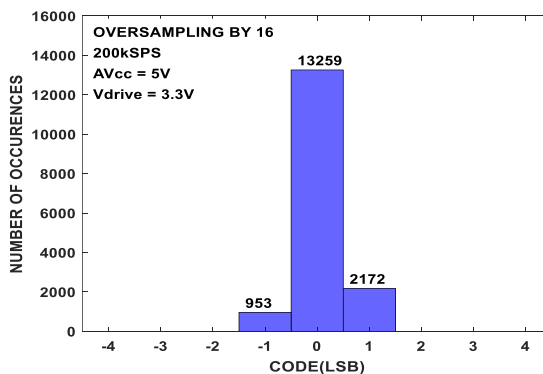


图 56. 码直方图: 16 倍过采样

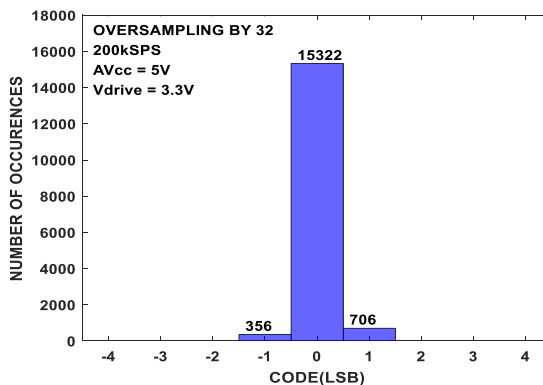


图 57. 码直方图: 32 倍过采样

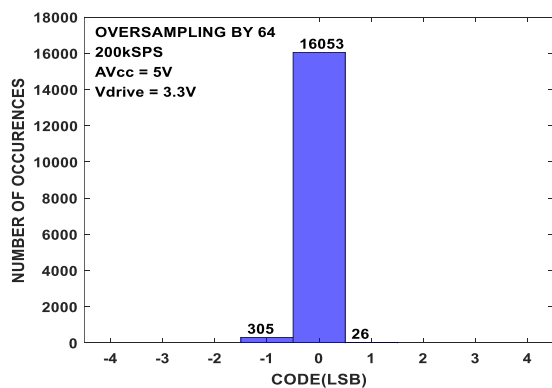


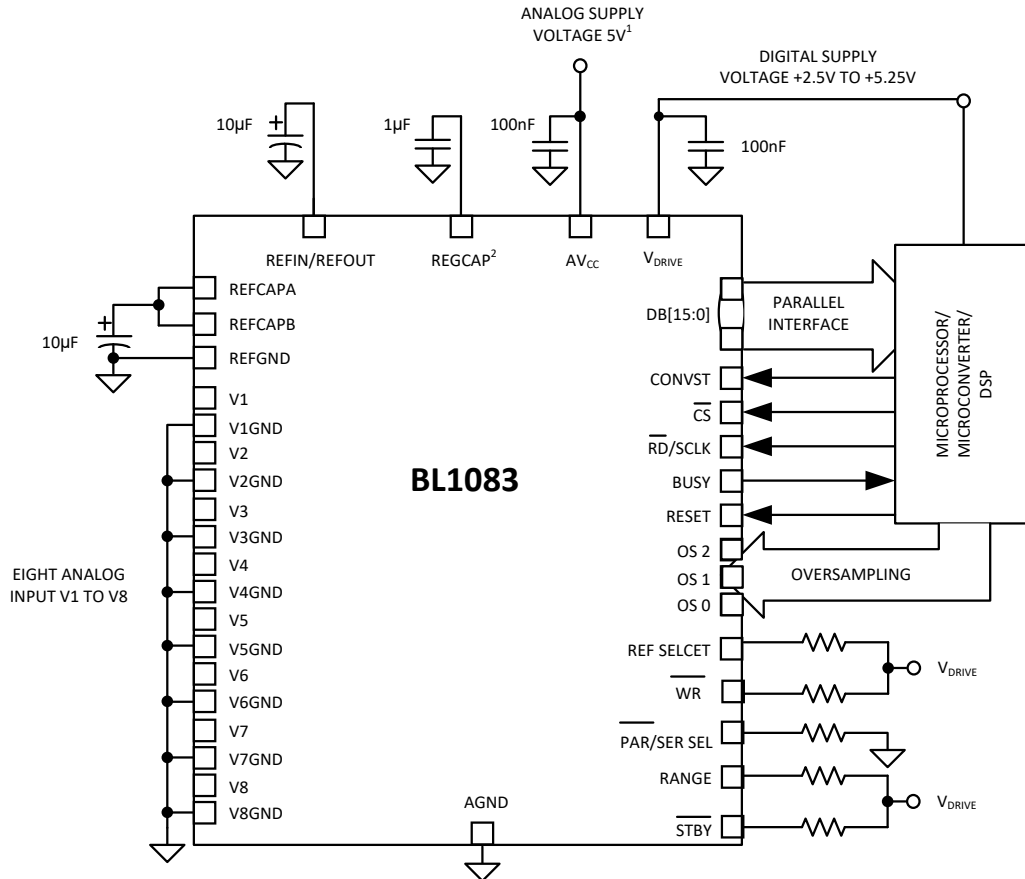
图 58. 码直方图: 64 倍过采样

典型连接图

BL1083 有 4 个 A_{VCC} 电源引脚。这四个电源引脚应各使用一个 100nF 去耦电容，并在电源侧使用一个 10 μ F 电容去耦。当电路板上只有一个 BL1083 器件时，应当利用一个 10 μ F 电容对其 REFIN/REFOUT 引脚去耦。REFCAPA 和 REFCAPB 引脚短路连在一起，并通过一个 10 μ F 陶瓷电容来去耦。当应用中使用多个 BL1083 器件时，请参阅“内部/外部基准电压”部分。

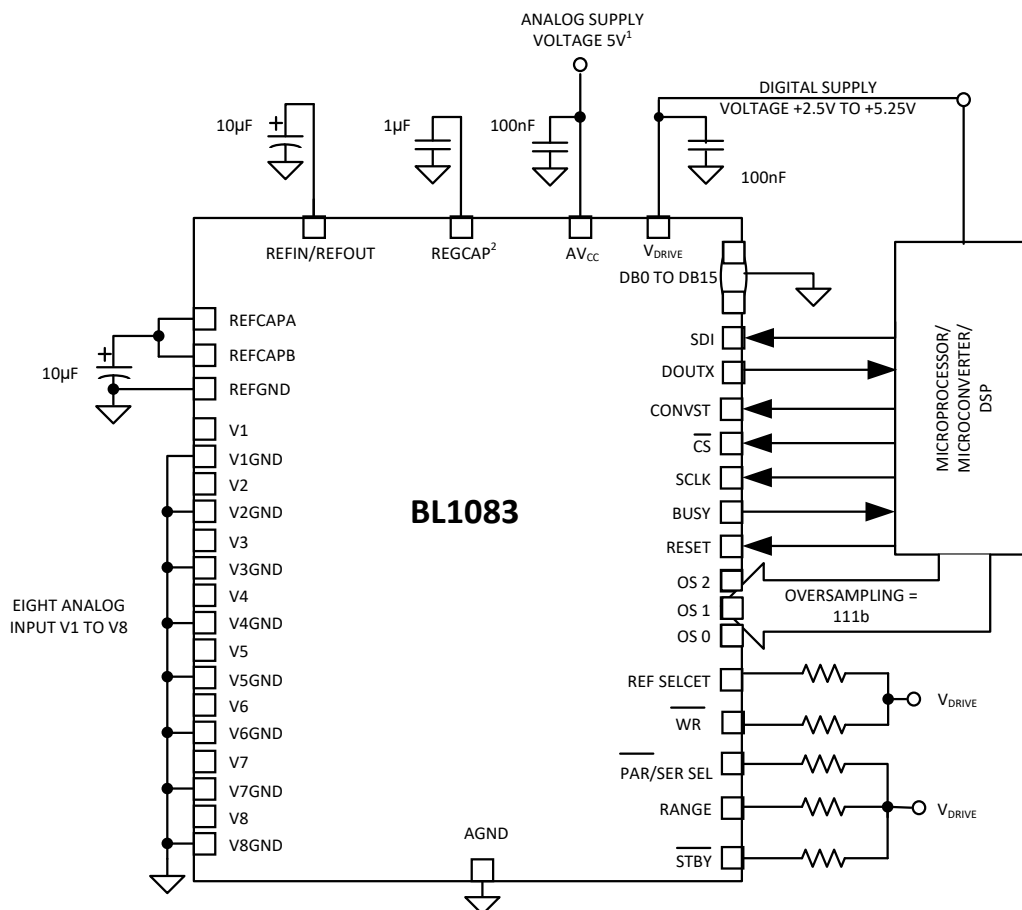
V_{DRIVE} 电压控制输出逻辑信号的电压值。关于布局、去耦和接地提示，请参考“布局指南”部分。

将电源施加到 BL1083 后，应对器件进行复位，以确保将其配置为正确工作模式。图 59 显示了 BL1083 在硬件模式下的典型连接图。在此配置中，BL1083 被配置为在内部施加的基准电压下工作，同时使用并行接口，所有模拟输入通道输入范围为 $\pm 10V$ ，过采样倍率由 OS 引脚控制。图 60 显示了 BL1083 在软件模式下的典型连接图，OS 三个引脚被拉至逻辑高电平，过采样倍率通过配置寄存器控制。在此配置中，BL1083 被配置为在内部施加的基准电压下工作，同时使用串行接口读取 ADC 数据和配置寄存器。



1. 在AV_{cc}引脚上显示的去耦适用于每个AV_{cc}引脚(PIN1,PIN37,PIN38,PIN48)
去耦电容可以在AV_{cc}引脚PIN37和PIN38之间共享
2. 在REGCAP引脚的去耦应独立于每个REGCAP引脚(PIN36,PIN39), 不允许短接使用

图 59. BL1083 硬件模式典型连接图



- 1.在AV_{CC}引脚上显示的去耦适用于每个AV_{CC}引脚(PIN1,PIN37,PIN38,PIN48)
去耦电容可以在AV_{CC}引脚PIN37和PIN38之间共享
- 2.在REGCAP引脚的去耦应独立于每个REGCAP引脚(PIN36,PIN39), 不允许短接使用

图 60. BL1083 软件模式典型连接图

布局指南

BL1083 所在的印制电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域。

应使用一个接地层，数字和模拟部分共用地层或独立地层。每个接地引脚应使用单个过孔或多个过孔接入接地层，确保与地层的良好连接，避免多个接地引脚共用一个过孔到地层的连接情况。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应将接地层布设在 BL1083 下方，以避免噪声耦合。如 CONVST 或时钟等快速切换信号要使用地加以屏蔽，以免将噪声辐射到电路板的其它部分，而且快速切换信号线路绝对不能靠近模拟信号路径。避免数字信号与模拟信号交叠。电路板上邻近层的走线应彼此垂直，以减小电路板的馈通效应。

BL1083 上 AVCC 和 VDRIVE 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在 BL1083 电源引脚与电路板的电源走线之间建立良好连接。各电源引脚应使用单个过孔或多个过孔连接到电源层。

良好的去耦也很重要，以便降低 BL1083 的电源阻抗，并减少电源尖峰幅度。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。REFIN/REFOUT 引脚和 REFCAPA、REFCAPB 引脚的去耦电容应尽可能靠近相应

的 BL1083 引脚。可能的话，应将这些电容放在电路板与 BL1083 器件相同的一侧。图 61 显示了底层去耦配置，它应用于 4 个 AVCC 和 VDRIVE 引脚的去耦。AVCC 引脚的 100nF 陶瓷电容应靠近器件的相应引脚，一个 100nF 电容可以在引脚 37 和引脚 38 之间共享。

芯片包含两个 REGCAP 引脚（引脚 36 和引脚 39），需要独立使用 1 μ F 电容去耦，同时应注意这两个引脚不能短接使用，否则会引起功能失效。

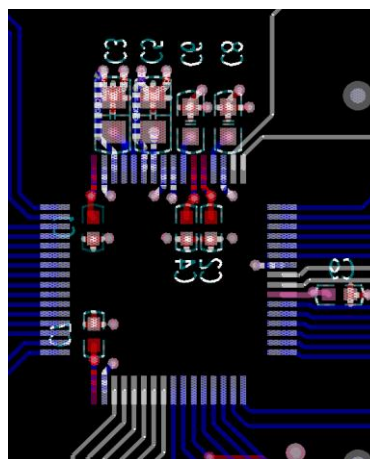


图 61. BL1083 外围去耦

外形尺寸

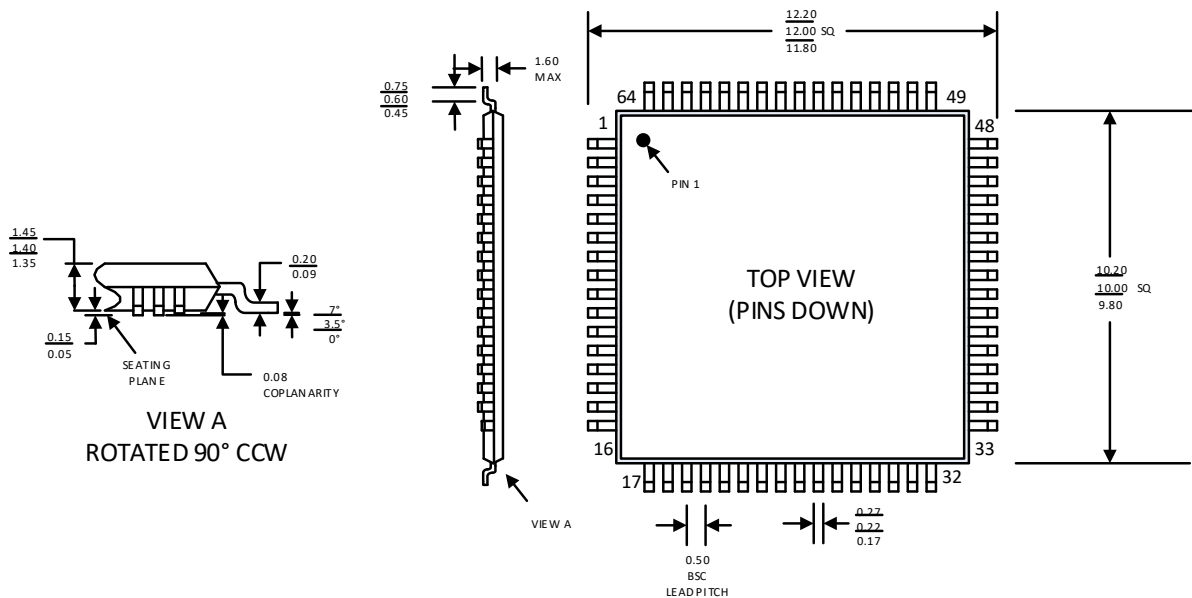


图 62.64 脚 LQFP 封装 (ST-64-2) 尺寸单位: mm