

### 产品特性

- 集成模拟前端的 16 位 ADC
- 4 和 8 通道自动和手动扫描模式
- 独立于通道的可编程输入范围：  
双极：±12.8V、±10.24V、±5.12V 和 ±2.56V
- 5V 模拟电源，1.65V 到 5.25V I/O 电源
- 具有 1MΩ 模拟输入阻抗的输入缓冲器
- 输入钳位保护：±15.5V
- 芯片内置 4.096V 参考电压，具有低漂移特性
- 优异的性能：  
600kSPS 总吞吐量  
差分非线性(DNL): ±0.8 LS  
积分非线性(INL): ±1.2 LSB  
低漂移的增益误差和零码误差  
信噪比(SNR): 89dB  
总谐波失真(THD): -102dB  
低功耗: 148mW
- 辅助输入：具有 100KΩ 输入阻抗以及 1 阶低通滤波器的输入缓冲器
- SPI™ - 兼容接口，支持菊花链连接  
模拟输入通道提供 8kV ESD 额定值
- 工业温度范围：-40°C 至 125°C
- TSSOP-38 封装 (9.7mm × 4.4mm)

### 应用

- 电力自动化
- 保护继电器
- PLC 模拟输入模块

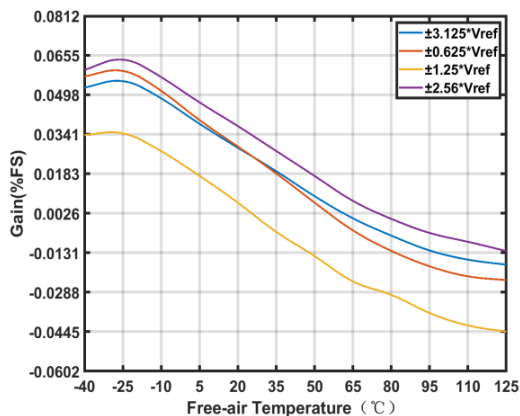


图 1. 增益误差和温度的关系

### 功能框图

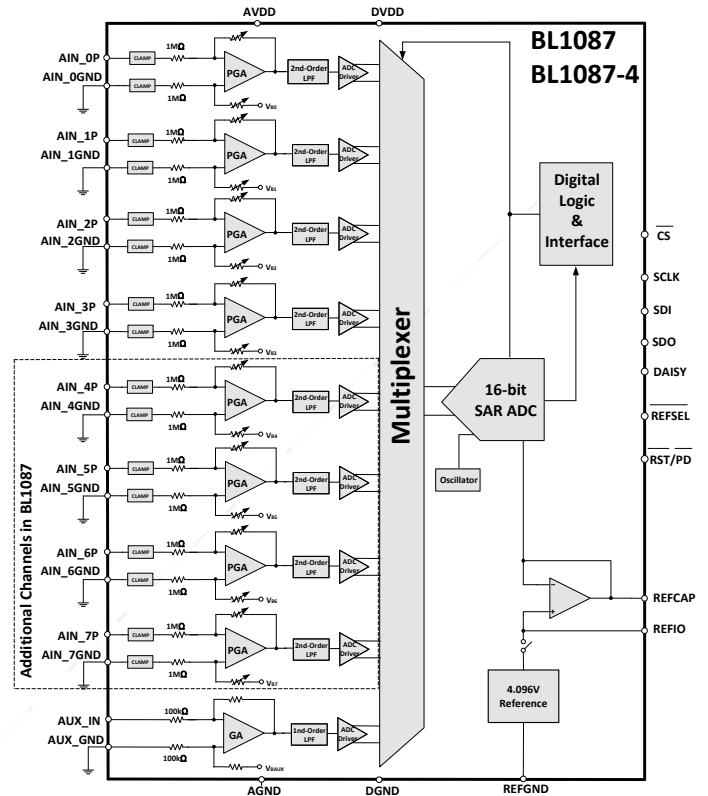


图 2. 功能框图

### 产品描述

BL1087-4 和 BL1087 为 4 和 8 通道集成数据采集系统，它们基于 16 位逐次逼近 (SAR) 模数转换器 (ADC)，工作时的吞吐量可达 600kSPS。这些器件提供了用于各输入通道的集成模拟前端电路 (钳位保护 ±15.5V)、支持自动和手动两种扫描模式的 4 和 8 通道多路复用器、以及低温漂的片上 4.096V 基准电压。采用 5V 单模拟电源供电时，器件上的各输入通道均可支持 ±12.8V、±10.24V、±5.12V 和 ±2.56V 的实际双极输入范围。模拟前端在所有输入范围内的增益均经过精确微调，以确保高直流精度。输入范围的选择可通过软件进行编程，各通道输入范围的选择相互独立。该器件提供了一个 1MΩ 的恒定阻性输入阻抗 (除辅助通道外任意通道)。BL1087-4 和 BL1087 提供了用于连接数字主机的简单 SPI 兼容串行接口，并且支持以菊花链的形式连接多个器件。数字电源可提供 1.65V 到 5.25V 范围内的电压，因此可直接连接各种主机控制器。BL1087-4 和 BL1087 采用 38 引脚 TSSOP 封装，额定工作温度范围为 -40°C 至 125°C。

## 目录

产品特性.....	1	模拟输入钳位保护.....	20
应用.....	1	可编程增益放大器 (PGA) .....	21
功能框图.....	1	二阶低通滤波器 (LPF) .....	21
产品描述.....	1	ADC 驱动.....	22
目录.....	2	多路复用器 (MUX) .....	22
修订历史.....	2	参考电压.....	22
技术规格.....	3	内部参考电压.....	22
时序规格.....	6	外部参考电压.....	23
绝对最大额定值.....	7	辅助通道.....	24
热特性.....	7	ADC 传递函数.....	26
ESD 警告.....	7	数字接口.....	28
引脚配置和功能描述.....	8	设备接口.....	28
典型工作特性.....	11	数据采集示例.....	29
工作原理.....	19	星形布局.....	31
概述.....	19	设备模式.....	32
原理框图.....	19	寄存器表.....	38
功能说明.....	20	命令寄存器描述.....	38
模拟输入.....	20	工程寄存器说明.....	39
模拟输入阻抗.....	20	布局指南.....	44
		外形尺寸.....	45

## 修订历史

2025 年 06 月：正式版 V1.0 版本

## 技术规格

除非另有说明， $V_{REF}=4.096V$  内部基准电压， $AVDD=5V$ ， $DVDD=3V$ ， $f_{SAMPLE}=600kSPS$ ， $T_A=-40^{\circ}C$ 至 $+125^{\circ}C$ 。

表 1

参数	测试条件/注释	最小值	典型值	最大值	单位
<b>模拟输入</b>					
工作输入范围正输入 (AIN_nP)	±12.8V 范围	$-3.125 * V_{REF}$		$3.125 * V_{REF}$	V
	±10.24V 范围	$-2.5 * V_{REF}$		$2.5 * V_{REF}$	V
	±5.12V 范围	$-1.25 * V_{REF}$		$1.25 * V_{REF}$	V
	±2.56V 范围	$-0.625 * V_{REF}$		$0.625 * V_{REF}$	V
工作输入范围负输入 (AIN_nGND)	所有输入范围	-0.1	0	0.1	V
输入阻抗 ( $Z_i$ )	$T_A=25^{\circ}C$		1		MΩ
输入泄漏电流 ( $I_{IKFG(in)}$ )	电压为 AIN_nP= VIN, ±12.8V 范围		$\frac{V_{IN} - 2.5}{R_{IN}}$		uA
	电压为 AIN_nP= VIN, ±10.24V 范围		$\frac{V_{IN} - 2.25}{R_{IN}}$		uA
	电压为 AIN_nP= VIN, ±5.12V 范围		$\frac{V_{IN} - 2.0}{R_{IN}}$		uA
	电压为 AIN_nP= VIN, ±2.56V 范围		$\frac{V_{IN} - 1.60}{R_{IN}}$		uA
动态性能	VIN = -1dBFS, $f_{IN} = 500Hz$ 正弦波, 除非另有说明				
信噪比(SNR)	±12.8V 范围		89		dB
	±10.24V 范围		89		dB
	±5.12V 范围		88		dB
	±2.56V 范围		86.5		dB
总谐波失真 (THD) <sup>5</sup>	所有输入范围		-102		dB
信纳比(SINAD)	±12.8V 范围		89		dB
	±10.24V 范围		89		dB
	±5.12V 范围		88.5		dB
	±2.56V 范围		86.5		dB
峰值谐波或杂散噪声(SFDR)	所有输入范围		100		dB
串扰隔离 <sup>6</sup>	输入 2 倍最大的输入电压信号至于干扰源通道		107		dB
串扰存储器 <sup>7</sup>	输入 2 倍最大的输入电压信号至于干扰源通道		85		dB
BW (小信号带宽-3dB)	$T_A=25^{\circ}C$ , 所有输入范围		14		kHz
BW (小信号带宽-0.1dB)	$T_A=25^{\circ}C$ , 所有输入范围		1.8		
<b>辅助通道</b>					
分辨率		16			Bits
辅助通道电压范围 ( $V_{AUX\_IN}$ )	辅助通道输入电压和地之间的差值	-0.1		4.5	V
输入端电容 $C_i$	采样过程中		8		pF
	转换过程中		8		pF

输入泄漏电流 ( $I_{kg(in)}$ )		100		nA
差分非线性 (DNL)		-0.99	2	LSB <sup>2</sup>
积分非线性 (INL)		-4	4	LSB
增益误差 ( $E_{G(AUX)}$ )	$T_A=25^\circ\text{C}$	$\pm 0.02$	$\pm 0.2$	%FSR
零码误差 ( $E_{O(AUX)}$ )	$T_A=25^\circ\text{C}$	-10	10	mV
信噪比(SNR)	$V_{(AUX\_IN)}=-1\text{ dBFS}$ , $f_{IN} = 500.17\text{Hz}$ 正弦波	80		dB
总谐波失真 (THD)	$V_{(AUX\_IN)}=-1\text{ dBFS}$ , $f_{IN} = 500.17\text{Hz}$ 正弦波	-92		dB
信纳比(SINAD)	$V_{(AUX\_IN)}=-1\text{ dBFS}$ , $f_{IN} = 500.17\text{Hz}$ 正弦波	81		dB
峰值谐波或杂散噪声 (SFDR)	$V_{(AUX\_IN)}=-1\text{ dBFS}$ , $f_{IN} = 500.17\text{Hz}$ 正弦波	92		dB

**内部参考输出**

REFIO 引脚电压( $V_{(REFIO\_INIT)}$ ) <sup>8</sup> 配置为输出模式	$T_A=25^\circ\text{C}$	4.096		V
内部参考温度漂移		6	10	ppm/ $^\circ\text{C}$
REFIO 上的解耦电容		10	22	$\mu\text{F}$
ADC 参考电压(REFIO 引脚处)	$T_A=25^\circ\text{C}$	4.096		V
Refcap 输出阻抗		0.11		$\Omega$
REFCAP 上的去耦电容 ( $C_{(OUT\_REFCAP)}$ )		10	22	$\mu\text{F}$
上电时间	$C_{(OUT\_REFCAP)} = 22\ \mu\text{F}$ $C_{(OUT\_REFIO)} = 22\ \mu\text{F}$	33		ms

**外部参考输入**

REFIO 引脚电压( $V_{(REFIO\_EXT)}$ ) 配置为输入模式		4.096		V
---	--	-------	--	---

**供电要求**

模拟电源电压 (AVDD)	模拟电源	4.75	5	5.25	V
数字电源电压 (DVDD)	数字电源范围	1.65	3.3	AVDD	V
	指定性能的数字电源范围	2.7	3.3	5.25	V
模拟动态电流 ( $I_{AVDD\_DYN}$ )	BL1087:AVDD = 5 V, $f_s = 600\text{kSPS}$ 使用 内部参考		29.5		mA
	BL1087-4:AVDD = 5 V, $f_s = 600\text{kSPS}$ 使用 内部参考		20		mA
模拟静态电流 ( $I_{AVDD\_STC}$ )	BL1087:AVDD = 5 V, 设备并未进行转 换同时使用内部参考		28		mA
	BL1087-4:AVDD = 5 V, 设备并未进行 转换同时使用内部参考		19		
模拟掉电电流 ( $I_{STDBY}$ )	AVDD = 5 V, 设备处于 STDBY 模式		6.5		mA
动态 DVDD 电流 ( $I_{PWR\_DN}$ )	AVDD = 5 V, 设备处于 PWR_DN 模式		3.3		mA
数字电源电流 ( $I_{DVDD\_DYN}$ )	At DVDD = 3.3 V, output = 0000h		0.4		mA

**数字输入 (CMOS)**

数字输入逻辑电平 $DVDD \geq 2.1\text{V}$ ( $V_{IH}$ ) 高		$0.7 * DVDD$	$DVDD + 0.3$	V
--	--	--------------	--------------	---

(V <sub>IL</sub> ) 地		-0.3	0.3*DVDD	
数字输入逻辑电平 DVDD ≤ 2.1V				
(V <sub>IH</sub> ) 高		0.8*DVDD	DVDD+0.3	V
(V <sub>IL</sub> ) 地		-0.3	0.2*DVDD	
<b>数字输出 (CMOS)</b>				
数字输出逻辑电平	I <sub>O</sub> =500-uA 源	0.8*DVDD	DVDD	V
(V <sub>OH</sub> ) 高				
(V <sub>OL</sub> ) 低	I <sub>O</sub> =500-uA	0	0.2*DVDD	V
<b>温度范围</b>				
工作自由空气温度 T <sub>A</sub>		-40	125	°C
<b>直流精度</b>				
分辨率		16		Bits
差分非线性 (DNL)		-0.99	± 0.8 1.5	LSB
积分非线性 (INL) <sup>3</sup>		-2	± 1.2 2	LSB
增益误差 (E <sub>G</sub> )	T <sub>A</sub> =25°C, 所有输入范围		± 0.02	%FSR <sup>4</sup>
通道间的增益误差匹配	T <sub>A</sub> =25°C, 所有输入范围		± 0.02	%FSR
增益误差温度漂移	所有输入范围		± 1	ppm/°C
零码误差 (E <sub>0</sub> )	T <sub>A</sub> =25°C, ±12.8V 范围		± 0.5	mV
	T <sub>A</sub> =25°C, ±10.24V 范围		± 0.5	mV
	T <sub>A</sub> =25°C, ±5.12V 范围		± 0.5	mV
	T <sub>A</sub> =25°C, ±2.56V 范围		± 0.5	mV
通道间的零码误差匹配	T <sub>A</sub> =25°C, ±12.8V 范围		± 0.5	mV
	T <sub>A</sub> =25°C, ±10.24V 范围		± 0.5	mV
	T <sub>A</sub> =25°C, ±5.12V 范围		± 0.5	mV
	T <sub>A</sub> =25°C, ±2.56V 范围		± 0.5	mV
零码误差温度漂移	所有输入范围		5	μV/°C
<b>动态采样</b>				
转换时间 (t <sub>CONV</sub> )			730	ns
采样时间 (t <sub>ACQ</sub> )			930	ns
无延迟到最大采样速率			600	kSPS

1.理想的输入跨度，不包括增益或偏移误差。

2.LSB = 最低有效位。

3.此参数是端点 INL，而不是最适合的 INL。

4.FSR = 满量程范围。

5.这是根据输入频率的前九个谐波计算出来的。

6.隔离串扰是通过将一个通道应用高达 10 kHz 的满量程正弦信号，不在多路复用序列中选择，并测量其对任何选定通道输出的影响。

7.内存串扰是通过应用于在多路复用序列中选择的通道，并测量其对所有输入通道组合的下一个选定通道输出的影响来测量的。

8.不包括由焊料位移效应引起的电压变化。

### 时序规格

除非另有说明，最低和最高规格  $T_A = -40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ，典型的规格为  $T_A = 25^{\circ}\text{C}$ ， $V_{\text{REF}} = 4.096\text{V}$  内部基准电压， $AV_{\text{DD}} = 5\text{V}$ ， $DV_{\text{DD}} = 3\text{V}$ ， $\text{SDO}$  负载 =  $20\text{pF}$ ， $f_{\text{SAMPLE}} = 600\text{kSPS}$ 。

表 2

参数	最小值	典型值	最大值	单位	描述
<b>时序规范</b>					
$f_s$			600	kSPS	芯片采样频率 ( $f_{\text{CLK}} = \text{max}$ )
$t_s$	1.67			us	$\overline{\text{CS}}$ 下降沿之间的最短时间
$f_{\text{SCLK}}$			20	MHz	SCLK 的频率
$t_{\text{SCLK}}$	50			ns	$\overline{\text{SCLK}}$ 下降沿之间的最短时间
$t_{\text{CONV}}$			730	ns	芯片转换时间
$t_{\text{DZ\_CSDO}}$			10	ns	延迟时间: $\overline{\text{CS}}$ 下降到数据使能时间
$t_{\text{D\_CKCS}}$	10			ns	延迟时间: 最后一个 SCLK 下降沿到 $\overline{\text{CS}}$ 上升沿时间
$t_{\text{DZ\_CSDO}}$	10			ns	延迟时间: $\overline{\text{CS}}$ 上升沿到 SDO 变化为三态的时间
<b>时序要求</b>					
$t_{\text{ACQ}}$	930			ns	芯片采样时间
$t_{\text{PH\_CK}}$	0.4		0.6	$t_{\text{SCLK}}$	SCLK 时钟高电平时间
$t_{\text{PL\_CK}}$	0.4		0.6	$t_{\text{SCLK}}$	SCLK 时钟低电平时间
$t_{\text{PH\_CS}}$	30			ns	$\overline{\text{CS}}$ 高电平时间
$t_{\text{SU\_CSCK}}$	30			ns	$\overline{\text{CS}}$ 下降沿到 SCLK 下降沿所需的建立时间
$t_{\text{HT\_CKDO}}$	10			ns	SCLK 下降沿上 (上一个) 数据, 在 SDO 上保持时间
$t_{\text{SU\_DOCK}}$	25			ns	SDO 数据在 SCLK 下降沿的建立时间
$t_{\text{SU\_DICK}}$	5			ns	SDI 数据在 SCLK 下降沿的建立时间
$t_{\text{HT\_CKDI}}$	5			ns	SDI 数据 (上一个) 在 SCLK 下降沿上保持的时间
$t_{\text{SU\_DSYCK}}$	5			ms	菊花链中数据在 SCLK 下降沿的建立时间
$t_{\text{HT\_CKDSY}}$	5			ns	菊花链中数据 (上一个) 在 SCLK 下降沿保持时间

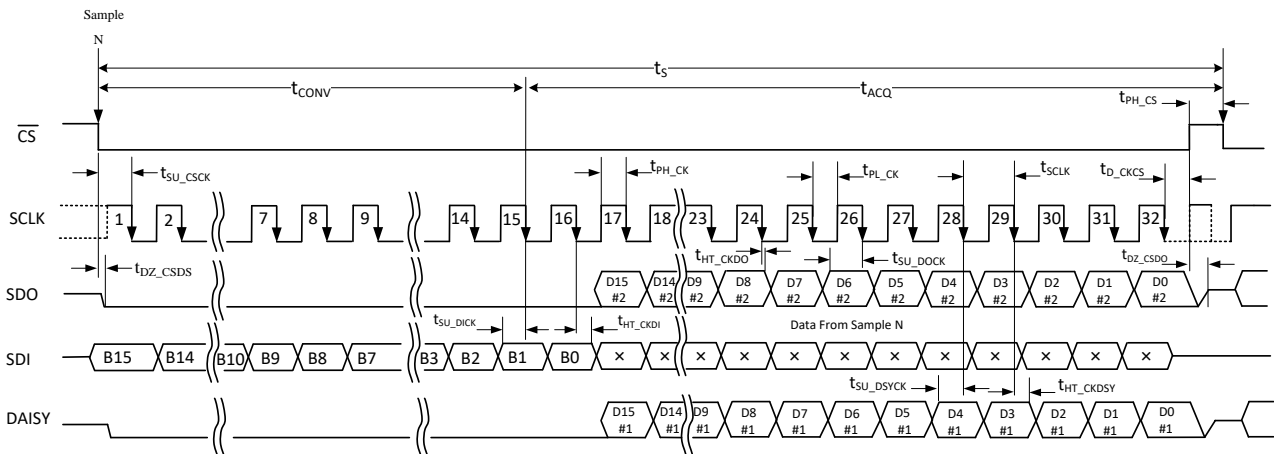


图 3. 串行接口时序图

## 绝对最大额定值

除非另有说明， $T_A=25^{\circ}\text{C}$ 。

表 3

参数	额定值
电气参数	
AVDD 至 GND	-0.3V 至+7V
DVDD 至 GND	-0.3V 至+7V
模拟输入电压至 AGND <sup>1</sup>	$\pm 20\text{V}$
数字输入电压至 DGND	-0.3V 至 DVDD+0.3V
数字输入电压至 GND	-0.3V 至 DVDD+0.3V
REFIN 至 AGND	-0.3V 至 AVDD+0.3V
输入电流至除电源外的任何引脚 <sup>1</sup>	$\pm 10\text{mA}$
工作温度范围	$-40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$
存储温度范围	$-65^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$
铅锡焊接温度， 回流焊（10 秒至 30 秒）	$240 (+0)^{\circ}\text{C}$
无铅回流焊温度	$260 (+0)^{\circ}\text{C}$
ESD（除模拟输入外的所有引脚）	$\pm 2\text{kV}$
ESD（仅模拟输入引脚）	$\pm 8\text{kV}$

1. 高达 100mA 的瞬态电流不会造成 SCR 闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热特性

$\theta_{JA}$  针对最差条件，即器件焊接在电路板上以实现表贴封装。这些技术规格适用于 4 层电路板。

表 4

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
38 引脚 TSSOP	68.8	19.9	$^{\circ}\text{C}/\text{W}$

## ESD 警告

### ESD（静电放电）敏感器件

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

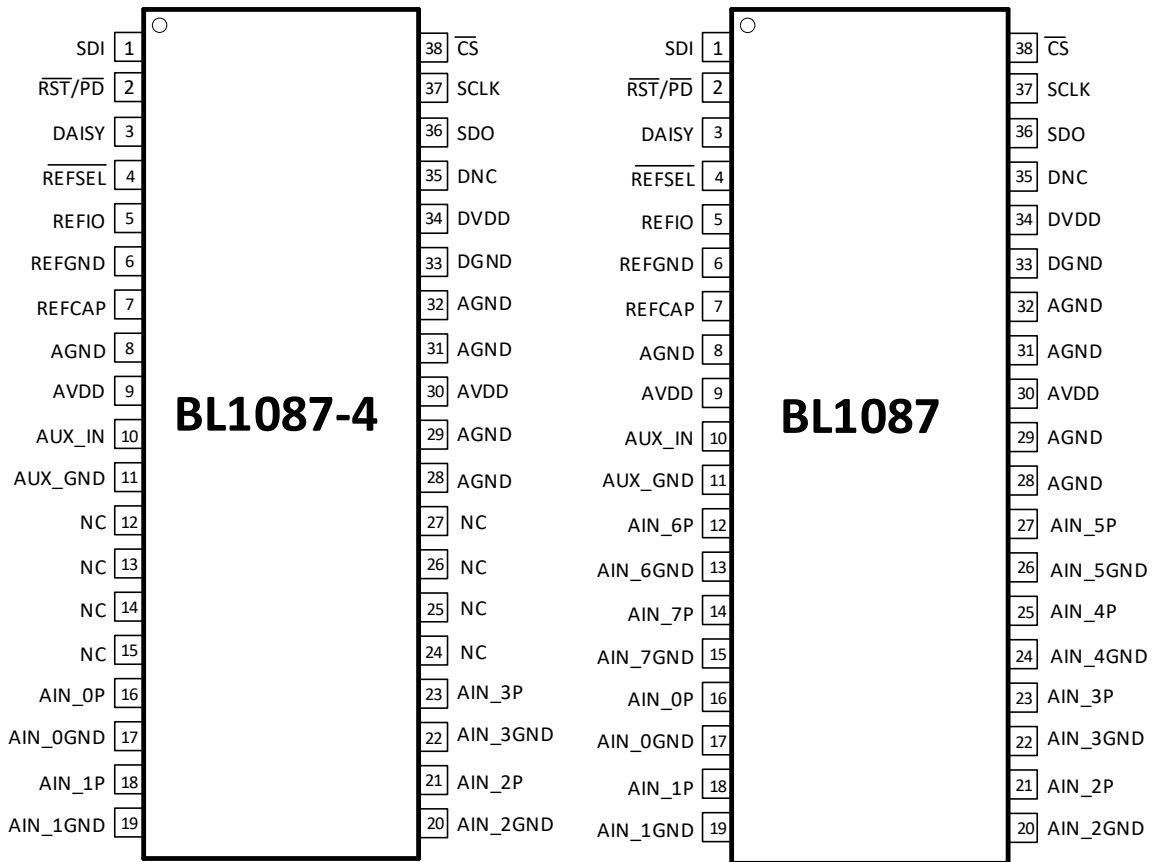


图 4. DPT 封装 TSSOP-38 (顶视图, 不按比例)

表 5. 引脚功能描述

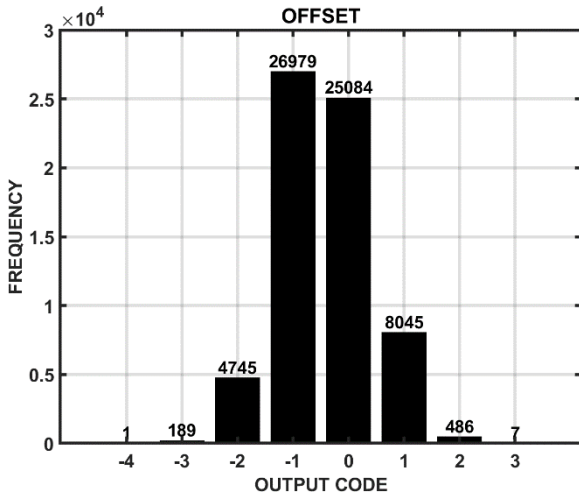
引脚编号	引脚名称		类型	描述
	型号			
	BL1087-4	BL1087		
<b>电源</b>				
6	REFGND		地	参考地引脚，短接到模拟地平面，和 REFIO 的 5 号引脚以及 REFCAP 的 7 号引脚解耦
8,28,29,31,32	AGND		地	模拟电源地。 这些引脚是 BL1087 上所有模拟电路的接地基准点，所有模拟输入信号和外部基准信号都应参考这些引脚，所有的 AGND 引脚都应连到系统的 AGND 平面。
9,30	AVDD		电源	模拟电源电压，工作范围为 4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压，此引脚须用 1μF 并联电容去耦至 AGND。
33	DGND		地	数字地。此引脚是 BL1087 上所有数字电路的接地基准点。DGND 引脚必须连接到系统的 DGND 层。
34	DVDD		电源	逻辑电源输入。 此引脚的电源电压 (1.65V 至 5.25V) 决定逻辑接口的工作电压。此引脚的标称电源与主机接口 (即 DSP 和 FPGA) 电源相同。此引脚须用 10μF 并联电容去耦至 DGND。

引脚名称		类型	描述
引脚编号	型号		
		BL1087-4	BL1087
<b>数字</b>			
1	SDI	输入	SPI 的串行通信的数字输入，用以发送指令配置设备进入对应的模式或读写设备寄存器。
2	RST/PD	输入	低电平输入有效 复位或使芯片掉电的双功能引脚。低电平时间在 150-250ns 之间时设备进入复位模式，低电平时间大于 600ns 时，设备进入掉电模式。
3	DAISY	输入	DAISY 是一个串行输入引脚。如使用一个设备时，则 DAISY 引脚连接至接地。当多个设备以菊花链模式连接时，链中第一个设备的 DAISY 引脚连接至 GND。随后每个设备的 DAISY 引脚连接到前一个设备的 SDO 输出引脚，链中最后一个设备的 SDO 输出连接到主机处理器的 SDI。
4	REFSEL	输入	有效的低逻辑输入，以启用内部参考电压。当其为低电平时，启用设备内部参考；REFIO 变成一个输出，其中包括 V <sub>REF</sub> 电压。高电平时，内部基准被禁用；REFIO 成为输入端，用于输入外部 V <sub>REF</sub> 电压。
36	SDO	输出	通讯中的数据输出端口。
37	SCLK	输入	时钟输入(SCLK) 该引脚表示数据接口的外部时钟输入。对器件的所有同步访问均在 SCLK 信号的下降沿有效
38	CS	输入	低电平逻辑输入，芯片的选通信号。
<b>模拟</b>			
5	REFIO	输入/输出	内部参考输出或者外部参考输入,此引脚需要通过一个 10μF 电容去耦至 REFGND。
7	REGCAP	输出	内部稳压器电压输出的去耦合电容引脚。此引脚须并联 1μF 和 22μF 电容去耦至 AGND。
10	AUX_IN	输入	辅助通道;正端输入;与 AUX_GND 在引脚 11 处解耦
11	AUX_GND	输入	辅助通道;负端输入;与 AUX_IN 在引脚 10 处解耦
16	AIN_OP	输入	模拟输入通道 0,正端输入;与 AIN_0GND 在引脚 17 处解耦
17	AIN_0GND	输入	模拟输入通道 0,负端输入;与 AIN_OP 在引脚 16 处解耦
18	AIN_1P	输入	模拟输入通道 1,正端输入;与 AIN_1GND 在引脚 19 处解耦
19	AIN_1GND	输入	模拟输入通道 1,负端输入;与 AIN_1P 在引脚 18 处解耦
21	AIN_2P	输入	模拟输入通道 2,正端输入;与 AIN_2GND 在引脚 20 处解耦
20	AIN_2GND	输入	模拟输入通道 2,负端输入;与 AIN_2P 在引脚 21 处解耦
23	AIN_3P	输入	模拟输入通道 3,正端输入;与 AIN_3GND 在引脚 22 处解耦
22	AIN_3GND	输入	模拟输入通道 3,负端输入;与 AIN_3P 在引脚 23 处解耦
25	NC	AIN_4P	输入 模拟输入通道 4,正端输入;与 AIN_4GND 在引脚 24 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
24	NC	AIN_4GND	输入 模拟输入通道 4,负端输入;与 AIN_4P 在引脚 25 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
27	NC	AIN_5P	输入 模拟输入通道 5,正端输入;与 AIN_5GND 在引脚 26 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
26	NC	AIN_5GND	输入 模拟输入通道 5,负端输入;与 AIN_5P 在引脚 27 处解耦

引脚名称		类型	描述
引脚编号	型号		
		BL1087-4	BL1087
			该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
12	NC	AIN_6P	输入 模拟输入通道 6,正端输入;与 AIN_6GND 在引脚 13 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
13	NC	AIN_6GND	输入 模拟输入通道 6,负端输入;与 AIN_6P 在引脚 12 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
14	NC	AIN_7P	输入 模拟输入通道 7,正端输入;与 AIN_7GND 在引脚 15 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
15	NC	AIN_7GND	输入 模拟输入通道 7,负端输入;与 AIN_7P 在引脚 14 处解耦 该引脚在 BL1087-4 处未连接，可以处于浮空或连接到 AGND 引脚
其他			
35	DNC	浮空	此引脚不要连接到任何节点处，必须保持浮空。

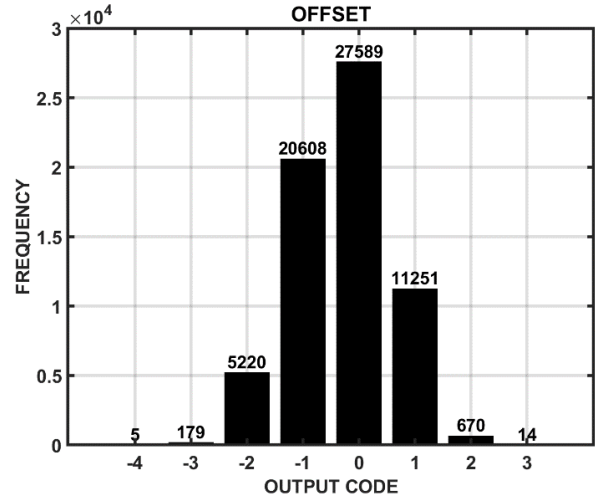
## 典型工作特性

除非另有说明,典型的规格为 TA=25°C, AVDD=5V, DVDD=3V, 内部基准电压  $V_{REF}=4.096V$ ,  $f_{SAMPLE}=600kSPS$ .



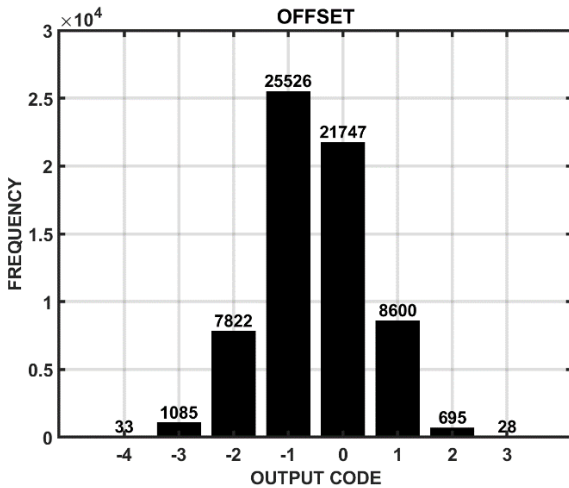
input = 0 V range =  $\pm 3.125 \times V_{REF}$

图 5 Histogram for Mid-Scale Inputs ( $\pm 3.125 \times V_{REF}$ )



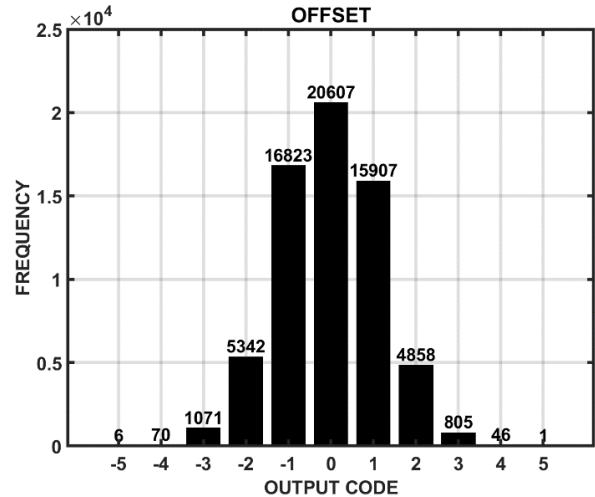
input = 0 V range =  $\pm 2.5 \times V_{REF}$

图 6 DC Histogram for Mid-Scale Inputs ( $\pm 2.5 \times V_{REF}$ )



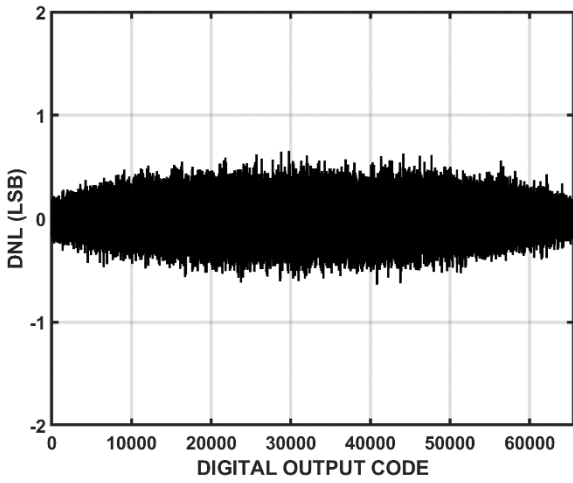
input = 0 V range =  $\pm 1.25 \times V_{REF}$

图 7 DC Histogram for Mid-Scale Inputs ( $\pm 1.25 \times V_{REF}$ )



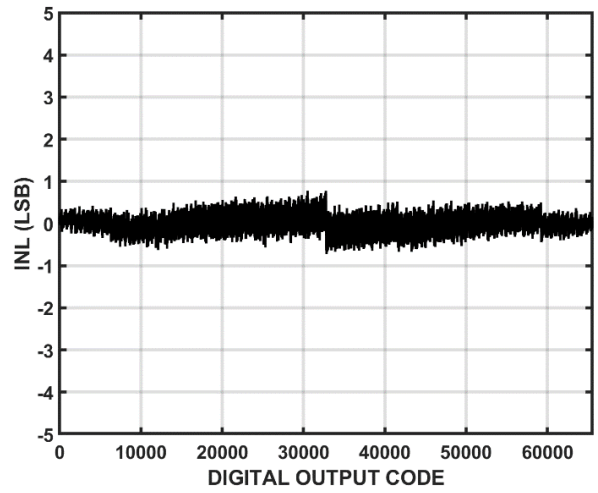
input = 0 V range =  $\pm 0.625 \times V_{REF}$

图 8 Histogram for Mid-Scale Inputs ( $\pm 0.625 \times V_{REF}$ )



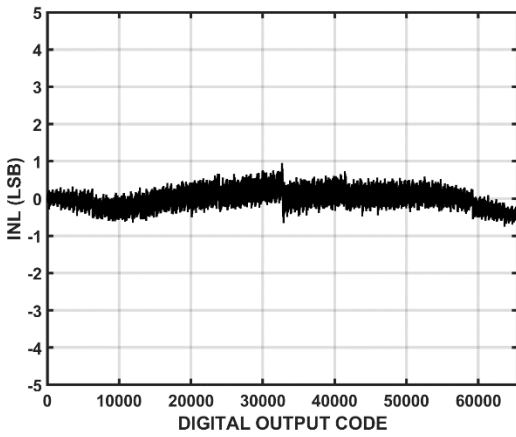
All input Ranges

图 9 Typical DNL for All Codes



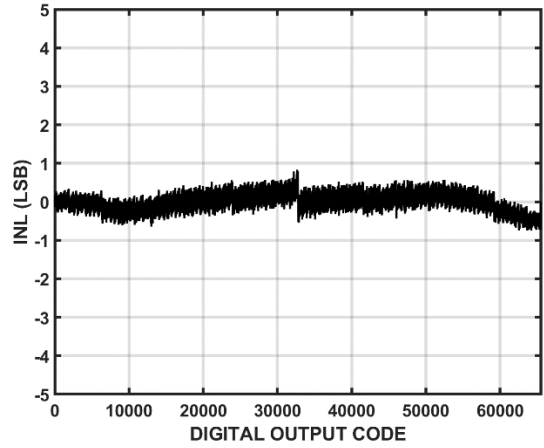
Range =  $\pm 3.125 \times VREF$

图 10 Typical INL for All Codes



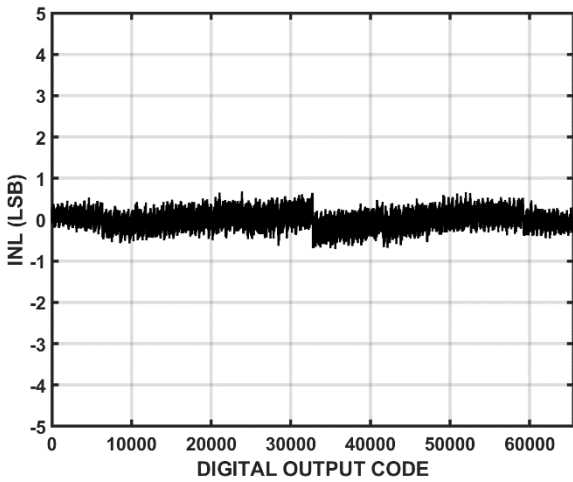
Range =  $\pm 2.5 \times VREF$

图 11 Typical INL for All Codes



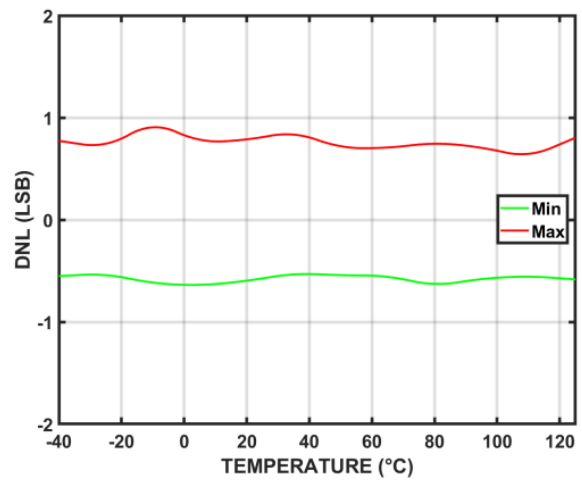
Range =  $\pm 1.25 \times VREF$

图 12 Typical INL for All Codes



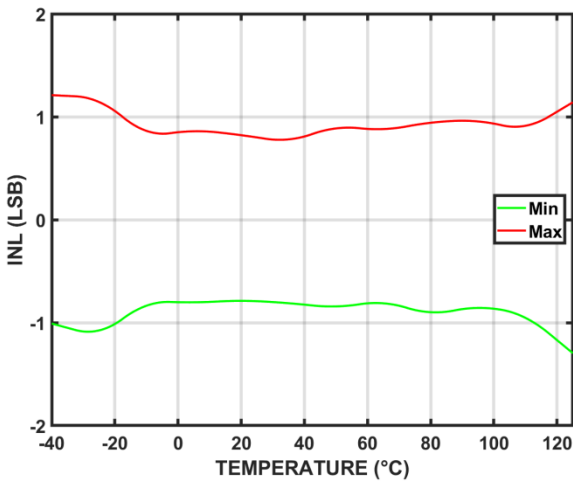
Range =  $\pm 0.625 \times VREF$

图 13 Typical INL for All Codes



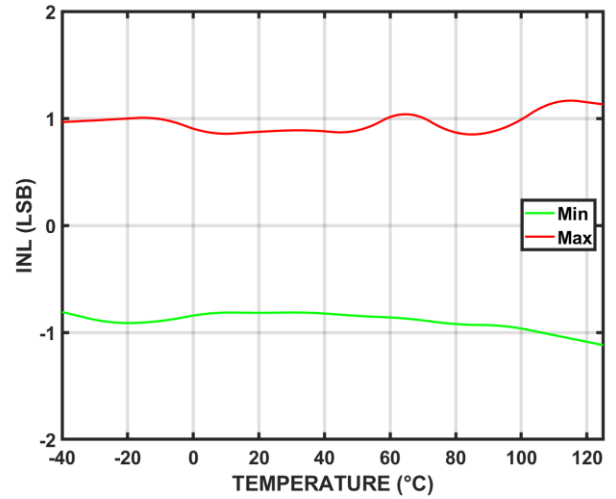
All input Ranges

图 14 Typical DNL VS Temperature



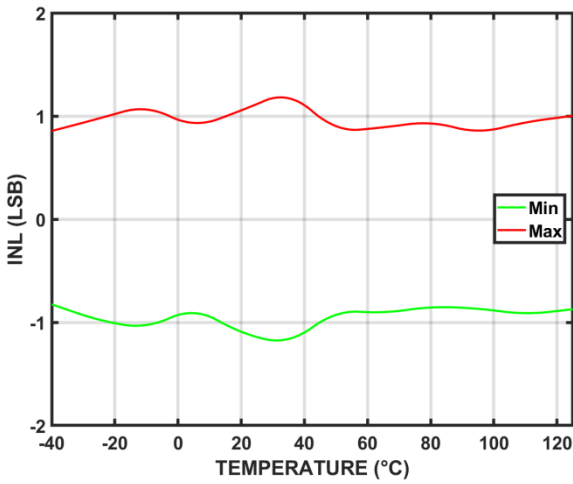
Range =  $\pm 3.125 \times VREF$

图 15 Typical INL VS Temperature



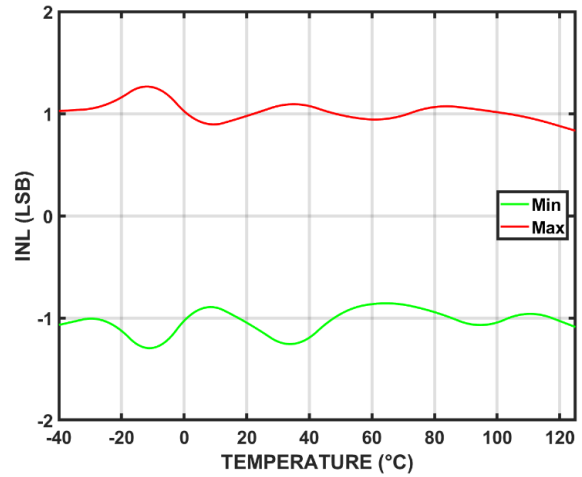
Range =  $\pm 2.5 \times VREF$

图 16 Typical INL VS Temperature



Range =  $\pm 1.25 \times VREF$

图 17 Typical INL VS Temperature



Range =  $\pm 0.625 \times VREF$

图 18 Typical INL VS Temperature

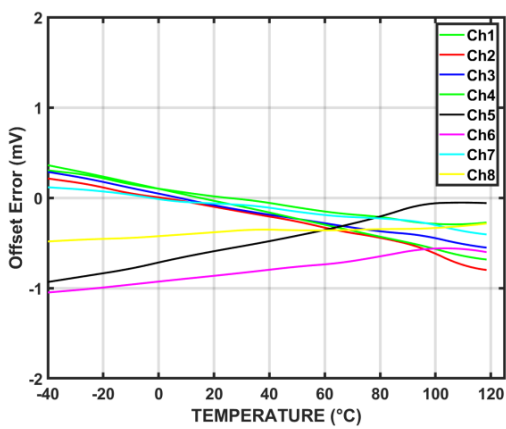


图 19 Offset Error vs Temperature Across Channels

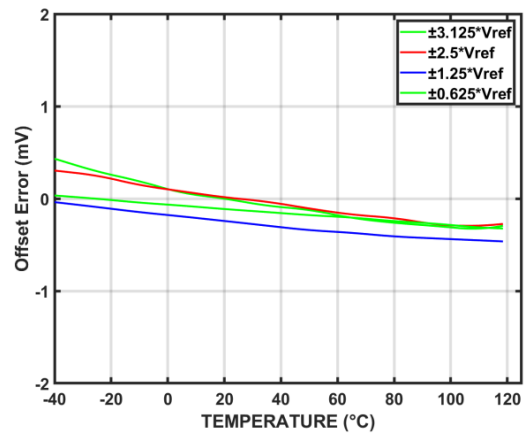


图 20 Offset Error vs Temperature Across Channels

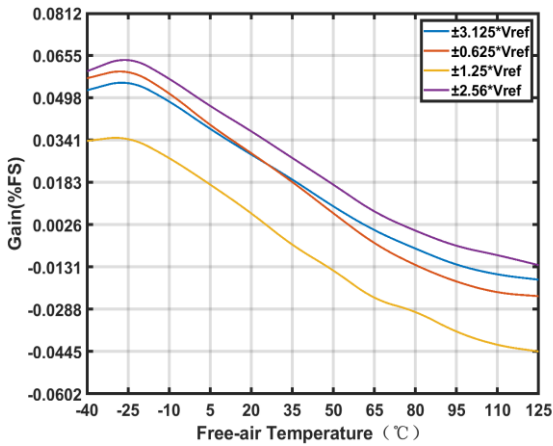


图 21. 各输入范围内增益误差和温度关系

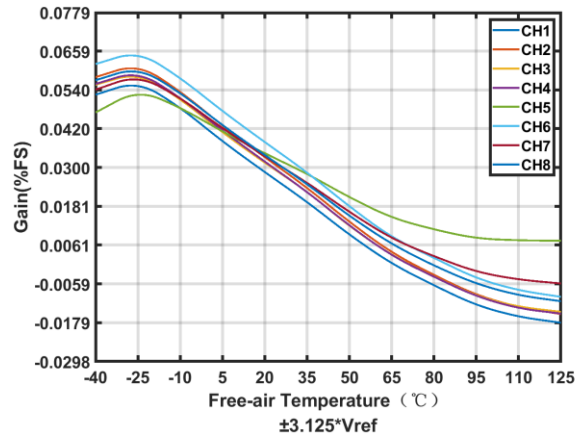
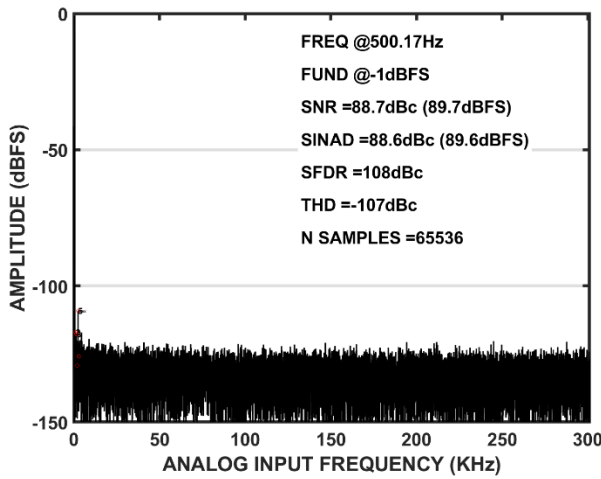
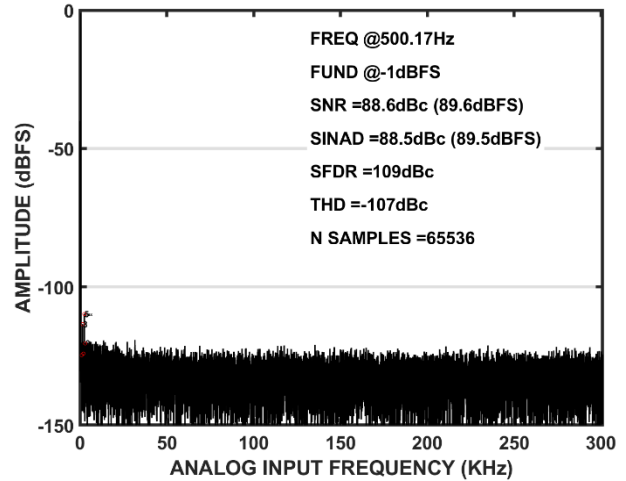


图 22. 各通道增益误差和温度关系



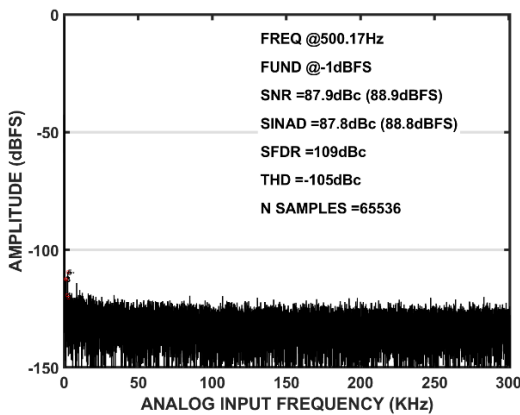
Number of points = 64k,  $f_{IN} = 500.17\text{Hz}$ ,  $SNR = 88.7\text{ dB}$ ,  $SINAD = 88.6\text{ dB}$ ,  $THD = -107\text{ dB}$ ,  $SFDR = 108\text{ dB}$

图 23 Typical FFT Plot ( $\pm 3.125 \times VREF$ )



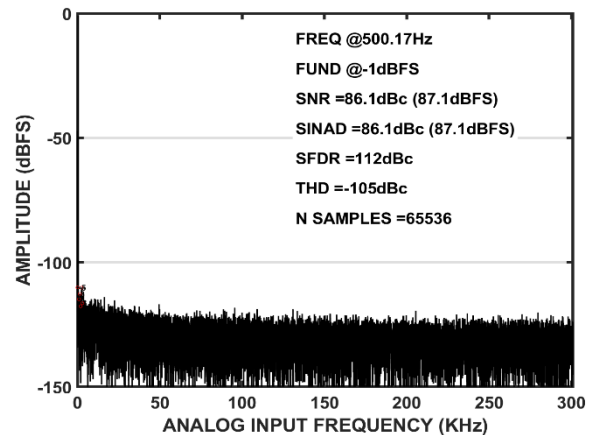
Number of points = 64k,  $f_{IN} = 500.17\text{Hz}$ ,  $SNR = 88.6\text{ dB}$ ,  $SINAD = 88.5\text{ dB}$ ,  $THD = -107\text{ dB}$ ,  $SFDR = 109\text{ dB}$

图 24 Typical FFT Plot ( $\pm 2.5 \times VREF$ )



Number of points = 64k,  $f_{IN} = 500.17\text{Hz}$ ,  $SNR = 87.9\text{ dB}$ ,  $SINAD = 87.8\text{ dB}$ ,  $THD = -105\text{ dB}$ ,  $SFDR = 109\text{ dB}$

图 25 Typical FFT Plot ( $\pm 1.25 \times VREF$ )



Number of points = 64k,  $f_{IN} = 500.17\text{Hz}$ ,  $SNR = 86.1\text{ dB}$ ,  $SINAD = 86.1\text{ dB}$ ,  $THD = -105\text{ dB}$ ,  $SFDR = 112\text{ dB}$

图 26 Typical FFT Plot ( $0.625 \times VREF$ )

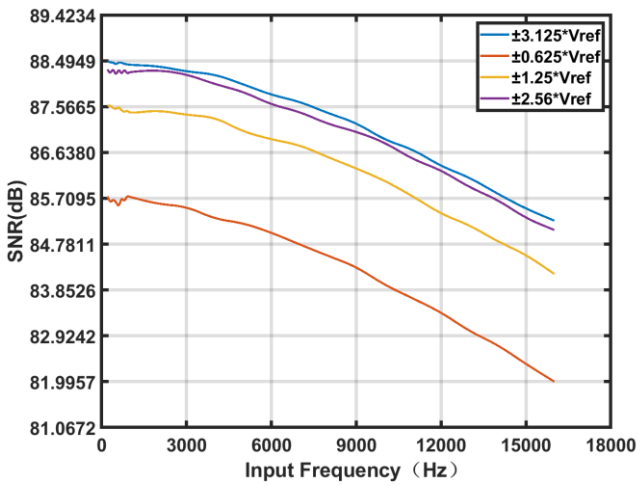


图 27 SNR vs Input Frequency

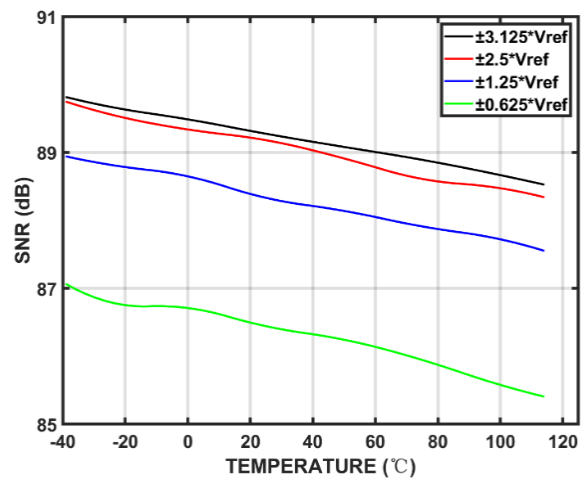


图 28 SNR vs Input Temp

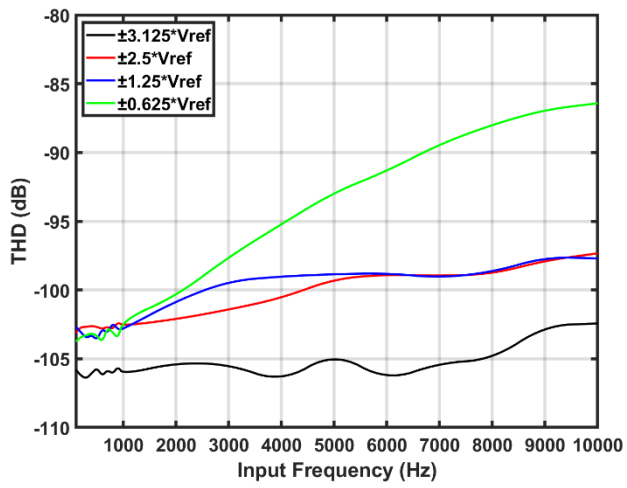


图 29 THD vs Input Frequency

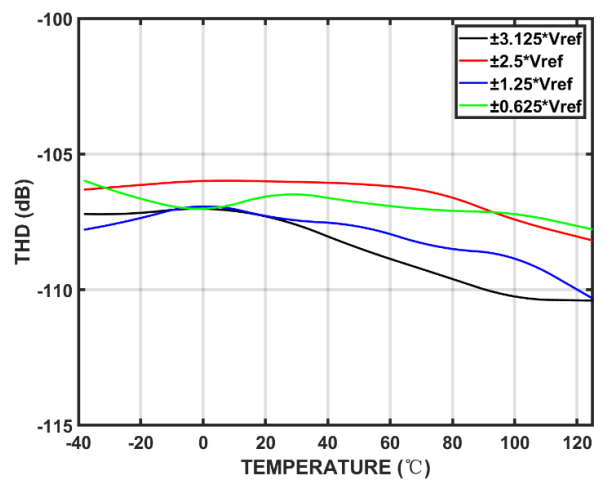


图 30 THD vs Input Temp

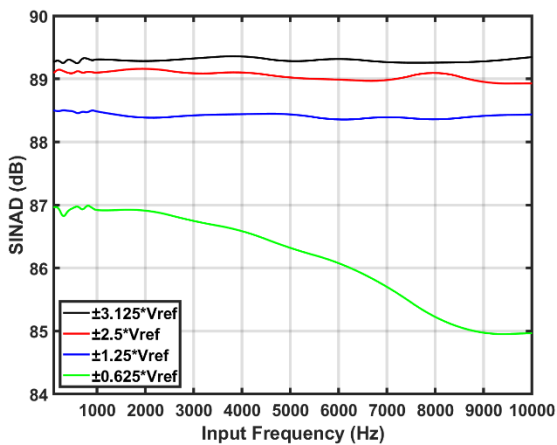


图 31 SINAD vs Input Frequency

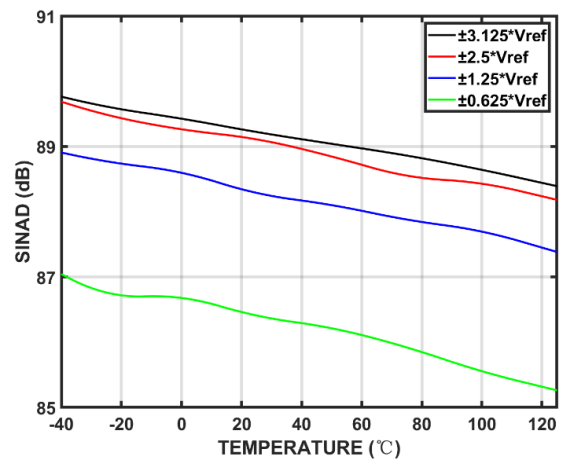


图 32 SINAD vs Input Temp

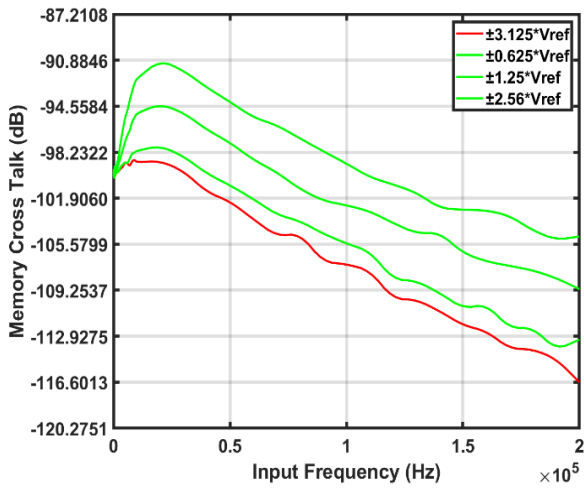


图 33.内存串扰与频率关系

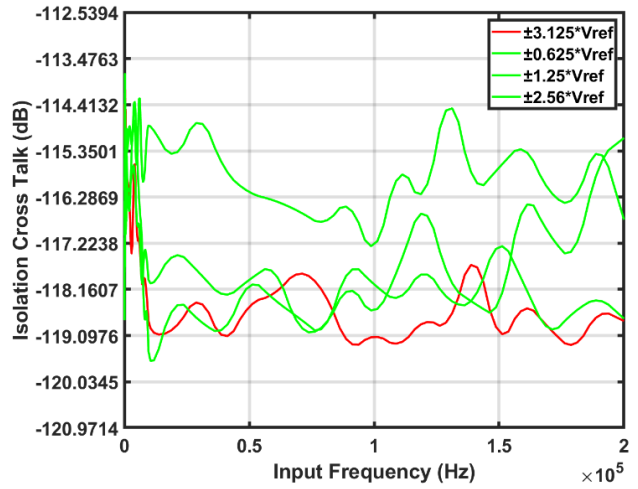
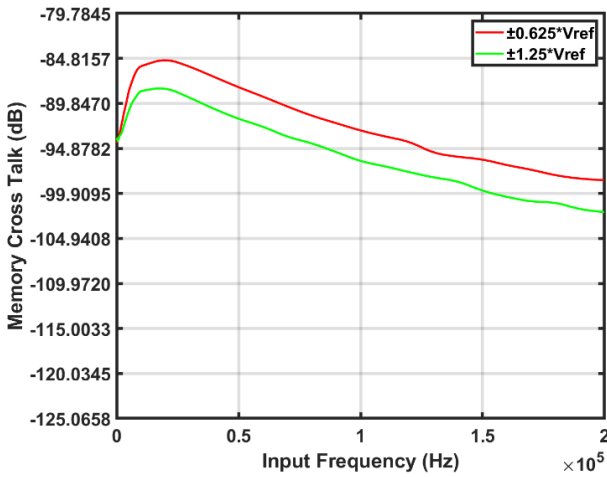
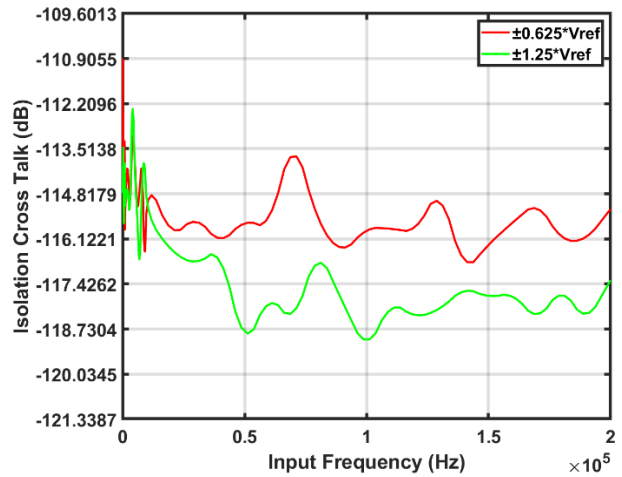


图 34.隔离串扰与频率关系



Input = 2 × Maximum input voltage

图 35.内存串扰与频率关系



Input = 2 × Maximum input voltage

图 36.隔离串扰与频率关系

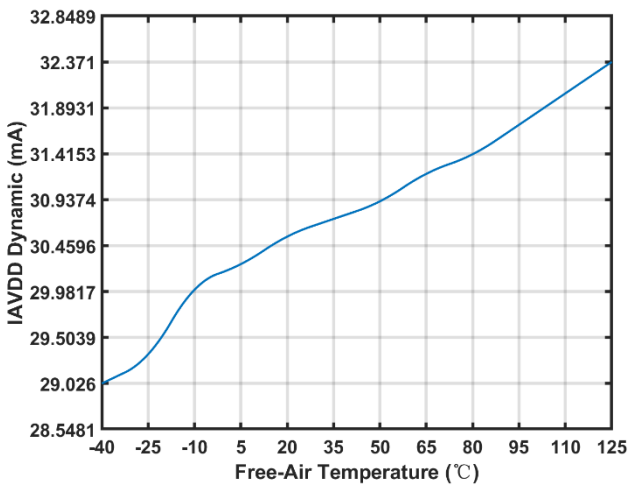


图 37. 芯片转换模式下 Iavdd (A) & Temp

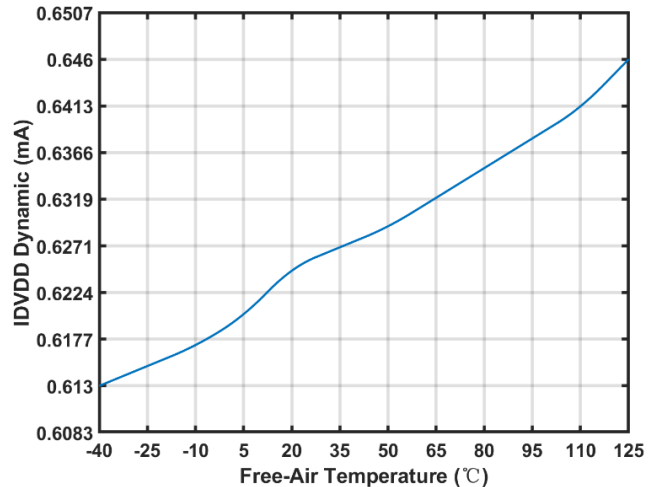


图 38 芯片转换模式下 Idvdd (A) & Temp

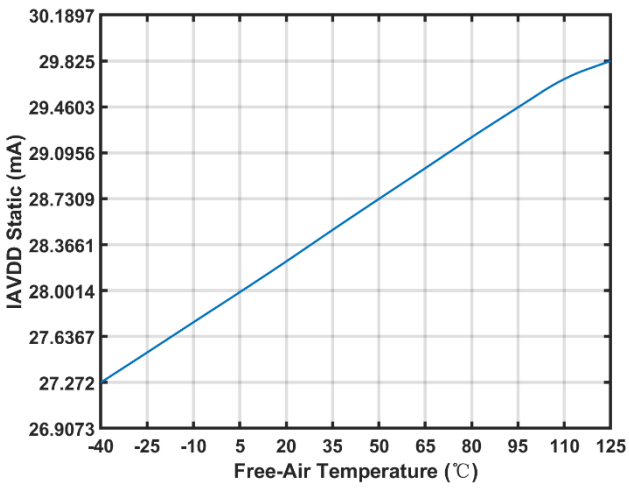


图 39. 芯片未转换模式下 Iavdd 和温度的关系

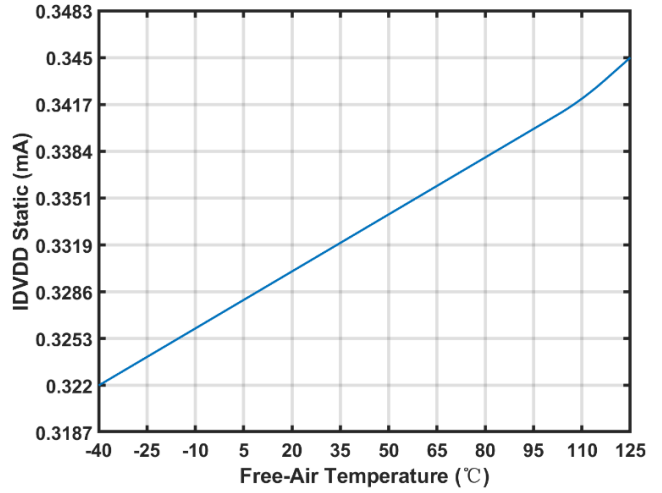


图 40. 芯片未转换模式下 Idvdd 和温度的关系

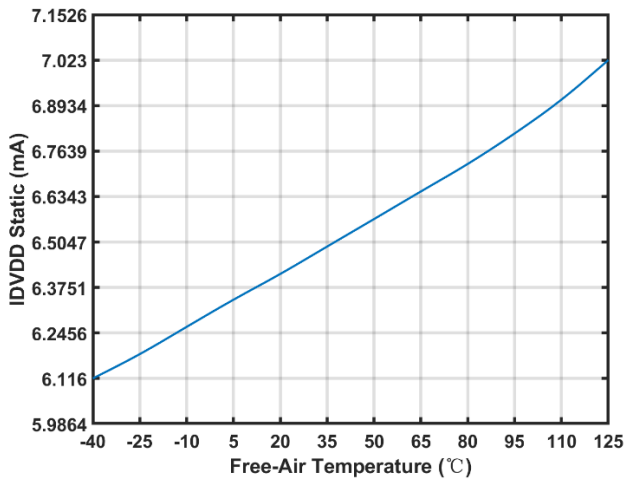


图 41. 芯片 StandBy 模式 Iavdd (A) & Temp

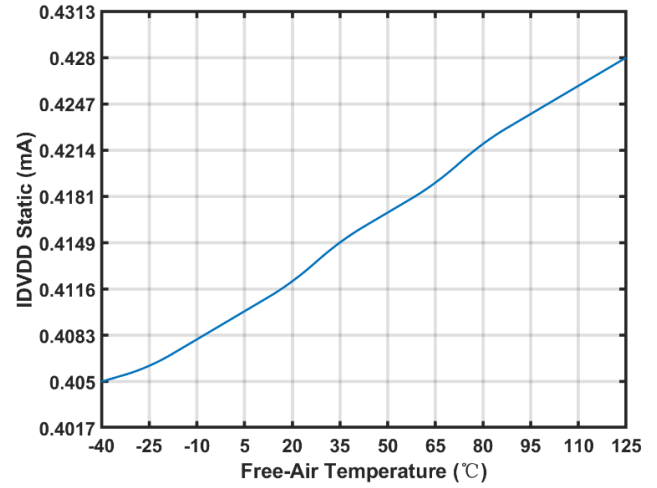


图 42. 芯片 StandBy 模式 Idvdd (A) & Temp

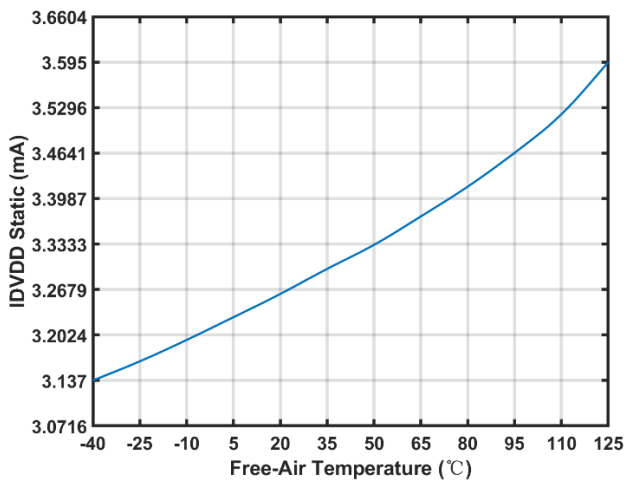


图 43. 芯片 PowerDown 模式 Iavdd (A) & Temp

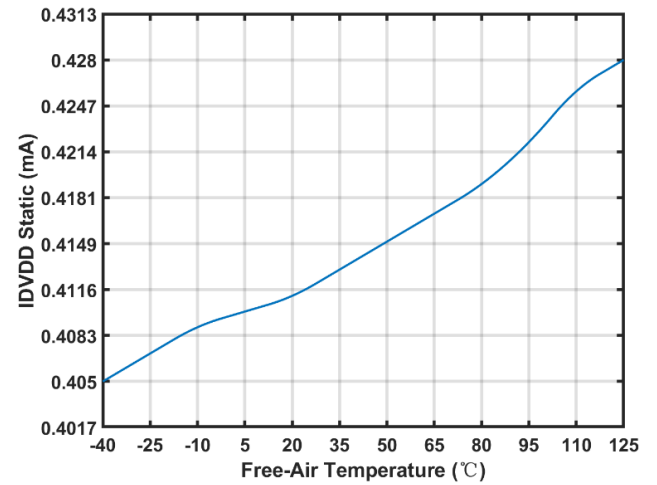


图 44. 芯片 PD 模式 Idvdd (A) & Temp

## 术语

### 积分非线性(INL)

ADC 传递函数与一条通过 ADC 传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的 1/2 LSB 处的电平，终点在高于最后一个码转换的 1/2 LSB 处的满量程。

### 微分非线性(DNL)

ADC 中任意两个相邻码之间所测得变化值与理想的 1LSB 变化值之间的差异。

### 双极性零代码误差

半量程转换(全 1 到全 0)与理想值，即  $0V - 1/2$  LSB 的偏差。

### 双极性零代码误差匹配

任何两个输入通道之间双极性零代码误差的绝对差。

### 正满量程误差

校正双极性零代码误差之后，实际的最后一个码转换与理想的最后一个码转换( $12.8V - 1/2$  LSB ( $12.79980$ )) 和 ( $10.24V - 1/2$  LSB ( $10.23984$ )) 和 ( $5.12V - 1/2$  LSB ( $5.11992$ )) 和 ( $2.56V - 1/2$  LSB ( $2.55996$ )) 的偏差。正满量程误差包括内部基准电压缓冲的贡献。

### 正满量程误差匹配

任何两个输入通道之间正满量程误差的绝对差。

### 负满量程误差

校正双极性零代码误差之后，实际的第一个码转换与理想的第一个码转换( $-12.8V + 1/2$  LSB ( $-12.79980$ )) 和 ( $-10.24V + 1/2$  LSB ( $-10.23984$ )) 和 ( $-5.12V + 1/2$  LSB ( $-5.11992$ )) 和 ( $-2.56V + 1/2$  LSB ( $-2.55996$ )) 的偏差。负满量程误差包括内部基准电压缓冲的贡献。

### 负满量程误差匹配

任何两个输入通道之间负满量程误差的绝对差。

### 信纳比(SINAD)

在 ADC 输出端测得的信号对噪声及失真比。这里的信号是基波的均方根幅值。噪声为所有达到采样频率一半 ( $f_s/2$ , 直流信号除外) 的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。

对于一个正弦波输入的理想 N 位转换器，信纳比理论值计算公式为：

$$\text{信纳比} = (6.02N + 1.76) \text{dB}$$

因此，16 位转换器的信纳比理论值为 98dB。

### 总谐波失真(THD)

所有谐波均方根和与基波的比值。对于 BL1087-4 和 BL1087，其定义为

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

其中： $V_1$  是基波幅值的均方根值。

$V_2$  至  $V_9$  是二次到九次谐波幅值的均方根值。

### 峰值谐波或杂散噪声

在 ADC 输出频谱(最高达  $f_s/2$ , 直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪声底的 ADC，则由噪声峰值决定。

### 交调失真

当输入由两个频率分别为  $f_a$  和  $f_b$  的正弦波组成时，任何非线性有源器件都会以和差频率  $m f_a \pm n f_b$  (其中  $m, n = 0, 1, 2, 3$ ) 的形式产生失真产物。交调失真项的  $m$  和  $n$  都不等于 0。例如，二阶项包括  $(f_a + f_b)$  和  $(f_a - f_b)$ ，而三阶项包括  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$  和  $(f_a - 2f_b)$ 。

交调失真根据 THD 参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)来表示。

### 电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。电源抑制比(PSRR)定义为满量程频率  $f$  下 ADC 输出功率与频率  $f_s$  下施加于 ADC  $V_{DD}$  和  $V_{SS}$  电源的 100mV 峰峰值正弦波功率的比值：

$$\text{PSRR(dB)} = 10 \log(P_f/P_{f_s})$$

其中： $P_f$  是在频率  $f$  下 ADC 的输出功率。

$P_{f_s}$  是在频率  $f_s$  下耦合到  $AV_{DD}$  电源的功率。

## 工作原理

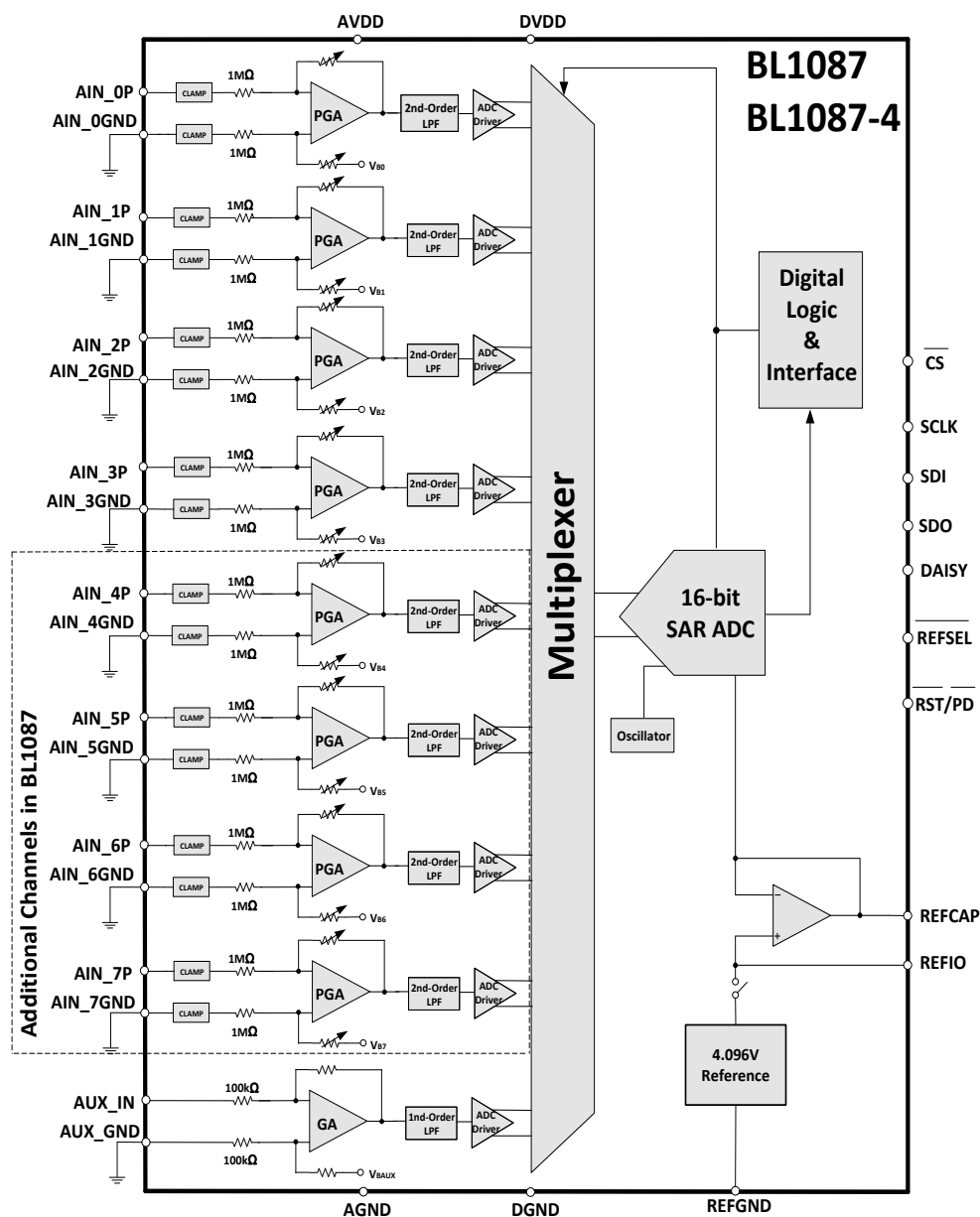
### 概述

BL1087-4 和 BL1087 是具有 4 和 8 通道模拟输入的 16 位数据采集系统。每个模拟输入通道包括钳位保护电路、一个可编程增益放大器 (PGA) 和一个二阶抗混叠滤波器，该滤波器在将输入信号输入 4 和 8 通道模拟多路复用器 (MUX) 之前对输入信号进行调节。基于逐次近似寄存器 (SAR) 架构，使用 16 位模数转换器(ADC 转换器对 MUX 的输出进行数字化。这个整体系统可以实现所有通道

上 600kSPS 的最大吞吐量。该设备具有一个 4.096-V 的内部参考与一个快速建立 Buffer 和一个兼容串行接口与菊花链功能的简单 spi。

该设备操作仅需单一的 5V 模拟电源，便可以容纳真正的双极输入信号高达  $\pm 3.125 \times V_{REF}$ 。器件提供一个恒定的 1-M $\Omega$  电阻输入阻抗，无论采样频率或选择的输入范围。集成了高输入阻抗和单一 5V 电源运行的精密 ADC 电路，提供了一个简化的终端解决方案，不需要外部高压双极性电源和复杂的驱动电路。

### 原理框图



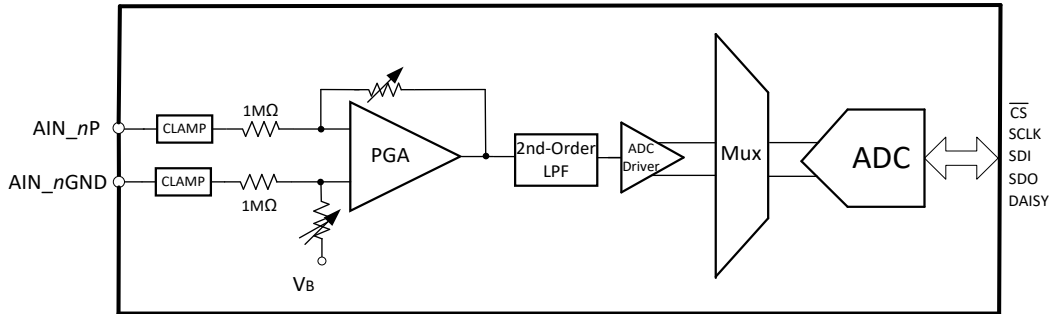
## 功能说明

### 模拟输入

BL1087-4 和 BL1087 具有 4 和 8 个模拟输入通道，正输入 AIN\_nP (n = 0 到 3 或者 7) 是单端

模拟输入，负输入 AIN\_nGND 与 GND 相连。

图 45. 每个模拟输入通道的前端电路示意图显示了每个模拟输入通道的简化电路原理图，包括输入钳位保护电路、PGA、二阶低通滤波器 (LPF)、高速 ADC 驱动器和模拟多路复用器。



NOTE: BL1087-4: n = 0 to 3. BL1087: n = 0 to 7

图 45. 每个模拟输入通道的前端电路示意图

这些器件可以根据工程寄存器的配置支持双极性单端输入电压范围。如范围选择寄存器部分所述，每个模拟通道的输入电压范围可配置为双极性  $\pm 3.125 \times V_{REF}$ 、 $\pm 2.5 \times V_{REF}$ 、 $\pm 1.25 \times V_{REF}$  和  $\pm 0.625 \times V_{REF}$ 。当内部或外部基准电压设置为 4.096 V 时，器件的输入范围可配置为  $\pm 12.8V$ 、 $\pm 10.24 V$ 、 $\pm 5.12 V$  和  $\pm 2.56 V$  的双极性范围。这些输入范围中的任何一个都可以分配给设备的任何模拟输入通道。例如，可以将  $\pm 2.5 \times V_{REF}$  范围分配给 AIN\_1P，可以将  $\pm 1.25 \times V_{REF}$  范围分配给 AIN\_2P，依此类推。设备对所选模拟输入通道和 AIN\_nGND 引脚之间的电压差 (AIN\_nP-AIN\_nGND) 进行采样。该设备允许在所有模拟输入通道的 AIN\_nGND 引脚在  $\pm 0.1V$  范围。在模块化系统中，当传感器或信号调节模块远离电路板上的 ADC，并且当传感器或信号调节器的接地电位可能与 ADC 接地有差异时，这一特性非常有用。在这种情况下，建议将设备的 AIN\_nGND 引脚分开到传感器或信号调节接地。

### 模拟输入阻抗

器件中的每个模拟输入通道都具有  $1 M\Omega$  的恒定电阻阻抗。输入阻抗与 ADC 采样频率、输入信号频率或范围无关。这种高阻抗输入的主要优点是易于驱动 ADC 输入，而不需要驱动具有低输出阻抗的放大器。该系统中不需要双极性、高压电源，因为此 ADC 不需要任何高压前端驱动器。在大多数应用中，信号源或传感器输出可以直接连接到 ADC 输入，这大大简化了信号链的设计。

为了保持系统的直流精度，建议将 AIN\_nP 输入引脚上的外部源阻抗与 AIN\_nGND 引脚上的等效电阻相匹配。这种匹配有助于消除由外部电阻引起的任何额外的偏移误差。

### 模拟输入钳位保护

图 46 显示了 BL1087-4 和 BL1087 的模拟输入结构。其各路模拟输入均含有钳位保护电路。虽然采用 5V 单电源供电，但此模拟输入钳位保护允许输入过压达到  $\pm 15.5V$ 。

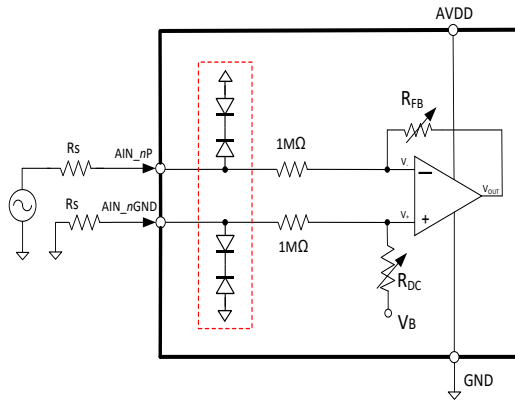


图 46. 输入的钳位保护电路示意图

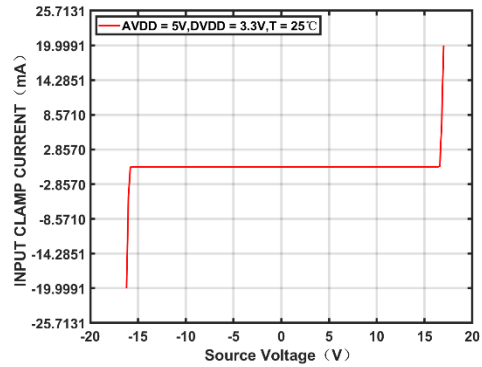


图 47. 芯片内部 Clamp 电路

图 47. 显示了钳位电路中电压与电流的关系。当输入电压不超过±15.5V 时，钳位电路中无电

流。当输入电压超过±15.5V 时，BL1087-4 和 BL1087 钳位电路开启。

### 可编程增益放大器 (PGA)

这些器件在每个单独的模拟输入通道上提供一个可编程增益放大器(PGA)，将原始单端输入信号转换为全差分信号，以驱动内部 16 位 ADC。PGA 还会在输入信号馈入 ADC 之前调整输入信号的共模电平，以确保 ADC 输入动态范围的最大利用率。根据输入信号的范围，可以通过在程序寄存器中设置 Range\_CHn[3:0] (n = 0 到 3 或 7) 位来相应地调整 PGA 增益。

Range\_CHn[3:0]位的默认或上电状态为 0000，对应于输入信号范围±2.5×VREF。表 6 列出了不同模拟输入电压范围的 Range\_CHn[3:0]位的各种配置。PGA 使用高度匹配的电容器网络来实现多种增益配置。这些电阻器与所有通道上的放大器之间的匹配经过精确调整，以保持所有通道和输入范围内的整体增益误差较低。

表 6. 输入范围选择位配置

模拟输入范围	Range_CHi[3:0]			
	BIT 3	BIT 2	BIT 1	BIT 0
±2.5 × VREF	0	0	0	0
±1.25 × VREF	0	0	0	1
±0.625 × VREF	0	0	1	0
±3.125 × VREF	0	0	1	1

### 二阶低通滤波器 (LPF)

为了减轻 PGA 的前端放大器和增益电阻的噪声，BL1087-4 和 BL1087 的每个模拟输入通道在 PGA 的输出处具有二阶抗混叠 LPF。模拟抗混叠滤波器的幅度和相位响应分别如图 48. 二阶

LPF 幅值响应和图 49. 二阶 LPF 相位所示。为了获得最大的性能，抗混叠滤波器的-3-dB 截止频率通常被设置为 14 kHz。该滤波器的性能在 ADC 支持的所有输入范围内都是一致的

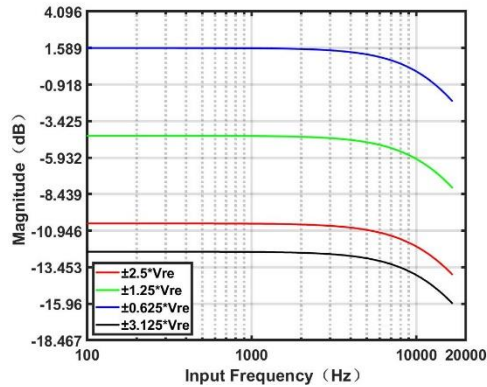


图 48.二阶 LPF 幅值响应

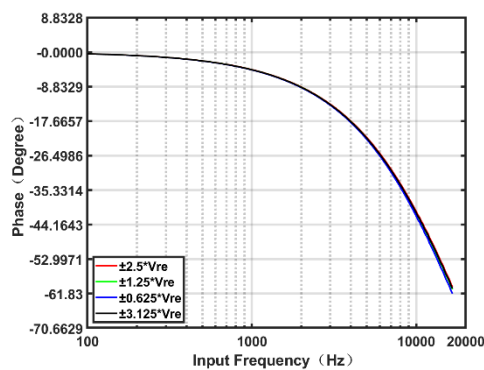


图 49.二阶 LPF 相位响应

## ADC 驱动

为了满足最大采样率 (600kSPS) 的 16 位 SAR ADC 的性能, 必须在采集时间窗口内, 在 ADC 的输入端成功充电和放电。在 ADC 输入处的驱动要求需要使用高带宽、低噪声和稳定的放大器缓冲器。这种输入驱动器被集成在设备的每个模拟输入通道的前端信号路径中。在从多路复用器的一个通道到另一个通道的过渡期间, 快速集成驱动器确保多路复用器输出在 ADC 的采集时间内稳定到 16 位精度, 而不管各自通道上的输入级别如何。

## 多路复用器 (MUX)

BL1087-4 和 BL1087 采用了集成的 4 和 8 通道模拟多路复用器。对于每个模拟输入通道, 正模拟输入 AIN\_nP 和负接地输入 AIN\_nGND 之间的电压差在被输入到多路复用器之前由模拟前端电路调节。多路复用器的输出由 ADC 直接采

样。设备中的多路复用器可以以手动或自动扫描模式扫描这些模拟输入, 如通道测序模式部分所述。在手动模式 (MAN\_Ch\_n) 中, 通过寄存器写入为每个采样选择通道; 在自动扫描模式 (AUTO\_RST) 中, 在当前通道采样后, 每个  $\overline{CS}$  下降边上的通道数自动递增。模拟输入可以选择用于带有寄存器设置的自动扫描 (请参阅自动扫描排序控制寄存器部分)。这些设备只按升序自动扫描选定的模拟输入。

BL1087-4 和 BL1087 最大的总吞吐量被指定为跨所有通道的 600kSPS。每个通道的吞吐量取决于在多路复用器扫描序列中选择的通道的数量。例如, 如果只选择了两个通道, 则每个通道的吞吐量等于 300 kSPS, 但如果选择了四个通道, 则每个通道的吞吐量等于 150kSPS, 以此类推。对于单个模拟通道的自动扫描模式和手动模式之间的切换, 请参见表 12 中的命令寄存器设置。

## 参考电压

BL1087-4 和 BL1087 可以使用内部缓冲器操作内部电压参考或外部电压参考。内部或外部参考选择由外部  $\overline{REFSEL}$  引脚决定。该设备有一个内置缓冲器来驱动内部 ADC 核心的实际参考输入, 以最大化性能。

## 内部参考电压

这些设备的内部参考值为 4.096V (标称值)。为了选择内部参考  $\overline{REFSEL}$  引脚必须被低连接或连接到 AGND。使用内部基准时, REFIO (引脚 5) 变为具有内部基准值的输出引脚。建议在 REFIO 引脚和 REFGND (引脚 6) 之间放置一个 10- $\mu$ F (最小) 解耦电容, 如图 50 所示。电容必须放置在尽可能靠近 REFIO 引脚的地方。内部带隙电路的输出阻抗产生了一个低通滤波器, 以使频带限制参考器件的噪声。使用较小的电容值会导致系统中的参考噪声更高, 从而降低 SNR 和 SINAD 性能。请勿使用 REFIO 引脚驱动外部交流或直流负载, 因为 REFIO 的电流输出能力有限。如果后跟合适的运算放大器缓冲器, 则 REFIO 引脚可用作源。



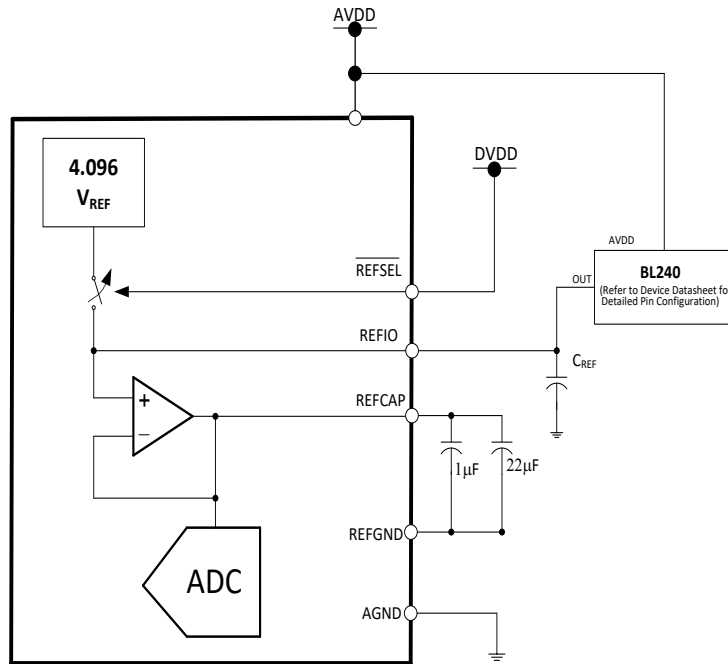


图 51. 使用外部 4.096-V 参考文件的设备连接

内部参考缓冲区的输出显示在 REFCAP 引脚上。REFCAP (引脚 7) 和 REFGND (引脚 6) 之间的最小电容必须为  $10\mu\text{F}$ 。将另一个  $1\mu\text{F}$  的电容尽可能靠近 REFCAP 引脚, 以解耦高频信号。不要使用内部缓冲器来驱动外部交流或直流负载, 因为该缓冲器的电流输出能力有限。在-

$40^{\circ}\text{C}$  到  $125^{\circ}\text{C}$  的整个工作温度范围内, 内部缓冲器输出的性能非常稳定。图 52 显示了 AVDD 为 5V 的电压下 REFCAP 输出随温度的变化。参考缓冲随温度变化漂移的典型值为  $1\text{ppm}/^{\circ}\text{C}$  最大指定温度漂移等于  $1.5\text{ppm}/^{\circ}\text{C}$ 。

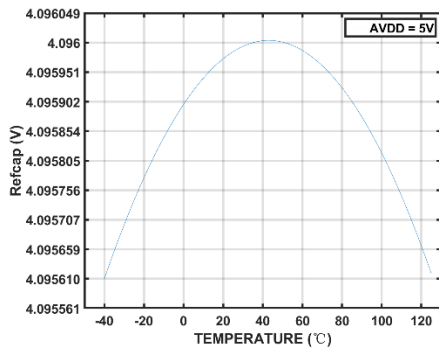


图 52. 参考缓冲区输出 (REFCAP) 的变化  
辅助通道

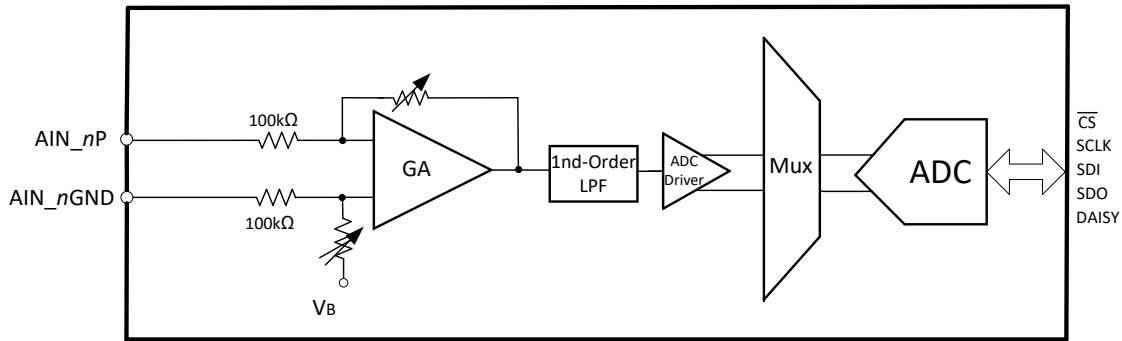
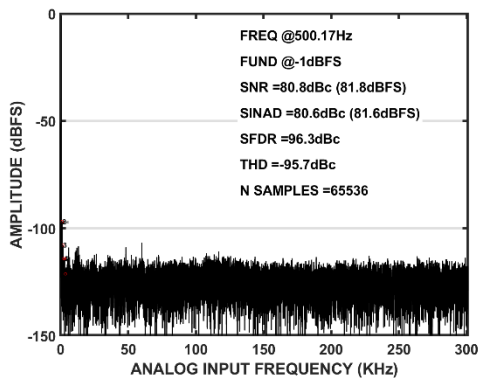


图 53. 辅助通道的前端电路示意图

BL1087-4 和 BL1087 包括单端辅助输入通道 (AUX\_IN 和 AUX\_GND)。AUX 通道具有前端模拟信号调节并通过多路复用器与内部高精度 16 位 ADC 连接。如图 53 所示, 为辅助通道模拟前端电路简化原理图, 包括 100kΩ 输入阻抗、增益放大器 (GA)、一阶低通滤波器 (LPF)、高速 ADC 驱动器和模拟多路复用器。  
输入: -0.1~4.5V

AUX\_IN 引脚上的输入信号可以在 -0.1V 到 4.5V 之间变化, 而 AUX\_GND 引脚必须连接到 GND。BL1087-4 和 BL1087 中的 AUX 通道具有真正的 16 位性能, 没有失码。图 54 至图 60 说明了 AUX 通道的一些典型性能特征。

如需将 ADC 采集到的 Code 转换到 0-4.096V (Code 转换值) 范围内, 需要进转换公式如下:  
Code (转换值) = (Code-1424.7) \* 1.123047



Number of points = 64k, f<sub>IN</sub> = 500.17Hz, SNR = 80.8 dB, SINAD = 80.6dB, THD = -95.7 dB, SFDR =96.3dB

图 54. Typical FFT Plot (AUX)

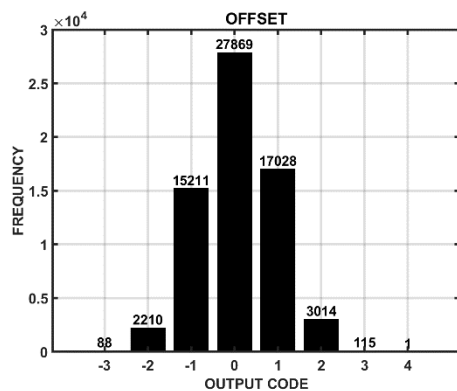


图 55. Histogram for Mid-Scale Inputs

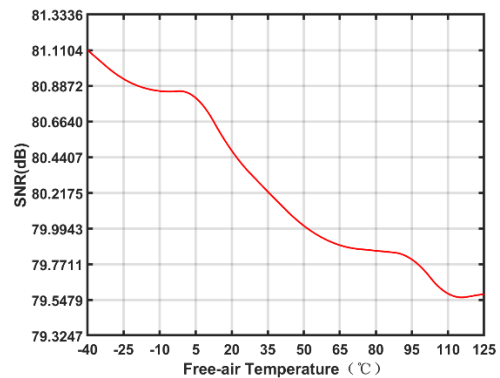


图 56. SNR vs Input Temp

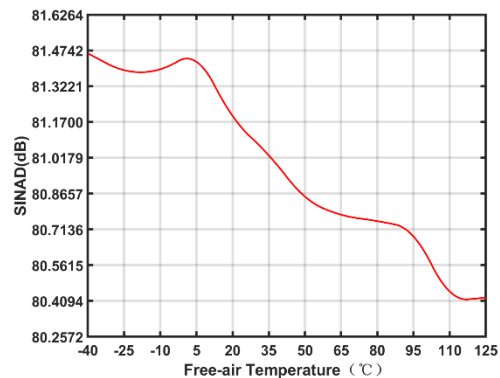


图 57. SINAD vs Temp

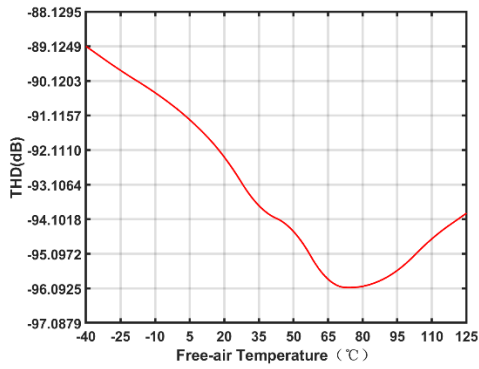


图 58. THD vsTemp

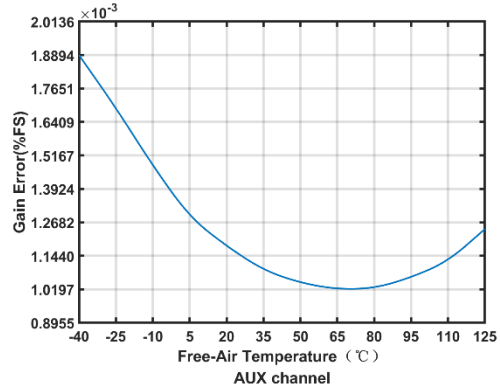


图 60. Gain vs Temp

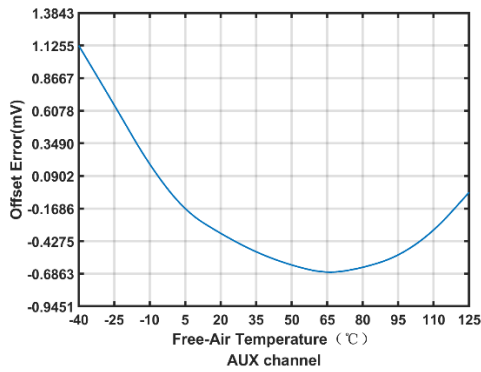


图 59. Offset vs Temp

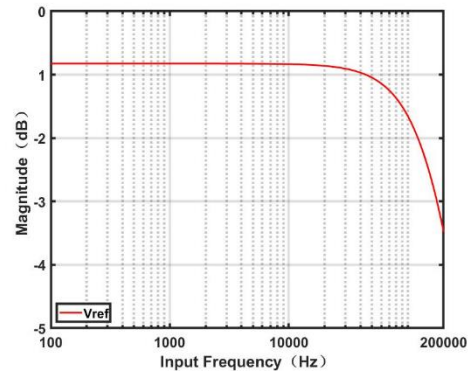


图 61. 一阶 LPF 幅值响应

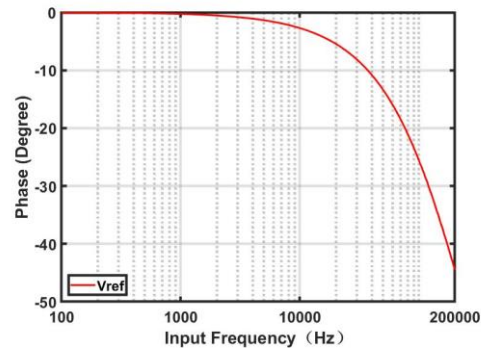


图 62. 一阶 LPF 相位响应

### ADC 传递函数

BL1087-4 和 BL1087 是一系列多通道器件，支持所有输入通道上的单端、双极性输入范围。对于双极性输入范围，器件的输出均为二进制偏移码格式。所有模拟通道的输出代码格式相同。图 63 显示了所有输入范围内每个 ADC 通道的理想传输特性。

每个输入信号的满量程范围(FSR)等于正满量程 (PFS)输入电压与负满量程(NFS)输入电压之间的差值。LSB 大小等于  $FSR / 2^{16} = FSR / 65536$ ，因为 ADC 的分辨率为 16 位。对于  $V_{REF} = 4.096 V$  的基准电压，表 7 列出了与不同输入范围相对应的 LSB 值。

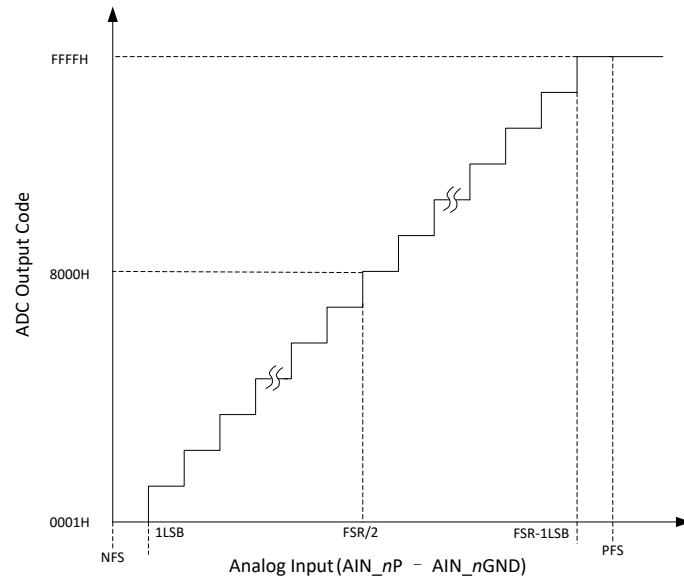


图 63.16-位ADC 传递函数 (二进制偏移码格式)

表 7.不同输入范围的ADC LSB 值 ( $V_{REF} = 4.096 V$ )

输入 Range	正满量程	负满量程	满量程	LSB( $\mu V$ )
$\pm 2.5 \times V_{REF}$	10.24V	-10.24V	20.48V	312.5
$\pm 1.25 \times V_{REF}$	5.12V	-5.12V	10.24V	156.25
$\pm 0.625 \times V_{REF}$	2.56V	-2.56V	5.12V	78.125
$\pm 3.125 \times V_{REF}$	12.8V	-12.8V	25.6V	390.625

## 数字接口

### 设备接口

#### 数字引脚说明

BL1087-4 和 BL1087 数字接口如图 64 所示

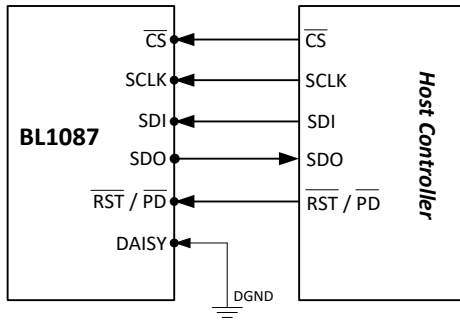


图 64. 数字接口引脚配置

图 64 中所示信号总结如下：

#### $\overline{CS}$ (输入)

$\overline{CS}$  表示低有效，芯片选择信号。 $\overline{CS}$  也被用作控制信号，以触发在下降边沿上的转换。每个数据帧从  $\overline{CS}$  信号的下降边沿开始。在前一帧中选择要在特定帧期间进行转换的模拟输入通道。在  $\overline{CS}$  下降边沿上，设备从选定的通道采样输入信号，并使用内部时钟启动转换。在此转换过程中，可以输入下一个数据帧的设备设置。当  $\overline{CS}$  信号为高电平时，则认为 ADC 处于空闲状态。

#### SCLK (输入)

此引脚表示数据接口的外部时钟输入。所有对设备的同步访问都根据 SCLK 信号的下降边沿进行确定。

#### SDI (输入)

SDI 是串行数据输入线。主机处理器使用 SDI 为内部设备寄存器进行编程，以进行设备配置。在每个数据帧开始时， $\overline{CS}$  信号下降，在接下来的 16 个 SCLK 周期中，设备在 SCLK 信号的每个下降沿读取 SDI 线上的数据。在特定数据帧中对设备配置所做的任何更改都被应用于  $\overline{CS}$  信号的后续下降边沿上的设备。

#### SDO (输出)

SDO 是串行数据输出线。设备使用 SDO 来输出转换数据。数据输出帧的大小取决于 SDO 格式的寄存器设置；请参见表 19。在  $\overline{CS}$  上的低电平从 Hi-Z 状态释放 SDO 引脚。SDO 在前 15 SCLK 下降边沿保持在低电平。输出数据流的 MSB 在第 16 个 SCLK 下降边沿上的 SDO 上被确定，然后是在此后的每个下降边沿上的后续数据位。在整个数据帧输出后，SDO 线变低，当  $\overline{CS}$  变高时进入 Hi-Z 状态。

#### Daisy (输入)

Daisy 是一个串行输入引脚。当多个设备以菊花链的模式连接时，如图 67 所示，链中第一个设备的菊花引脚连接到 GND。每个后续设备的菊花引脚连接到前一个设备的 SDO 输出引脚，链中最后一个设备的 SDO 输出连接到主机处理器的 SDI。如果应用程序使用独立设备，则菊花针将连接到 GND。

#### $\overline{RST/PD}$ (输入)

$\overline{RST/PD}$  是一个双功能引脚。图 65 显示了这个引脚的时间，表 8 解释了这个引脚的使用情况。



图 65.  $\overline{RST/PD}$  引脚时序

表 8.  $\overline{RST/PD}$  引脚功能

条件	设备模式
$150\text{ ns} < t_{PL\_RST\_PD} \leq 250\text{ ns}$	设备处于 RST 模式，不进入 PWR_DN 模式
$250\text{ ns} < t_{PL\_RST\_PD} < 600\text{ ns}$	设备处于 RST 模式，可能进入也可能不进入 PWR_DN 模式。 注意：不建议使用此设置。
$t_{PL\_RST\_PD} \geq 600\text{ ns}$	设备进入 PWR_DN 模式，工程寄存器被重置为默认值

通过将  $\overline{RST/PD}$  引脚拉到逻辑低状态至少 600 ns，可以将设备置于断电 (PWR\_DN) 模式。 $\overline{RST/PD}$  引脚与时钟异步；

因此，无论其他引脚的状态如何，都可以随时触发  $\overline{\text{RST}}/\overline{\text{PD}}$ 。当设备处于断电模式时，将忽略数字输入引脚（除了  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚）上的任何活动。

通过将  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚拉到不超过 250 ns，可以将设备中的工程寄存器重置为其默认值（RST）。此输入与时钟异步的。当  $\overline{\text{RST}}/\overline{\text{PD}}$  被拉回逻辑高状态时，设备将处于正常模

## 数据采集示例

本节提供了主机处理器如何使用设备接口来配置设备内部寄存器以及转换和获取用于采样特定输入通道的数据的示例。图 66 中所示的时序图提供了进一步的细节。

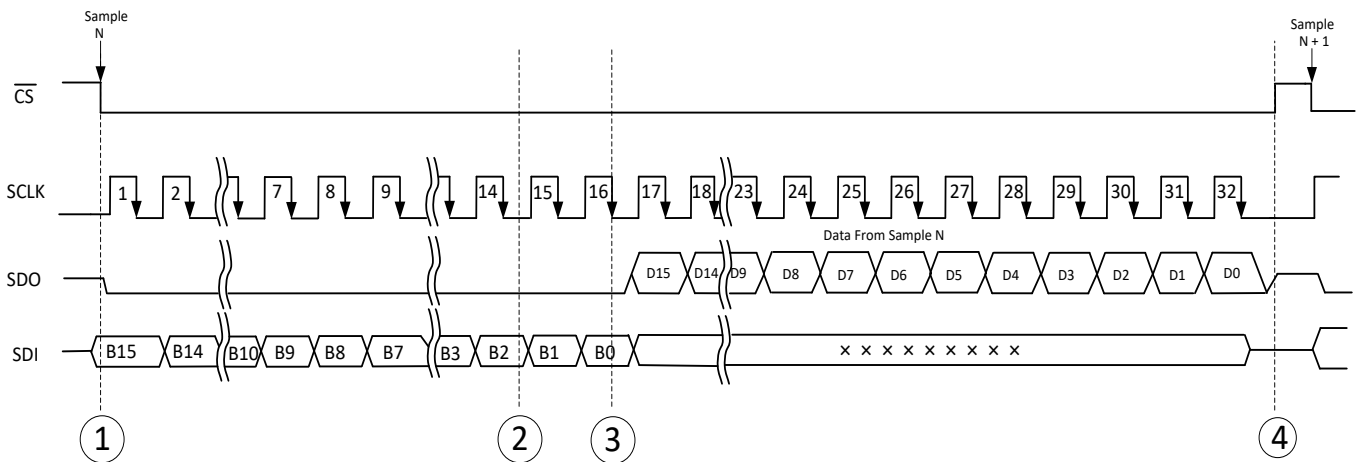


图 66. 使用串行接口时序

图 66 进行的设备操作中显示了四个事件。对这些事件的描述如下：

- **事件 1:** 主机通过  $\overline{\text{CS}}$  信号的下降边沿启动一个数据转换帧。在  $\overline{\text{CS}}$  下降边沿时刻的模拟输入信号由 ADC 采样，并使用内部振荡器时钟进行转换。在当前帧中转换的模拟输入通道在前一个数据帧中被选择。可以在此数据帧期间使用 SDI 和 SCLK 输入下一次转换的设备内部寄存器设置。此时启动 SCLK，并在接下来的 16 个 SCLK 周期中，将每个 SCLK 下降边沿上的数据锁定到设备中。此时，SDO 拉低，因为设备在前 16 个 SCLK 周期中没有在 SDO 线上输出内部转换数据。
- **事件 2:** 在前 16 个 SCLK 周期中，设备完成内部转换过程，数据在转换器中准备就绪。然而，直到在 SCLK 输入上的第 16 个下降沿出现，备才在 SDO 上输出数据位。由于 ADC 转换时间是固定的（最大

式。必须在工程寄存器上执行一个有效的写入操作才能配置设备，然后执行一个适当的命令（AUTO\_RST 或 MAN）来启动转换。

当  $\overline{\text{RST}}/\overline{\text{PD}}$  引脚被拉回逻辑高电平时，设备唤醒处于默认状态，工程寄存器将被重置为其默认值。

值在电气特性表中给出），在内部转换结束后必须出现第 16 个 SCLK 下降边沿，否则设备输出的数据不正确。因此，SCLK 频率不能超过一个最大值，如时序要求：串行接口表中所述。

- **事件 3:** 在 SCLK 信号的第 16 个下降边沿，设备读取 SDI 线上的输入字的 LSB。该设备不会从剩余数据帧的 SDI 行中读取任何内容。在同一边沿上，转换数据的 MSB 被输出在 SDO 线上，并且可以由主机处理器在 SCLK 信号的后续下降边沿上读取。对于 16 位的输出数据，可以在第 32 个 SCLK 下降边上读取 LSB。SDO 在后续的 SCLK 下降沿上输出 0，直到启动下一次转换。
- **事件 4:** 当接收到来自设备的内部数据时，主机通过停用  $\overline{\text{CS}}$  信号拉高来终止数据帧。SDO 输出进入 Hi-Z 状态，直到下一个数据帧被启动，如事件 1 中所述。

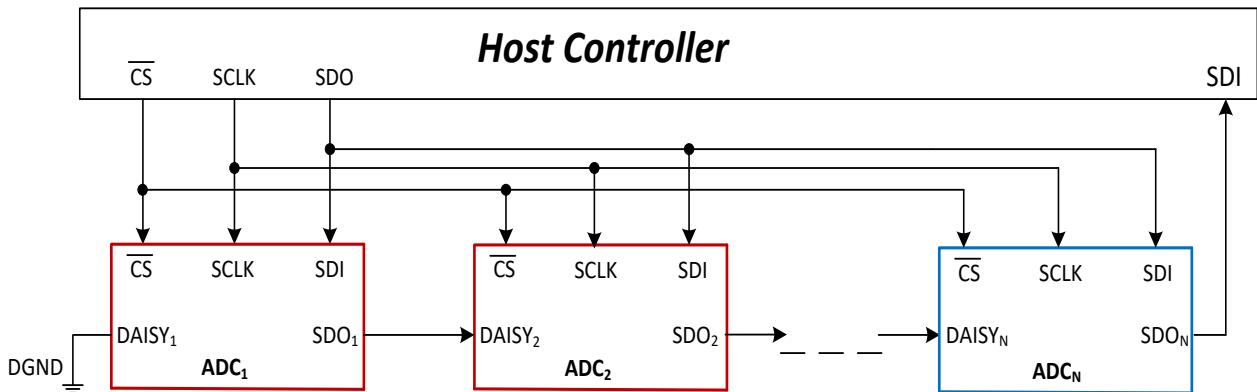


图 67. 菊花链连接示意图

图 68 展示了菊花链模式下连接的三个设备的典型时序图

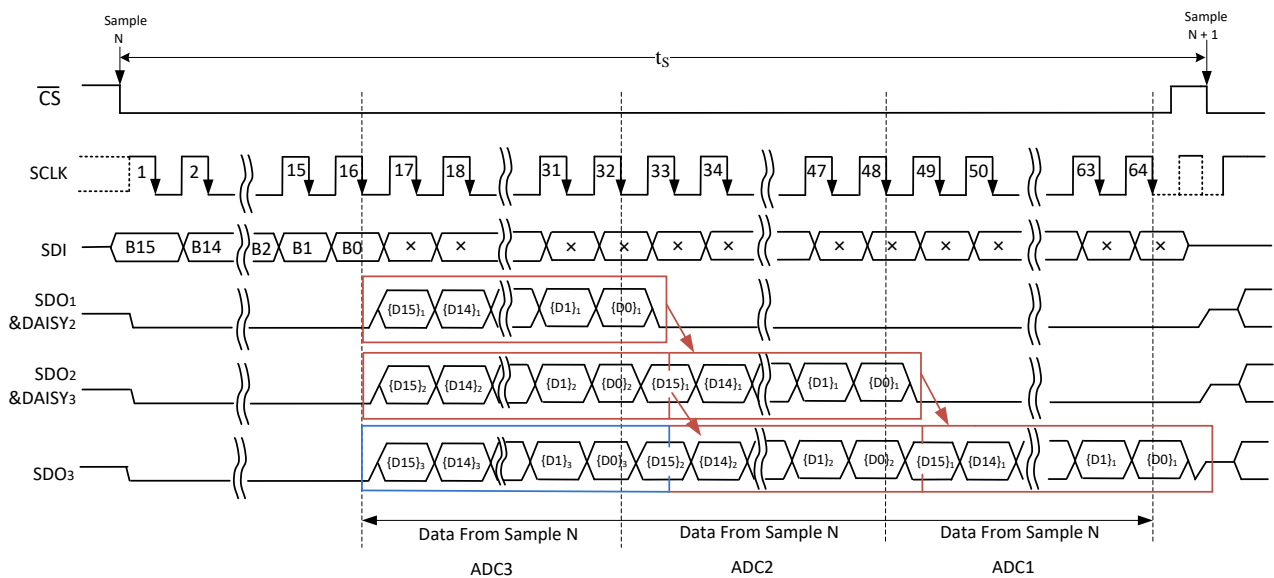


图 68. 在菊花链的模式连接三个设备的时序

在  $\overline{\text{CS}}$  信号的下降边沿，所有设备在其各自选择的通道上对输入信号进行采样，并进入转换阶段。对于前 16 个 SCLK 循环，可以使用 SDI 行输入下一次转换的内部寄存器设置，菊花链中的所有设备都是通用的。在此期间，所有设备的 SDO 输出都保持在低电平。在转换结束时，链中的每个 ADC 将自己的转换结果加载到内部 16 位移位寄存器中。在第 16 个 SCLK 下降边沿，菊花链中的每个 ADC 在其自己的 SDO 输出引脚上输出 MSB 位。在随后的每个 SCLK 下降边上，每个 ADC 的内部移位寄存器锁定其 Daisy 引脚上的可用数据，并转移其 SDO 引脚上的下一点数据。因此，数字主机接收 ADC<sub>N</sub> 的数据，然后是 ADC<sub>N-1</sub> 的数据，等等（以 MSB-first 的方式）。总的来说，至少需要  $16 \times N$  个 SCLK 的下降边沿来捕获链中所有 N 个设备的输出。本示例使用了一个菊花链连接中的三个设备，

因此需要  $3 \times 16 = 48$  个 SCLK 周期来捕获链中所有设备的输出，以及 16 个 SCLK 周期来输入寄存器设置。

关于图 67 中所示的菊花链配置，必须注意以下几点：

- 所有设备的 SDI 引脚都连接在一起，因此每个设备都以相同的内部配置运行。这一限制可以通过额外的主机控制器资源来控制具有独特配置的设备的 SDI 输入来克服。
- 如果菊花链连接的设备数量超过 4 个，则来自主机控制器 ( $\overline{\text{CS}}$ 、SDO 和 SCLK) 的共享输出线的负载会增加。这种增加的负载可能会导致数字时序错误。在将共享的数字线输入到其他设备之前，通过在主机控制器的共享输出上使用数字缓冲器来克服这个限制。

## 星形布局

图 69 显示了显示星形拓扑中的多个设备的典型连接图。所有设备的 SDI 和 SCLK 输入都连接在一起，并分别由主机控制器的单个 SDO 和 SCLK 引脚控制。类似地，所有设

备的 SDO 输出都被连接在一起，并连接到主机控制器的 SDI 输入引脚。每个设备的  $\overline{CS}$  输入引脚由主机控制器上单独的  $\overline{CS}$  控制线单独控制。

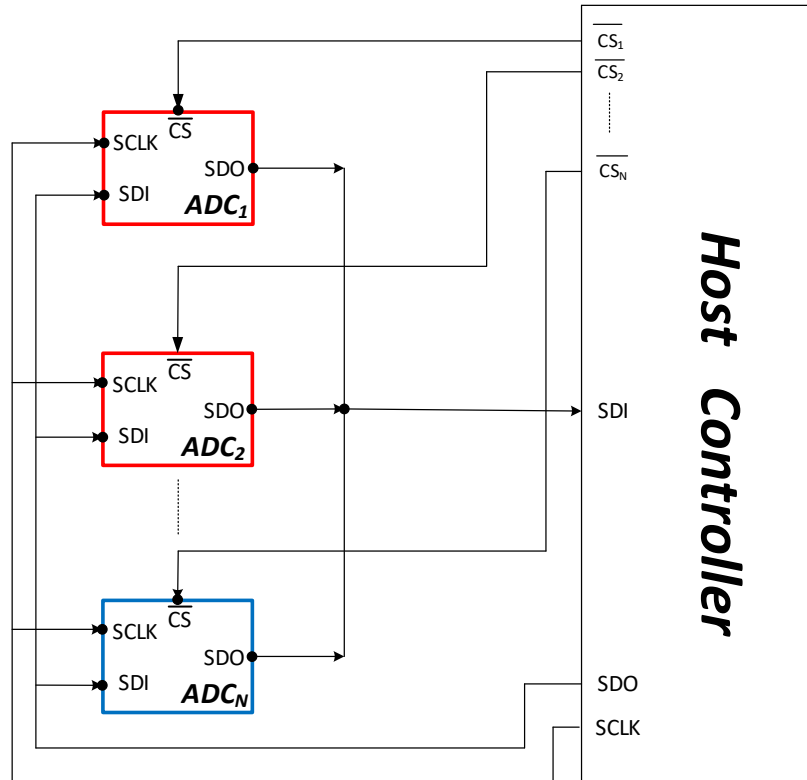


图 69. 星形拓扑连接示意图

星形拓扑中的典型数据帧的时序图与独立设备操作中的相同，如图 68 所示。特定设备的数据帧从  $\overline{CS}$  信号的下降边沿开始，并在  $\overline{CS}$  信号变高时结束。因为主机控制器为该拓扑中的每个设备提供单独的  $\overline{CS}$  控制信号，所以用户可以以任何顺序选择这些设备，并通过降低该特定设备的  $\overline{CS}$  信号来启动转换。如图 68 所示，当  $\overline{CS}$  在每个数据帧的末端变高时，设备的 SDO 输出被置于 Hi-Z 状态。因此，星形拓扑中的共享 SDO 线仅由具有活动数据帧的设备控制（ $\overline{CS}$  值

低电平）。为了避免与多个设备同时驱动 SDO 线相关的冲突，确保主机控制器在任何特定时间只为一个设备的  $\overline{CS}$  信号。

建议在星形拓扑中最多连接四个设备。除此之外，来自主机控制器（SDO 和 SCLK）的共享输出线上的负载可能会增加。这种负载可能会导致数字时序错误。这种限制可以通过在输入其他设备之前，在来自主机控制器的共享输出上使用数字缓冲器来克服。

## 设备模式

BL1087-4 和 BL1087 支持多种软件可编程的操作模式。通电后，设备进入空闲模式，在收到用户的命令之前不执行任何功能。表 9 列出了用于输入设备不同模式的所有命

令。上电后，程序会使用寄存器默认值，并在执行任何转换之前需要适当的配置设置。图 70 中的图表说明了如何将器件从一种工作模式切换到另一种工作模式。

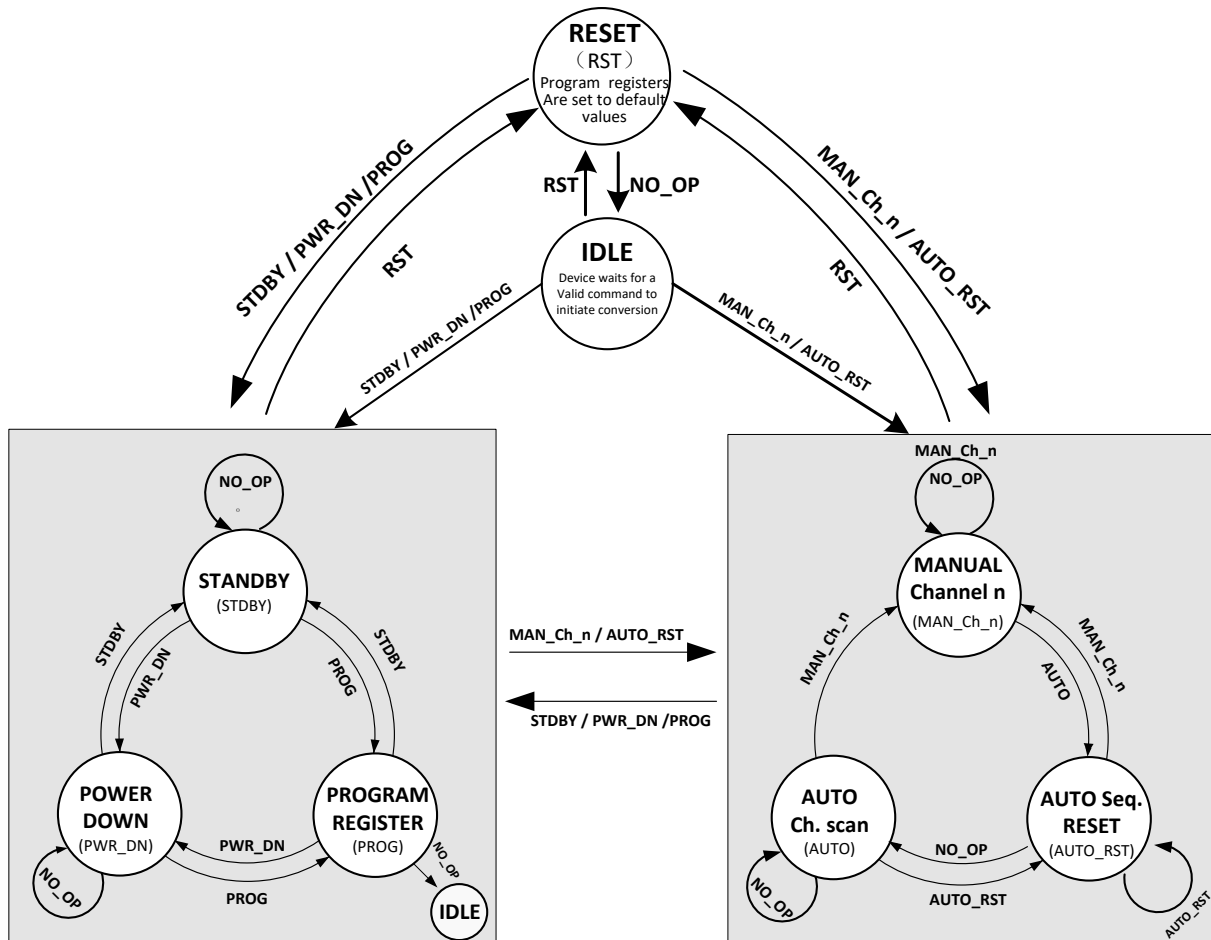


图 70. 状态转移图

### 在选定模式下继续操作 (NO\_OP)

在设备操作期间连续保持 SDI 低电平（相当于将 0 写入所有 16 位），在最后选择的模式（STDBY、PWR\_DN、AUTO\_RST 或 MAN\_Ch\_n）下继续设备操作。在此模式下，设备遵循在工程寄存器中已经配置的不同设置。如果当设备在工程寄存器（PROG 模式）中执行任何读取或写操作时发生 NO\_OP 条件，则该设备将保留工程寄存器的当前设置。设备回到 IDLE 模式，等待用户输入一个正确的命令来执行工程寄存器的读或写配置。

### 帧的中止条件 (FRAME\_ABORT)

如数据采集示例部分所述，器件数字接口的设计使得每个数据帧都从  $\overline{CS}$  信号的下降沿开始。在前 16 个 SCLK 周期内，设备读取 SDI 线路上的 16 位命令字。设备等待执行命令，直到接收到命令的最后一位，该命令被锁在第 16 个

SCLK 下降沿上。在此操作期间， $\overline{CS}$  信号必须保持低电平。如果在数据传输完成之前， $\overline{CS}$  信号因任何原因变高，设备将进入无效状态并等待写入正确的命令。此条件称为 FRAME\_ABORT 条件。当设备在此无效模式下运行时，设备上的任何读取操作都会在 SDO 上返回无效数据。

### 待机模式 (STDBY)

这些设备支持低功耗待机模式（STDBY），其中只有部分电路断电。内部参考和缓冲区没有断电，因此在退出 STDBY 模式时，设备可以在 20μs 内快速通电。当设备脱离 STDBY 模式时，工程寄存器不会被重置为默认值。要进入 STDBY 模式，请使用 8200h 的 STDBY 命令对命令寄存器执行有效的写入操作，如图 71 所示。执行该命令后，设备在此写入操作后的下一个  $\overline{CS}$  上升沿进入 STDBY 模式。如果在随后的数据帧中没有执行有效的转换命令

(AUTO\_RST 或 MAN\_Ch\_n)，并且 SDI 保持在低电平（请参阅选定模式部分中的继续操作 (NO\_OP) 指令），则设备保持处于 STDBY 模式。当设备在 STDBY 模式下运行时，可以使用 16 个 SCLK 周期来更新工程寄存器设置

（如工程寄存器读/写操作部分所述）。但是，如果提供了 32 个完整的 SCLK 周期，那么设备将在 SDO 线上返回无效的数据，因为在 STDBY 模式下没有正在进行的转换。工程寄存器读取操作，在此模式下可以正常进行。

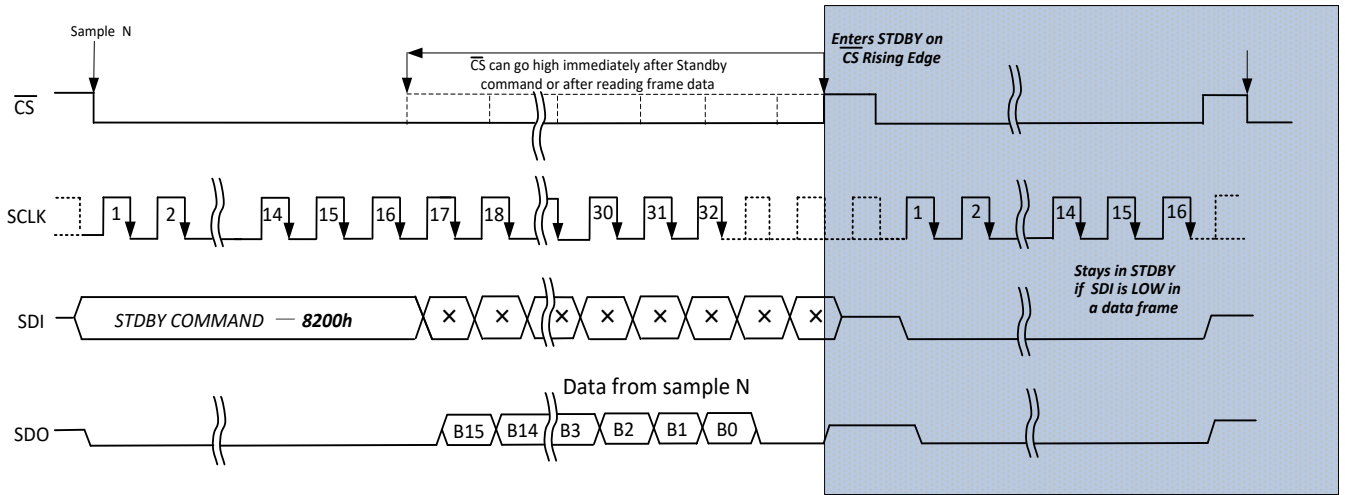


图 71. 输入并保持在 STDBY 模式的时序图

为了退出 STDBY 模式，必须执行一个有效的 16 位写入命令，以进入自动 (AUTO\_RST) 或手动 (MAN\_CH\_n) 扫描模式，如图 72 该设备在下一个 CS 上升边沿开始退出 STDBY 模式。在下一个 CS 下降边沿，设备在 MAN\_CH\_n 命令选择的通道或 AUTO\_RST 模式序列的第一个通道上

对模拟输入进行采样。为了确保输入信号被正确采样，在退出 STDBY 模式后，保持 CS 信号的最小宽度在 20μs，以便在取样前，设备内部电路可以完全通电并适当偏压。所选通道的数据输出可以在相同的数据帧中读取，如图 72 所示。

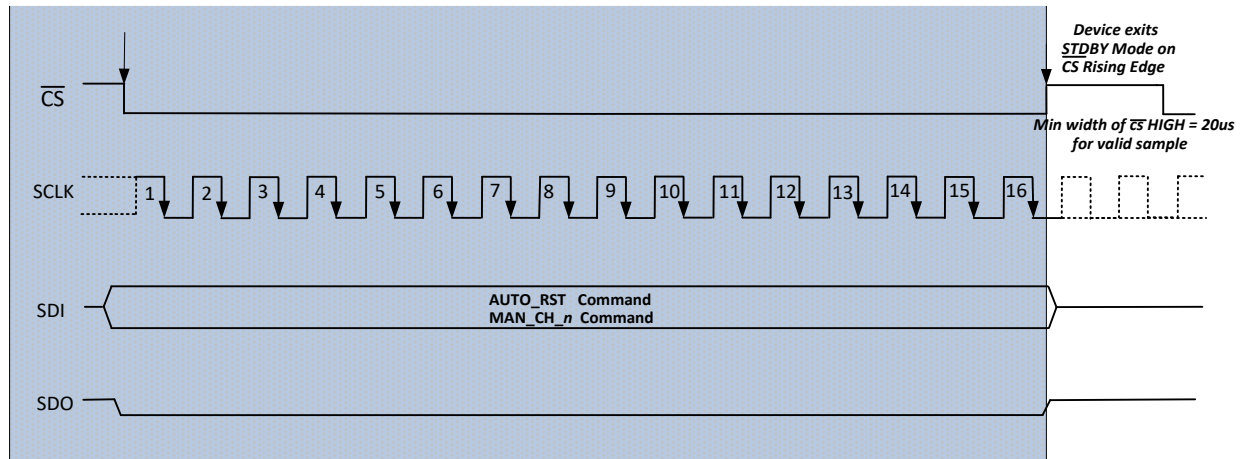


图 72. 退出 STDBY 模式计时图

**断电模式 (PWR\_DN)**

该设备支持硬件和软件断电模式 (PWR\_DN)，其中所有内部电路都被断电，包括内部参考和缓冲区。如果设备处于内部参考模式 (REFSEL = 0)，则在退出 PWR\_DN 模式后，设备通电并转换所选模拟输入通道的最短时间为 33 ms。RST/PD (输入) 部分说明了该设备的硬件电源模式。硬件和软件下电模式的主要区别是，当设备从硬件断

电唤醒时，工程寄存器被重置为默认值，但当设备从软件下电唤醒时，工程寄存器的以前设置被保留。要使用软件进入 PWR\_DN 模式，请使用 8300h 的软件 PWR\_DN 命令对命令寄存器执行有效的写操作，如图 73 所示。执行该命令后，设备在此写入操作后的下一个 CS 上升边沿进入 PWR\_DN 模式。如果在随后的数据帧中没有执行有效的转换命令 (AUTO\_RST 或 MAN\_Ch\_n)，并且 SDI 保持在低电平（请参阅选定模式部分中的继续操作

(NO\_OP) 指令)，则设备保持处于 PWR\_DN 模式。当设备 PWR\_DN 模式下运行时，可以使用 16 个 SCLK 周期来更新工程寄存器设置（如工程寄存器的读 / 写操作

部分所述）。但如果提供了 32 个完整的 SCLK 周期，那么设备将在 SDO 线上返回无效的数据，因为在 PWR\_DN 模式下没有正在进行的转换。工程寄存器读取操作可以在此模式下正常进行。

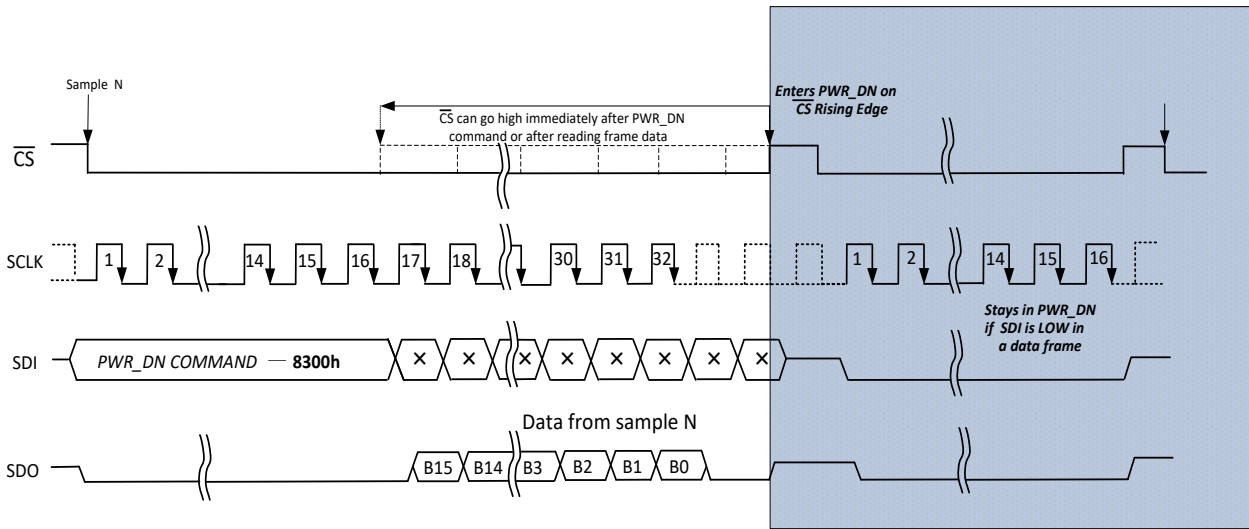


图 73. 输入并保持在 PWR\_DN 模式定时图中

为了退出 PWR\_DN 模式，必须执行一个有效的 16 位写命令，如图 74 所示。该设备在下一个 CS 上升沿脱离 PWR\_DN 模式。对于在内部参考模式 (REFSEL = 0) 下的

操作，在输出有效的转换数据之前，设备需要 33 ms 来使参考和其他内部电路供电，并稳定到所需的精度。

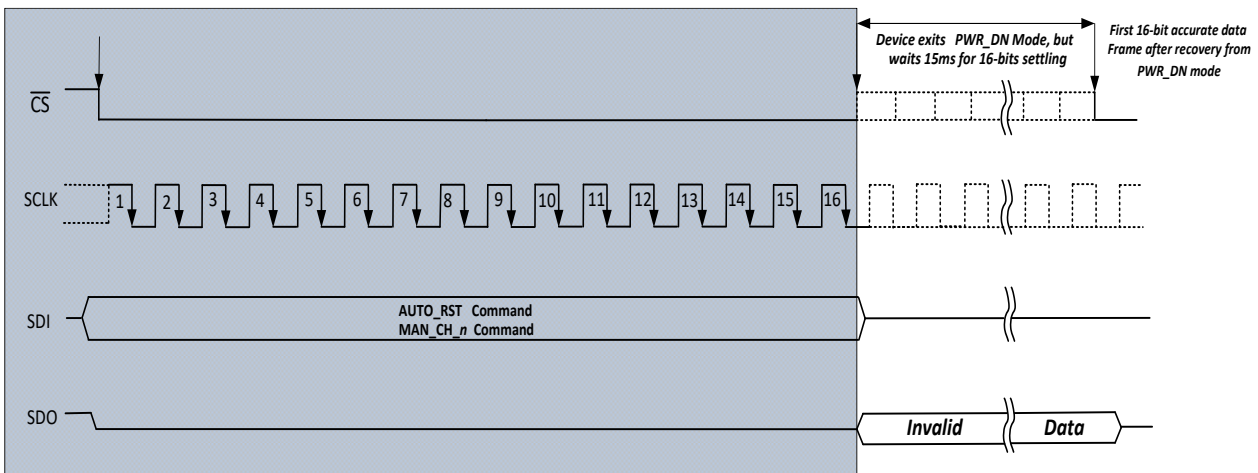


图 74. 退出 PWR\_DN 模式计时图

**自动通道启用与重置(AUTO\_RST)**

通过在命令寄存器中写入一个有效的带有复位 (AUTO\_RST, A000h) 命令的自动通道序列，该设备可以被编程为自动扫描所有模拟通道上的输入信号，如图 75 所示，在 AUTO\_RST 命令发出后或读取帧的输出数据后，可以立即将 CS 信号拉高。然而，为了在下一个数据帧中准确地获取和转换第一选定通道上的输入信号，命令帧必须是一个包含 32 个 SCLK 周期的完整帧。

自动扫描的通道序列可由工程寄存器中的自动 scan 排序控制寄存器 (01h 至 02h) 进行配置；请参考工程寄存器图部分。在这种模式下，设备以升序连续地循环通过所选择的通道，从最低的通道开始，并转换在工程寄存器中所选择的所有通道。在序列完成后，设备返回到工程寄存器中的最低计数通道并重复该序列。在自动扫描序列中，每个通道的输入电压范围可以通过设置工程寄存器的范围选择寄存器来配置。

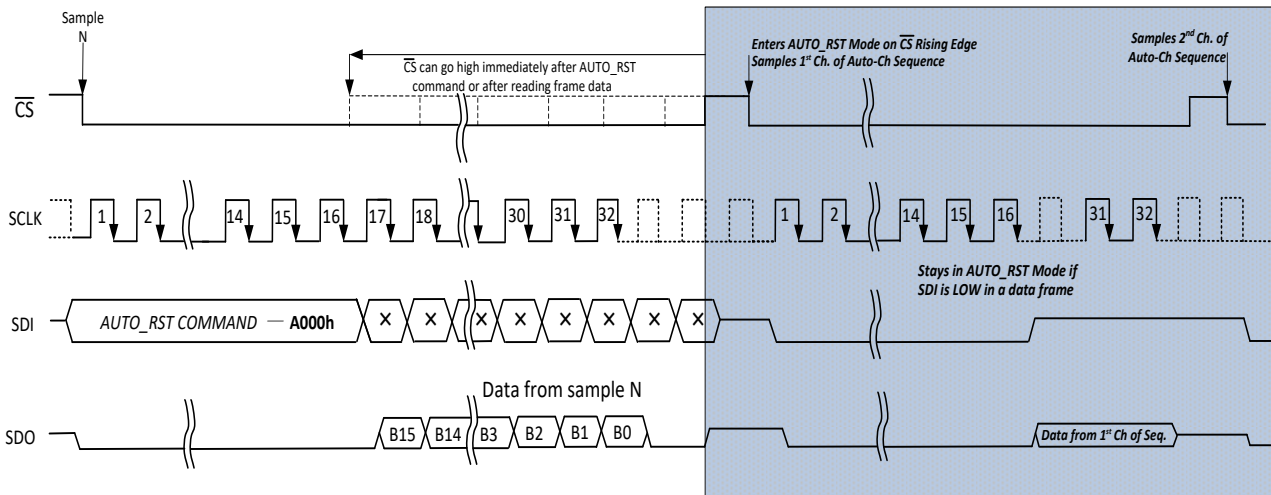


图 75. 进入 AUTO\_RST 模式时序图

如果在后续数据帧中没有执行其他有效命令，且 SDI 保持在较低电平（请参考**选定模式 (NO\_OP)** 部分中的**继续操作**），则设备仍处于 AUTO\_RST 模式。如果在此操作模式中的任何时候再次执行 AUTO\_RST 命令，则扫描通道的序列将被重置。这些设备返回到工程寄存器中的自动扫

描序列的最低计数通道，并重复该序列。图 76 中的时序图通过在自动序列中选择通道 0 到 3 的示例显示了这种行为。关于在 AUTO\_RST 模式和 MAN\_Ch\_n 模式之间的切换，请参考**通道测序模式**部分。

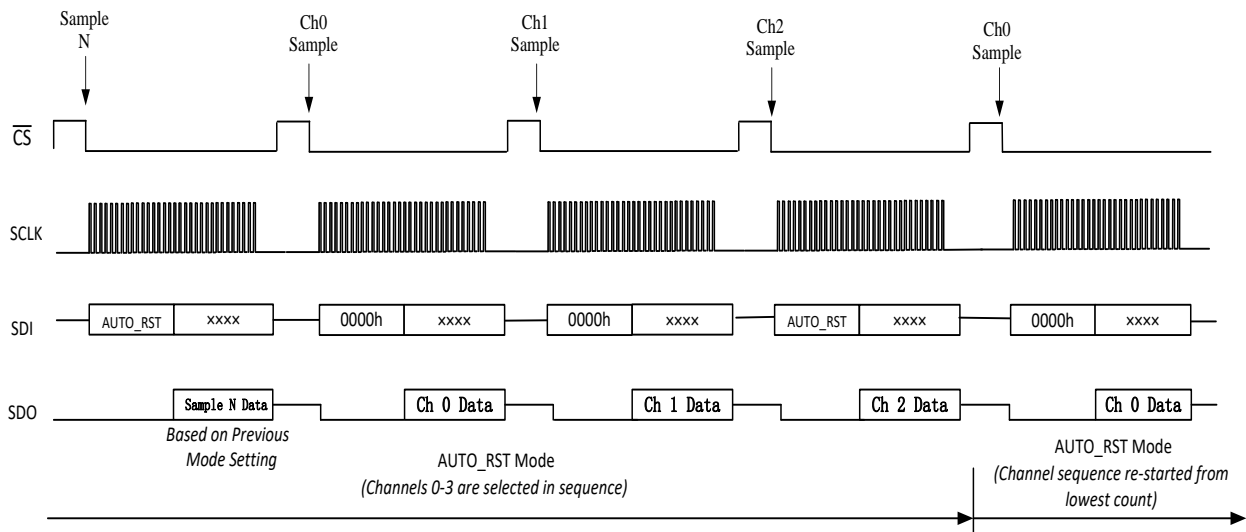


图 76. 在 AUTO\_RST 模式下的设备操作示例

### 手动通道 n 选择(MAN\_Ch\_n)

通过在手动通道 n 扫描模式 (MAN\_Ch\_n) 下操作，这些设备可以被编程来转换特定的模拟输入通道。这个编程是通过在命令寄存器中写入一个有效的手动通道 n 选择命令 (MAN\_Ch\_n) 来完成的，如

图 77 所示，在 MAN\_Ch\_n 命令发出后或读取帧的输出数据后，可以立即将 CS 信号拉高。但是，为了准确地获取和转换下一个通道上的输入信号，命令帧必须是一个包含 32 个 SCLK 周期的完整帧。有关在 MAN\_Ch\_n

模式下选择各个通道的命令列表，请参见表 12。

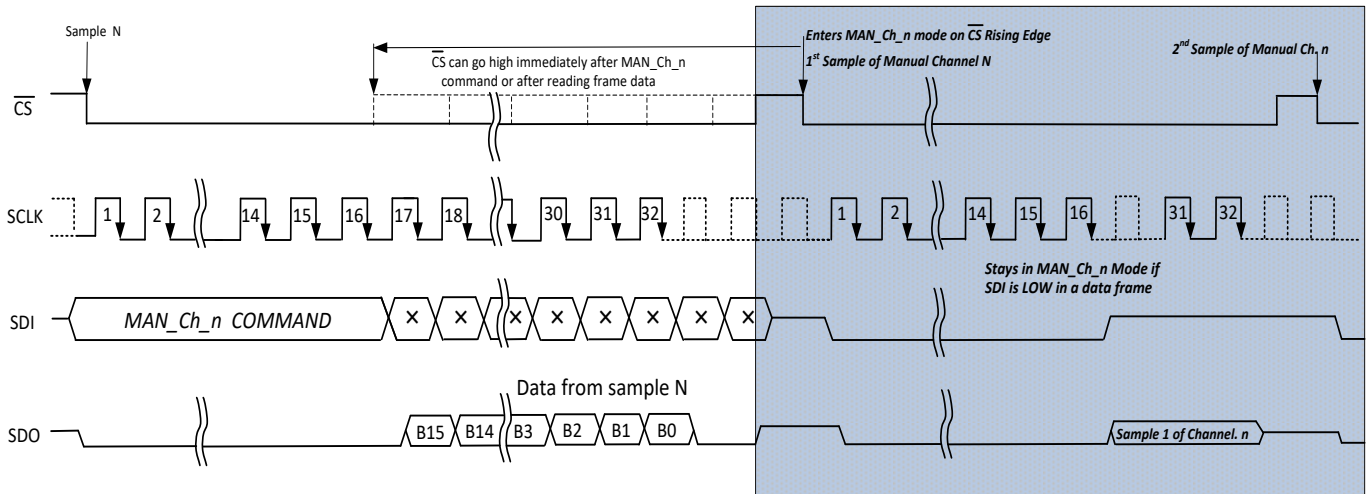


图 77. 输入 MAN\_Ch\_n 扫描模式定时图

执行手动通道 n 选择命令 (MAN\_Ch\_n)，在此写入操作之后，设备对下一个数据帧的CS下降边沿上的选定通道上的模拟输入进行采样。在 MAN\_Ch\_n 模式下，每个通道的输入电压范围可以通过设置工程寄存器中的范围选择寄存器来配置。如果没有执行其他有效命令并且 SDI 在后续数据帧期间保持较低（请参阅在选定模式下继续操作

(NO\_OP) 部分中的继续操作），设备将继续在同一通道上对模拟输入进行采样。图 78 中的时序图使用一个在手动排序模式中选择通道 1 的示例说明了这种行为。关于在 MAN\_Ch\_n 模式和 AUTO\_RST 模式之间的切换，请参考通道测序模式部分。

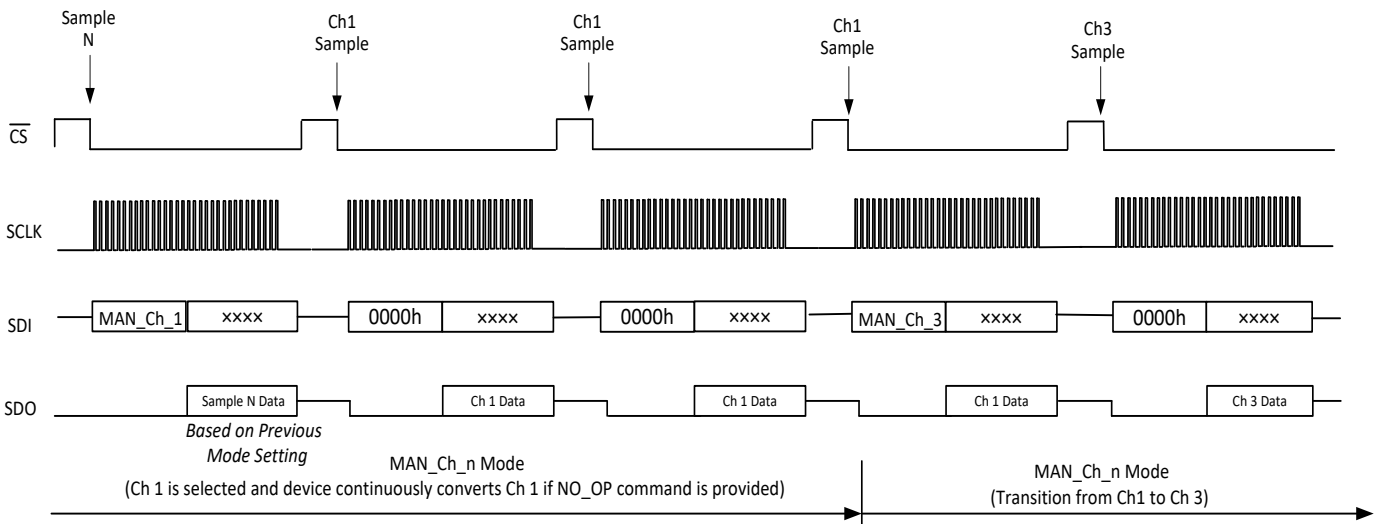


图 78. 在 MAN\_Ch\_n 模式下的设备操作

### 通道测序模式

这些器件提供两种通道排序模式：AUTO\_RST 和 MAN\_Ch\_n。在 AUTO\_RST 模式下，通道号在每个后续帧中自动递增。如“自动扫描排序控制寄存器”部分所述，可以选择模拟输入，以便使用寄存器设置进行自动扫描。该器件仅按升序自动扫描选定的模拟输入。未选择的模拟输入通道也可以关断，以优化此工作模式下的功耗。

在自动扫描期间，可以随时重置自动模式序列（使用 AUTO\_RST 命令）。当收到复位命令时，正在进行的自动模式序列将复位，并从序列中最低的选定通道重新启动。在 MAN\_Ch\_n 模式下，在每个数据转换帧中选择相同的输入通道。表 11 列出了在 MAN\_Ch\_n 模式下选择单个模拟通道的输入命令字。如果在数据帧期间选择了特定

的输入通道，则在下一个数据帧期间对同一通道上的模拟输入进行采样。

图 79 显示了从 AUTO\_RST 模式转换到 MAN\_Ch\_n 模式的 SDI 命令序列

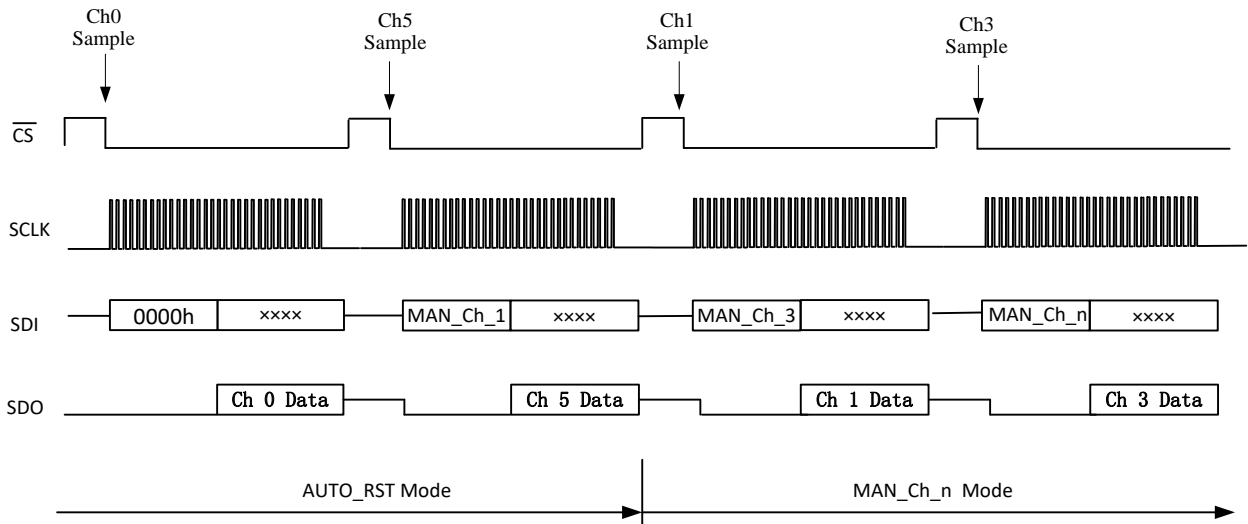


图 79. 从 AUTO\_RST 模式转换到 MAN\_Ch\_n 模式  
(通道 0 和 5 已选择为自动顺序)

图 80 显示了从 MAN\_Ch\_n 模式转换到 AUTO\_RST 模式的 SDI 命令序列。请注意，每个 SDI 命令都在下一个  $\overline{CS}$  下降沿执行。在任何通道排序模式下，可以在任何时刻

发出 RST 命令，之后器件在下一个数据帧中进入默认上电状态。

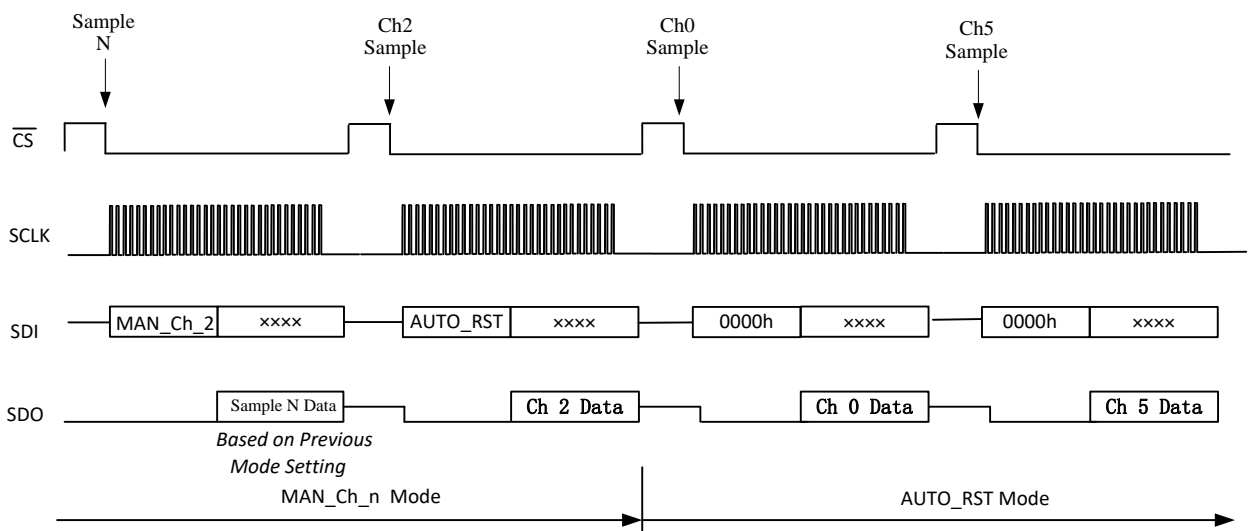


图 80. 从 MAN\_Ch\_n 模式转换到 AUTO\_RST 模式  
(通道 0 和 5 已选择为自动顺序)

### 复位工程寄存器 (RST)

这些器件支持硬件和软件复位 (RST) 模式，在该模式下，所有工程寄存器都复位为其默认值。可以使用硬件引脚将器件置于 RST 模式，如  $\overline{RST/PD}$  (输入) 部分所述。

通过使用 8500h 的 RST 命令对命令寄存器执行有效的写入操作，可以在任何数据帧期间将器件工程寄存器重置为默认值，如图 81 所示。如果在随后的数据帧中未执行有

效的转换命令 (AUTO\_RST 或 MAN\_Ch\_n) 并且 SDI 保持低电平 (请参阅选定模式 (NO\_OP) 部分中的继续操作), 则设备将保持 RST 模式。当器件在 RST 模式下运行时, 可以使用 16 个 SCLK 周期更新工程寄存器设置 (如工程寄存器读/写操作部分所述)。但是, 如果提供了

32 个完整的 SCLK 周期, 则设备会在 SDO 线路上返回无效数据, 因为在 RST 模式下没有正在进行的转换。在此模式下, 可以正常读取工程寄存器的值。必须执行有效的 AUTO\_RST 或 MAN\_CH\_n 通道选择命令, 才能使用默认工程寄存器设置在特定模拟通道上启动转换。

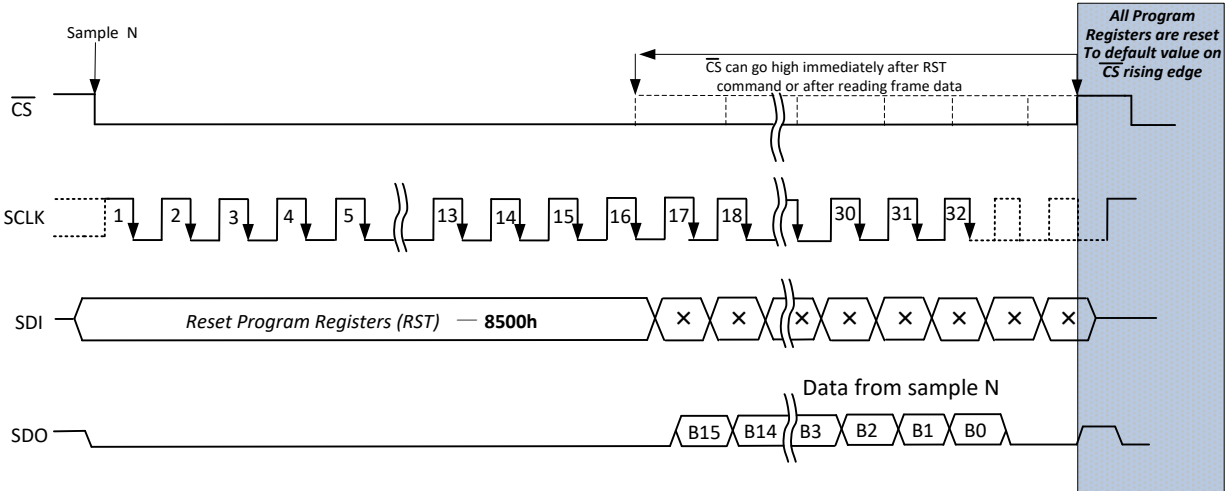


图 81. 重置工程寄存器 (RST) 计时图

寄存器表

BL1087-4 和 BL1087 的内部寄存器被分为两类: 命令寄存器和工程寄存器。命令寄存器用于选择通道排序模式 (AUTO\_RST 或 MAN\_Ch\_n), 将设备配置为待机 (STDBY) 或断电 (PWR\_DN) 模式, 并将工程寄存器重置 (RST) 为其默认值。工程寄存器用于选择 AUTO\_RST 模式的通道序列, 选择 SDO 输出格式, 并控制单个通道的输入范围设置。

命令寄存器描述

命令寄存器是一个 16 位的、只写的寄存器, 用于设置 BL1087-4 和 BL1087 的操作模式。此寄存器中的设置用于选择通道排序模式 (AUTO\_RST 或 MAN\_Ch\_n), 将设备配置为待机 (STDBY) 或断电 (PWR\_DN) 模式, 并将工程寄存器重置 (RST) 为其默认值。表 9 中列出了此寄存器的所有命令设置。在通电或重置期间, 命令寄存器的默认内容全部为 0, 设备将等待写入命令, 然后再进入任何操作模式。有关将 16 位命令写入设备的典型时序图, 请参见图 82。当 CS 信号变高时, 该设备在这个特定数据帧的末尾执行该命令。

表 9. 命令寄存器映射

寄存器	MSB BYTE								LSB BYTE	指令 (Hex)	下一帧中的操作
	B15	B14	B13	B12	B11	B10	B9	B8	B[7:0]		
Continued Operation (NO_OP)	0	0	0	0	0	0	0	0	0000 0000	0000h	在之前的模式下继续操作
Standby (STDBY)	1	0	0	0	0	0	1	0	0000 0000	8200h	设备进入待机模式
Power Down (PWR_DN)	1	0	0	0	0	0	1	1	0000 0000	8300h	设备断电
Reset program registers (RST)	1	0	0	0	0	1	0	1	0000 0000	8500h	工程寄存器复位至默认值
Auto Ch. Sequence with Reset (AUTO_RST)	1	0	1	0	0	0	0	0	0000 0000	A000h	重置后启用自动模式
Manual Ch 0 Selection (MAN_Ch_0)	1	1	0	0	0	0	0	0	0000 0000	C000h	已选择通道 0 作为输入
Manual Ch 1 Selection (MAN_Ch_1)	1	1	0	0	0	1	0	0	0000 0000	C400h	已选择通道 1 作为输入
Manual Ch 2 Selection (MAN_Ch_2)	1	1	0	0	1	0	0	0	0000 0000	C800h	已选择通道 2 作为输入
Manual Ch 3 Selection (MAN_Ch_3)	1	1	0	0	1	1	0	0	0000 0000	CC00h	已选择通道 3 作为输入
Manual Ch 4 Selection (MAN_Ch_4) <sup>(1)</sup>	1	1	0	1	0	0	0	0	0000 0000	D000h	已选择通道 4 作为输入

Manual Ch 5 Selection (MAN_Ch_5)	1	1	0	1	0	1	0	0	0000 0000	D400h	已选择通道 5 作为输入
Manual Ch 6 Selection (MAN_Ch_6)	1	1	0	1	1	0	0	0	0000 0000	D800h	已选择通道 6 作为输入
Manual Ch 7 Selection (MAN_Ch_7)	1	1	0	1	1	1	0	0	0000 0000	DC00h	已选择通道 7 作为输入
Manual AUX Selection (MAN_AUX)	1	1	1	0	0	0	0	0	0000 0000	E000h	已选择辅助通道作为输入

(1) 阴影部分表示该比特位或者是寄存器并不包含在 4 通道版本的设备中

### 工程寄存器说明

工程寄存器是一个 16 位寄存器，用于设置 BL1087-4 和 BL1087 的工作模式。此寄存器中的设置用于选择 AUTO\_RST 模式的通道序列、在菊花链模式下配置设备 ID、选择 SDO 输出格式以及控制各个通道的输入范围设置。表 9 列出了此寄存器的所有程序设置。在上电或复位期间，器件中的不同工程寄存器以其默认值唤醒，器件在进入任何操作模式之前等待写入命令。

#### 工程寄存器的读 / 写操作

工程寄存器是 16 位读或写寄存器。在  $\overline{CS}$  下降沿后必须至少有 24 个 SCLK，以便对工程寄存器进行任何读取或写

入操作。当  $\overline{CS}$  变低时，SDO 线也会变低。器件通过 SDI 接收命令（如表 10 和表 11 所示），其中前 7 位（15-9 位）表示寄存器地址，第 8 位（8 位）表示写入或读取指令。对于写入周期，SDI 上接下来的 8 位（7-0 位）是寻址寄存器的所需数据。在接下来的 8 个 SCLK 周期中，器件输出写入寄存器的 8 位数据。此数据回读允许验证以确定是否将正确的数据输入到设备中。工程寄存器写入周期的典型时序图如图 82 所示。

表 10. 写周期命令字

引脚	寄存器地址 (Bit 15-9)	读/写 (Bit 8)	数据 (Bit 7-0)
SDI	ADDR[6:0]	1	DIN[7:0]

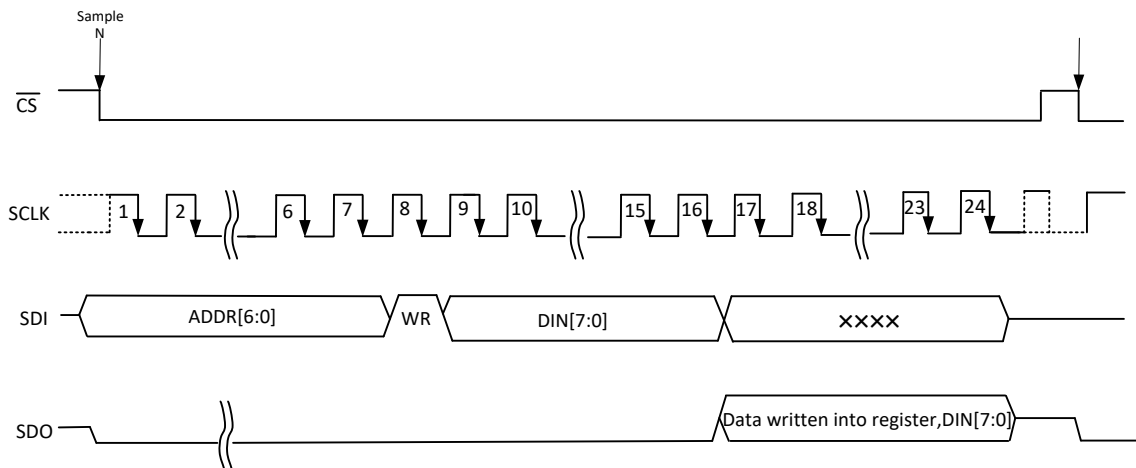


图 82. 写周期控制字

对于一个读取周期，SDI 上接下来的 8 位（位 7-0）并不关心位，而 SDO 保持在较低电平。从第 16 个 SCLK 下降沿开始，SDO 在接下来的 8 个时钟中从寻址寄存器输出 8 位

数据。工程寄存器读取循环程序的典型时序图如图 83 所示。

表 11. 读周期指令字

引脚	寄存器地址 (Bit 15-9)	读/写 (Bit 8)	数据 (Bit 7-0)
SDI	ADDR[6:0]	0	× × × × ×
SDO	0000 0000	0	DOUT[7:0]

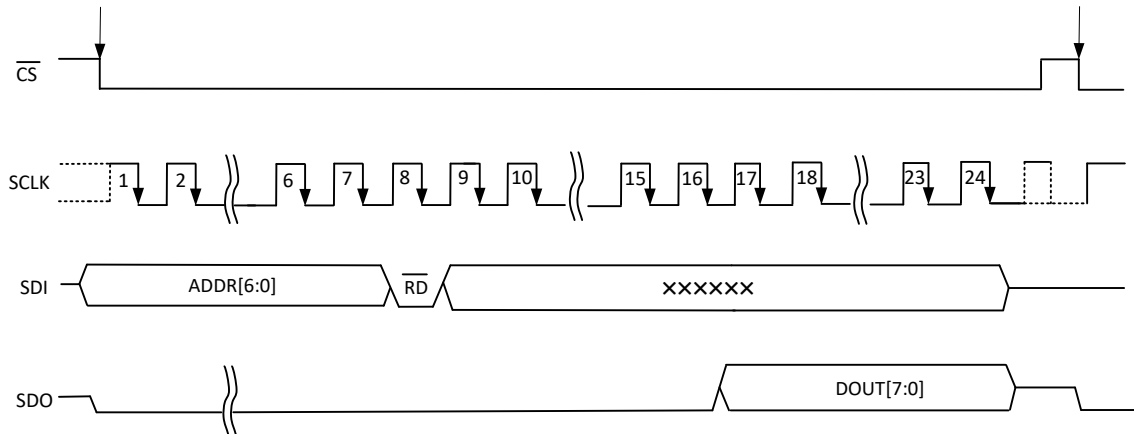


图 83. 读周期控制字

### 工程寄存器映射

本节提供了对每个工程寄存器的逐位描述

表 12. 工程寄存器映射

寄存器	寄存器地址 Bit 位[15:9]	默认值 <sup>(1)</sup>	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
<b>自动扫描测序控制</b>										
AUTO_SEQ_EN	01h	FFh	CH7_EN <sup>(2)</sup>	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
Channel Power Down	02h	00h	CH7_PD	CH6_PD	CH5_PD	CH4_PD	CH3_PD	CH2_PD	CH1_PD	CH0_PD
<b>设备功能选择控制</b>										
Feature Select	03h	00h	DEV[1:0]		0	0	0	SDO[2:0]		
<b>Range 选择寄存器</b>										
Channel 0 Input Range	05h	00h	0	0	0	0	通道 0 的 Range 选择			
Channel 1 Input Range	06h	00h	0	0	0	0	通道 1 的 Range 选择			
Channel 2 Input Range	07h	00h	0	0	0	0	通道 2 的 Range 选择			
Channel 3 Input Range	08h	00h	0	0	0	0	通道 3 的 Range 选择			
Channel 4 Input Range	09h	00h	0	0	0	0	通道 4 的 Range 选择			
Channel 5 Input Range	0Ah	00h	0	0	0	0	通道 5 的 Range 选择			
Channel 6 Input Range	0Bh	00h	0	0	0	0	通道 6 的 Range 选择			
Channel 7 Input Range	0Ch	00h	0	0	0	0	通道 7 的 Range 选择			
<b>命令读取 (只读)</b>										
Command Read Back	3Fh	00h	COMMAND_WORD[7:0]							

(1) 使用寄存器设置方法，在开机或设备重置时，将所有寄存器重置为默认值

(2) 阴影表示设备的 4 通道版本中不包含的位或寄存器。对其中任何位或寄存器的写入操作对设备行为没有影响。对这些位或寄存器中的任何一个进行读取操作 SDO 所有比特位都会输出 1。

测试码 (表 12 中) :

当 0x05 寄存器高 4 位为 0x8 且  
0x06 寄存器高 4 位为 0x2 时，  
ADC 会输 0--65535 的锯齿波  
当 0x05 寄存器高 4 位为 0x8 且  
0x06 寄存器高 4 位为 0x1 时，

ADC 会以 0x09--0x0C 高 4 位中的数据作为输出  
当 0x05 寄存器高 4 位为 0x0 且  
0x06 寄存器高 4 位为 0x0 时，  
ADC 会将正常采集的数据作为输出。

**工程寄存器描述****自动扫描排序控制寄存器**

在 AUTO\_RST 模式下，设备会自动按升序扫描预选的通道，并为每次转换选择一个新的通道。每个单独的通道都可以被选择性地包括在自动通道排序中。对于没有选择进行自动排序的通道，模拟前端电路可以单独断电。

**表 13. AUTO\_SEQ\_EN 注册表**

7	6	5	4	3	2	1	0
CH7_EN <sup>(1)</sup>	CH6_EN	CH5_EN	CH4_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

图例：R/W = 读写；-n 重置后的=值

- (1) 阴影表示设备的 4 通道版本中不包含的位或寄存器。对其中任何位或寄存器的写入操作对设备行为没有影响。对这些位或寄存器中的任何一个进行读取操作 SDO 所有比特位都会输出 1。

**表 14. AUTO\_SEQ\_EN 字段描述**

比特位	字段	类型	复位	描述
7	CH7_EN	R/W	1h	通道 7 使能 0 = 在 AUTO_RST 模式下，没有选择通道 7 进行测序 1 = 选择 7 通道进行 AUTO_RST 模式下的测序
6	CH6_EN	R/W	1h	通道 6 使能 0 = 在 AUTO_RST 模式下，没有选择通道 6 进行测序 1 = 选择 6 通道进行 AUTO_RST 模式下的测序
5	CH5_EN	R/W	1h	通道 5 使能 0 = 在 AUTO_RST 模式下，没有选择通道 5 进行测序 1 = 选择 5 通道进行 AUTO_RST 模式下的测序
4	CH4_EN	R/W	1h	通道 4 使能 0 = 在 AUTO_RST 模式下，没有选择通道 4 进行测序 1 = 选择 4 通道进行 AUTO_RST 模式下的测序
3	CH3_EN	R/W	1h	通道 3 使能 0 = 在 AUTO_RST 模式下，没有选择通道 3 进行测序 1 = 选择 3 通道进行 AUTO_RST 模式下的测序
2	CH2_EN	R/W	1h	通道 2 使能 0 = 在 AUTO_RST 模式下，没有选择通道 2 进行测序 1 = 选择 2 通道进行 AUTO_RST 模式下的测序
1	CH1_EN	R/W	1h	通道 1 使能 0 = 在 AUTO_RST 模式下，没有选择通道 1 进行测序 1 = 选择 1 通道进行 AUTO_RST 模式下的测序
0	CH0_EN	R/W	1h	通道 0 使能 0 = 在 AUTO_RST 模式下，没有选择通道 0 进行测序 1 = 选择 0 通道进行 AUTO_RST 模式下的测序

**通道断电寄存器 (地址= 02h)**

这个寄存器关闭了在 AUTO\_RST 模式下不包括在测序中的单个通道。此寄存器的默认值为 00h，这意味着在默认条件下，所有通道都已通电。如果所有的通道都会断电

(即，这个寄存器的值是 FFh)，那么所有通道的模拟前端电路都会断电，ADC 的输出包含无效的数据。如果设备处于 MAN-Ch\_n 模式，且所选通道断电，则设备产生无效输出，也可能触发误报警条件。

**表 15. 通道断电寄存器**

7	6	5	4	3	2	1	0
CH7_PD	CH6_PD	CH5_PD	CH4_PD	CH3_PD	CH2_PD	CH1_PD	CH0_PD
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

图例：R/W = 读写；-n=重置后的值

- (1) 阴影表示设备的 4 通道版本中不包含的位或寄存器。对其中任何位或寄存器的写入操作对设备行为没有影响。对这些位或寄存器中的任何一个进行读取操作 SDO 所有比特位都会输出 1。

**表 16. 通道断电寄存器字段描述**

比特位	字段	类型	复位	描述
7	CH7_PD	R/W	0h	通道 7 断电 0 = 通道 7 上的模拟前端通电。通道 7 可以包括在 AUTO_RST 序列中 1 = 通道 7 上的模拟前端已断电。通道 7 不能包含在 AUTO_RST 序列中

6	CH6_PD	R/W	0h	通道 6 断电 0 = 通道 6 上的模拟前端通电,通道 6 可以包括在 AUTO_RST 序列中 1 = 通道 6 上的模拟前端已断电,通道 6 不能包含在 AUTO_RST 序列中
5	CH5_PD	R/W	0h	通道 5 断电 0 = 通道 5 上的模拟前端通电,通道 5 可以包括在 AUTO_RST 序列中 1 = 通道 5 上的模拟前端已断电,通道 5 不能包含在 AUTO_RST 序列中
4	CH4_PD	R/W	0h	通道 4 断电 0 = 通道 4 上的模拟前端通电,通道 4 可以包括在 AUTO_RST 序列中 1 = 通道 4 上的模拟前端已断电,通道 4 不能包含在 AUTO_RST 序列中
3	CH3_PD	R/W	0h	通道 3 断电 0 = 通道 3 上的模拟前端通电,通道 3 可以包括在 AUTO_RST 序列中 1 = 通道 3 上的模拟前端已断电,通道 3 不能包含在 AUTO_RST 序列中
2	CH2_PD	R/W	0h	通道 2 断电 0 = 通道 2 上的模拟前端通电,通道 2 可以包括在 AUTO_RST 序列中 1 = 通道 2 上的模拟前端已断电,通道 2 不能包含在 AUTO_RST 序列中
1	CH1_PD	R/W	0h	通道 1 断电 0 = 通道 1 上的模拟前端通电,通道 1 可以包括在 AUTO_RST 序列中 1 = 通道 1 上的模拟前端已断电,通道 1 不能包含在 AUTO_RST 序列中
0	CH0_PD	R/W	0h	通道 0 断电 0 = 通道 0 上的模拟前端通电,通道 0 可以包括在 AUTO_RST 序列中 1 = 通道 0 上的模拟前端已断电,通道 0 不能包含在 AUTO_RST 序列中

#### 设备功能选择控制寄存器 (地址= 03h)

该寄存器中的位可用于配置菊花链操作的设备 ID, 并配置 SDO 输出位格式

表 17. 功能选择寄存器

7	6	5	4	3	2	1	0
DEV[1:0]		0	0	0	SDO[2:0]		
R/W-0h		R-0h	R-0h	R-0h	R/W-0h		

图例: R/W = 读/写; R = 只读; -n 重置后的=值

表 18. 功能选择寄存器字段描述

比特位	字段	类型	复位	描述
7-6	DEV[1:0]	R/W	0h	设备 ID 的比特位 00 = 处于菊花链模式下的设备 0 的 ID 01 = 处于菊花链模式下的设备 1 的 ID 10 = 处于菊花链模式下的设备 2 的 ID 11 = 处于菊花链模式下的设备 3 的 ID
5	0	R	0h	必须始终设置为 0
4	0	R	0h	必须始终设置为 0
3	0	R	0h	必须始终设置为 0
2-0	SDO[2:0]	R/W	0h	SDO 数据格式位 (见表 20)

表 19. 对 SDO 数据格式的寄存器位的描述

SDO 格式 SDO[2:0]	输出位比特流的开始	输出格式			
		BITS 24-9	BITS 8-5	BITS 4-3	BITS 2-0
000	第 16 SCLK 下降边沿 无延迟	所选的通道转换 结果(MSB-first)	SDO 拉低		
001	第 16 SCLK 下降边沿 无延迟	所选的通道转换 结果(MSB-first)	通道地址	SDO 拉低	
010	第 16 SCLK 下降边沿 无延迟	所选的通道转换 结果(MSB-first)	通道地址	设备地址	SDO 拉低
011	第 16 SCLK 下降边沿 无延迟	所选的通道转换 结果(MSB-first)	通道地址	设备地址	输入 Range 范围

表 20 列出了这些通道地址、设备地址和输入范围的位描述。

表 20. SDO 数据的位描述

比特位	比特位描述
24-9	以 MSB 格式表示的通道的 16 位转换结果
8-5	4Bit 位的通道地址 0000 = Channel 0 0001 = Channel 1 0010 = Channel 2

	0011 = Channel 3 0100 = Channel 4 0101 = Channel 5 0110 = Channel 6 0111 = Channel 7
4-3	两位设备地址（主要在菊花链模式下有用）。
2-0	输入电压范围的三个 LSB 位（参考范围选择寄存器部分）

**Range 选择寄存器（地址：05h-0Ch）**

地址 05h 对应通道 0，地址 06h 对应通道 1，地址 07h 对应通道 2，地址 08h 对应通道 3，地址 09h 对应通道 4，地址 0Ah 对应通道 5，地址 0Bh 对应通道 6，地址 0Ch 对应通

道 7。这些寄存器允许选择所有单独通道的输入范围（n = 0 到 3 适用 BL1087-4 同时 n=0 到 7 适用 BL1087）。这些寄存器的默认值为 00h。

**表 21. 通道 n 输入范围寄存器**

7	6	5	4	3	2	1	0
0	0	0	0	Range_Ch $n$ [3:0]			
R-0h	R-0h	R-0h	R-0h	R/W-0h			

图例：R/W = 读/写；R = 只读；-n = 重置后的值

**表 22. 通道 n 输入范围寄存器字段描述**

比特位	字段	类型	复位	描述
7-4	0	R	0h	必须始终设置为 0
3-0	Range_Ch $n$ [3:0]	R/W	0h	通道 n 的输入范围选择位 0000 = 输入范围设置为 $\pm 2.5 \times V_{REF}$ 0001 = 输入范围设置为 $\pm 1.25 \times V_{REF}$ 0010 = 输入范围设置为 $\pm 0.625 \times V_{REF}$ 0011 = 输入范围设置为 $\pm 3.125 \times V_{REF}$

**命令回读取寄存器（地址= 3Fh）**

该寄存器允许读取器件工作模式。在执行此命令时，设备会输出在上一个数据帧中执行的命令字。命令寄存器的输出从第 16 个下降沿开始以 MSB 优先格式出现在 SDO

上。有关命令寄存器的所有信息都包含在前 8 位中，后 8 位为 0（参见表 11），因此可以在第 24 个 SCLK 周期后停止命令回读操作。

**表 23. 命令回读取寄存器**

7	6	5	4	3	2	1	0
COMMAND_WORD [15:8]							
R-0h							

图例：R = 只读；-n = 重置后的值

**表 24. 命令回读取寄存器字段描述**

比特位	字段	类型	复位	描述
7-0	COMMAND_WORD [15:8]	R	0h	在以前的数据帧中执行的命令

## 布局指南

BL1087-4 和 BL1087 所在的印制电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域。

应使用一个接地层，数字和模拟部分共用地层或独立地层。每个接地引脚应使用单个过孔或多个过孔接入接地层，确保与地层的良好连接，避免多个接地引脚共用一个过孔到地层的连接情况。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应将接地层布设在 BL1087-4 和 BL1087 下方，以避免噪声耦合。如  $\overline{CS}$  或时钟等快速切换信号要使用地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号线路绝对不能靠近模拟信号路径。避免数字信号与模拟信号交叠。电路板上邻近层的走线应彼此垂直，以减小电路板的馈通效应。

BL1087-4 和 BL1087 上 AVDD 和 DVDD 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声影响。可能的话，应使用电源层，并在 BL1087-4 和 BL1087 电源引脚与电路板的电源走线之间建立良好连接。各电源引脚应使用单个过孔或多个过孔连接到电源层。

良好的去耦也很重要，以便降低 BL1087-4 和 BL1087 的电源阻抗，并减少电源尖峰幅度。去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。REFIO 引脚和 REFCAP 引脚的去耦电容应尽可能靠近相应的 BL1087-4 和 BL1087 引脚。可能的话，应将这些电容放在电路板与 BL1087-4 和 BL1087 器件相同的一侧。图 84 显示了底层去耦配置，它应用于 REFIO 和 REFGND 引脚的去耦。

REFIO 引脚的 10 $\mu$ F 电容应靠近器件的相应引脚。

22 $\mu$ F 和 1 $\mu$ F 电容用于 REFCAP 和 REFGND 引脚去耦，这两个电容应尽量靠近引脚。

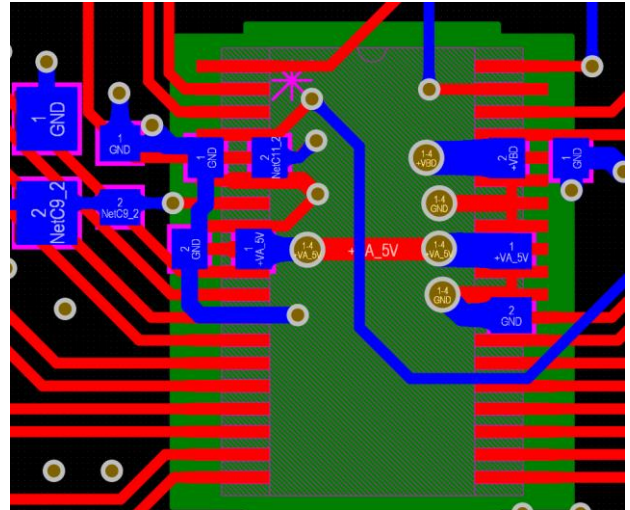


图 84. BL1087-4 和 BL1087 外围去耦

外形尺寸

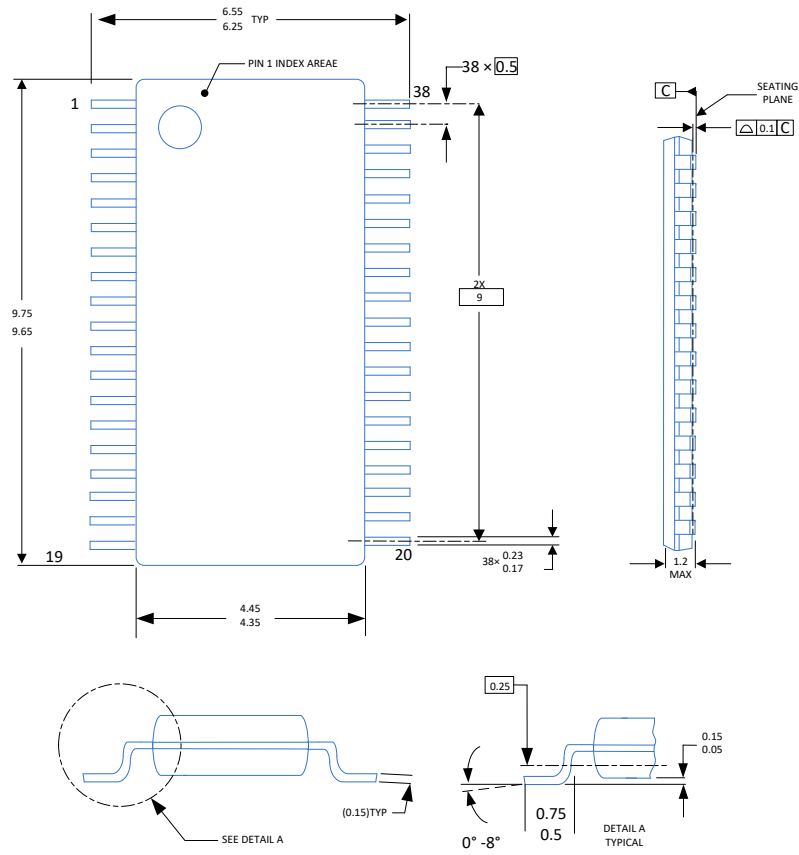


图 85.38 脚TSSOP 封装尺寸单位: mm